

电子圣土 of Adamite

Electronics and Information Engineering. Analog and Digital: 人生没有逃避，只有穿过。

博客园 首页 新随笔 联系 管理 订阅

随笔- 163 文章- 0 评论- 89 阅读- 31万

硬件工程师面试题

硬件工程师面试题

模拟电路

- 1、基尔霍夫定理的内容是什么？（仕兰微电子）
- 2、平板电容公式($C=\epsilon S/4\pi kd$)。（未知）
- 3、最基本的如三极管曲线特性。（未知）
- 4、描述反馈电路的概念，列举他们的应用。（仕兰微电子）
- 5、负反馈种类（电压并联反馈，电流串联反馈，电压串联反馈和电流并联反馈）；负反馈的优点（降低放大器的增益灵敏度，改变输入电阻和输出电阻，改善放大器的线性和非线性失真，有效地扩展放大器的通频带，自动调节作用）（未知）
- 6、放大电路的频率补偿的目的是什么，有哪些方法？（仕兰微电子）
- 7、频率响应，如：怎么才算是稳定的，如何改变频响曲线的几个方法。（未知）
- 8、给出一个查分运放，如何相位补偿，并画补偿后的波特图。（凹凸）
- 9、基本放大电路种类（电压放大器，电流放大器，互导放大器和互阻放大器），优缺点，特别是广泛采用差分结构的原因。（未知）
- 10、给出一差分电路，告诉其输出电压 $Y+$ 和 $Y-$ ，求共模分量和差模分量。（未知）
- 11、画差放的两个输入管。（凹凸）
- 12、画出由运放构成加法、减法、微分、积分运算的电路原理图。并画出一个晶体管级的运放电路。（仕兰微电子）
- 13、用运算放大器组成一个10倍的放大器。（未知）
- 14、给出一个简单电路，让你分析输出电压的特性（就是个积分电路），并求输出端某点的rise/fall时间。（Infineon笔试题）
- 15、电阻 R 和电容 C 串联，输入电压为 R 和 C 之间的电压，输出电压分别为 C 上电压和 R 上电压，要求制这两种电路输入电压的频谱，判断这两种电路何为高通滤波器，何为低通滤波器。当 $RC \ll T$ 时，给出输入电压波形图，绘制两种电路的输出波形图。（未知）
- 16、有源滤波器和无源滤波器的原理及区别？（新太硬件）
- 17、有一时域信号 $S=V_0\sin(2\pi f_0t)+V_1\cos(2\pi f_1t)+V_2\sin(2\pi f_3t+90)$ ，当其通过低通、带通、高通滤波器后的信号表示方式。（未知）
- 18、选择电阻时要考虑什么？（东信笔试题）
- 19、在CMOS电路中，要有一个单管作为开关管精确传递模拟低电平，这个单管你会用P管还是N管，为什么？（仕兰微电子）
- 20、给出多个mos管组成的电路求5个点的电压。（Infineon笔试题）
- 21、电压源、电流源是集成电路中经常用到的模块，请画出你知道的线路结构，简单描述其优缺点。（仕兰微电子）
- 22、画电流偏置的产生电路，并解释。（凹凸）
- 23、史密斯特电路，求回差电压。（华为面试题）
- 24、晶体振荡器，好像是给出振荡频率让你求周期(应该是单片机的,12分之一周期....)（华为面试题）
- 25、LC正弦波振荡器有哪几种三点式振荡电路，分别画出其原理图。（仕兰微电子）
- 26、VCO是什么.什么参数(压控振荡器?)（华为面试题）
- 27、锁相环有哪几部分组成？（仕兰微电子）
- 28、锁相环电路组成，振荡器（比如用D触发器如何搭）。（未知）
- 29、求锁相环的输出频率，给了一个锁相环的结构图。（未知）
- 30、如果公司做高频电子的，可能还要RF知识，调频，鉴频鉴相之类，不一一列举。（未知）
- 31、一电源和一段传输线相连（长度为 L ,传输时间为 T ），画出终端处波形，考虑传输线无损耗。给出电源电压波形图，要求绘制终端波形图。（未知）
- 32、微波电路的匹配电阻。（未知）
- 33、DAC和ADC的实现各有哪些方法？（仕兰微电子）
- 34、A/D电路组成、工作原理。（未知）
- 35、实际工作所需要的一些技术知识(面试容易问到)。如电路的低功耗，稳定，高速如何做到，调运放，版图图注意的地方等等,一般会针对简历上你所写过做过东西具体问，肯定会问得很细（所以别把什么都写上，精通之类的词也别用太多了），这个东西各个人就不一样了，不好说什么了。（未知）

数字电路

- 1、同步电路和异步电路的区别是什么？（仕兰微电子）
 - 2、什么是同步逻辑和异步逻辑？（汉王笔试）
- 同步逻辑是时钟之间有固定的因果关系。异步逻辑是各时钟之间没有固定的因果关系。

昵称： 安达米特
园龄： 16年4个月
粉丝： 74
关注： 7
[+加关注](#)

< 2008年8月 >						
日	一	二	三	四	五	六
27	28	29	30	31	1	2
3	4	5	6	7	8	9
10	11	12	13	14	15	16
17	18	19	20	21	22	23
24	25	26	27	28	29	30
31	1	2	3	4	5	6

搜索

常用链接

我的随笔
我的评论
我的参与
最新评论
我的标签
[更多链接](#)

随笔分类

Altera_FPGA&QII(13)
Cadence(12)
C语言总结(12)
FPGA面试题集锦(5)
Linux(12)
MatLab(1)
ModelSim(9)
Problems_On_FPGA(5)
SOPC(3)
verilog学习笔记(30)
VHDL学习心得(21)
Visual Studio(11)
Xilinx_ISE(7)
恶搞一把(2)
航空航天(5)
[更多](#)

阅读排行榜

1. 什么是TTL电平和CMOS电平，以及它们的区别(23144)
2. (原创) 详解Quartus导出网表文件：.qxp和.vqm(14948)
3. (原创) Xilinx的ISE生成模块ngc网表文件(14439)
4. (原创) 反ARP攻击的绝招，让你在ARP的炮雨攻击下永不掉线(10761)
5. (转) 陀螺仪的结构原理以及种类简介(8968)

评论排行榜

1. (原创) 我来北京的第一年（工作版）(14)

2. (原创) 推荐一款不错的逻辑波形图绘制软件(5)
3. (原创) 昨夜心伤(5)
4. (原创) PCI总线特性及信号说明(4)
5. 一个不抽烟、不喝酒、不赌钱、不嫖妓的好男人能混成啥样(4)

推荐排行榜

1. verilog的\$dumpfile和\$dumpvar系统任务详解(3)
2. (原创) Modelsim中调用Debussy(3)
3. (原创) 详解Quartus导出网表文件: .qxp和.vqm(2)
4. (转) 如何编写testbench的总结 (非常实用的总结) (2)
5. 硬件工程师面试题 (2)
>

最新评论

1. Re: (VHDL小程序000) 用VHDL设计有无控制端的加减乘除法运算器
你确定能用么?
--时光博客园
2. Re: (原创) 最详细可靠的Cadence16.01破解crack和安装方法步骤
大神可以传给我一份软件吗? 我有9.2的, 是不是太老了? 好多项目感觉都很不一样。
--淡淡胭脂结
3. Re: 硬件工程师面试题
谢啦
--时空探险浪人
4. Re: (原创) 贴片电阻封装尺寸
我想拜读您的北京第一年, 求密码呀!
--wuqi1003
5. Re: (转)例说"原码 反码 补码"不错
--LinKang

- 3、什么是"线与"逻辑, 要实现它, 在硬件特性上有什么具体要求? (汉王笔试)
线与逻辑是两个输出信号相连可以实现与的功能。在硬件上, 要用oc门来实现, 由于不用 oc门可能使灌电流过大, 而烧坏逻辑门。同时在输出端口应加一个上拉电阻。
4、什么是Setup 和Holdup时间? (汉王笔试)
5、setup和holdup时间,区别. (南山之桥)
6、解释setup time和hold time的定义和在时钟信号延迟时的变化。(未知)
7、解释setup和hold time violation, 画图说明, 并说明解决办法。(威盛VIA 2003.11.06 上海笔试试题)
Setup/hold time 是测试芯片对输入信号和时钟信号之间的时间要求。T时间是指触发器的时钟信号上升沿到来以前, 数据稳定不变的时间。输入信号应提前于T上升沿 (如上升沿有效) T时间到达芯片, 这个T就是建立时间-Setup time.如不满足setup time,这个数据就不能被这一时钟打入触发器, 只有在下一个时钟上升沿, 数据才能被打入触发器。保持时间是指触发器的时钟信号上升沿到来以后, 数据稳定不变的时间。如果hold time 不够, 数据同样不能被打入触发器。
建立时间(Setup Time)和保持时间(Hold time)。建立时间是指在时钟边沿前, 数据信号需要保持不变的时间。保持时间是指时钟跳变边沿后数据信号需要保持不变的时间。如果不满足建立和保持时间的的话, 那么DFF将不能正确地采样到数据, 将会出现 metastability的情况。如果数据信号在时钟沿触发前后持续的时间均超过建立和保持时间, 那么超过量就分别被称为建立时间裕量和保持时间裕量。
8、说说对数字逻辑中的竞争和冒险的理解, 并举例说明竞争和冒险怎样消除。(仕兰微电子)
9、什么是竞争与冒险现象? 怎样判断? 如何消除? (汉王笔试)
在组合逻辑中, 由于门的输入信号通路中经过了不同的延时, 导致到达该门的时间不一致叫竞争。产生毛刺叫冒险。如果布尔式中有相反的信号则可能产生竞争和冒险现象。解决方法: 一是添加布尔式的消去项, 二是在芯片外部加电容。
10、你知道那些常用逻辑电平? TTL与COMS电平可以直接互连吗? (汉王笔试)
常用逻辑电平: 12V, 5V, 3.3V; TTL和CMOS不可以直接互连, 由于TTL是在0.3-3.6V之间, 而CMOS则是有在12V的有在5V的。CMOS输出接到TTL是可以直接互连。TTL接到CMOS需要在输出端口加一上拉电阻接到5V或者12V。
11、如何解决亚稳态。(飞利浦 - 大唐笔试)
亚稳态是指触发器无法在某个规定时间段内达到一个可确认的状态。当一个触发器进入亚稳态时, 既无法预测该单元的输出电平, 也无法预测何时输出才能稳定在某个正确的电平上。在这个稳定期间, 触发器输出一些中间级电平, 或者可能处于振荡状态, 并且这种无用的输出电平可以沿信号通道上的各个触发器级联式传播下去。
12、IC设计中同步复位与 异步复位的区别。(南山之桥)
13、MOORE 与 MEELEY状态机的特征。(南山之桥)
14、多时域设计中,如何处理信号跨时域。(南山之桥)
15、给了reg的setup,hold时间, 求中间组合逻辑的delay范围。(飞利浦 - 大唐笔试)
Delay < period - setup - hold
16、时钟周期为T,触发器D1的建立时间最大为T1max, 最小为T1min。组合逻辑电路最大延迟为T2max,最小为T2min。问, 触发器D2的建立时间T3和保持时间应满足什么条件。(华为)
17、给出某个一般时序电路的图, 有Tsetup,Tdelay,Tck->q,还有 clock的delay,写出决定最大时钟的因素, 同时给出表达式。(威盛VIA 2003.11.06 上海笔试试题)
18、说说静态、动态时序模拟的优缺点。(威盛VIA 2003.11.06 上海笔试试题)
19、一个四级的Mux,其中第二级信号为关键信号 如何改善timing。(威盛VIA 2003.11.06 上海笔试试题)
20、给出一个门级的图, 又给了各个门的传输延时, 问关键路径是什么, 还问给出输入, 使得输出依赖于关键路径。(未知)
21、逻辑方面数字电路的卡诺图化简, 时序(同步异步差异), 触发器有几种(区别, 优点), 全加器等等。(未知)
22、卡诺图写出逻辑表达式。(威盛VIA 2003.11.06 上海笔试试题)
23、化简F(A,B,C,D)= m(1,3,4,5,10,11,12,13,14,15)的和。(威盛)
24、please show the CMOS inverter schmatic,layout and its cross section with P-well process. Plot its transfer curve (Vout-Vin) And also explain the operation region of PMOS and NMOS for each segment of the transfer curve? (威盛笔试题circuit design-beijing-03.11.09)
25、To design a CMOS invertor with balance rise and fall time, please define the ration of channel width of PMOS and NMOS and explain?
26、为什么一个标准的倒相器中P管的宽长比要比N管的宽长比大? (仕兰微电子)
27、用mos管搭出一个二输入与非门。(扬智电子笔试)
28、please draw the transistor level schematic of a cmos 2 input AND gate and explain which input has faster response for output rising edge.(less delay time)。(威盛笔试题circuit design-beijing-03.11.09)
29、画出NOT,NAND,NOR的符号, 真值表, 还有transistor level的电路。(Infineon笔试)
30、画出CMOS的图, 画出tow-to-one mux gate。(威盛VIA 2003.11.06 上海笔试试题)
31、用一个二选一mux和一个inv实现异或。(飞利浦 - 大唐笔试)
32、画出Y=A*B+C的cmos电路图。(科广试题)
33、用逻辑门和cmos电路实现ab+cd。(飞利浦 - 大唐笔试)
34、画出CMOS电路的晶体管级电路图, 实现Y=A*B+C(D+E)。(仕兰微电子)
35、利用4选1实现F(x,y,z)=xz+yz'。(未知)
36、给一个表达式f=xxxx+xxxx+xxxx+xxxx用最少数量的与非门实现 (实际上就是化

简)。

37、给出一个简单的由多个NOT,NAND,NOR组成的原理图, 根据输入波形画出各点波形。

(Infineon笔试)

38、为了实现逻辑 $(A \text{ XOR } B) \text{ OR } (C \text{ AND } D)$, 请选用以下逻辑中的一种, 并说明为什么? 1) INV 2) AND 3) OR 4) NAND 5) NOR 6) XOR 答案: NAND (未知)

39、用与非门等设计全加法器。(华为)

40、给出两个门电路让你分析异同。(华为)

41、用简单电路实现, 当A为输入时, 输出B波形为... (仕兰微电子)

42、A,B,C,D,E进行投票, 多数服从少数, 输出是F (也就是如果A,B,C,D,E中1的个数比0多, 那么F输出为1, 否则F为0), 用与非门实现, 输入数目没有限制。(未知)

43、用波形表示D触发器的功能。(扬智电子笔试)

44、用传输门和倒向器搭一个边沿触发器。(扬智电子笔试)

45、用逻辑门画出D触发器。(威盛VIA 2003.11.06 上海笔试试题)

46、画出DFF的结构图,用verilog实现之。(威盛)

47、画出一一种CMOS的D锁存器的电路图和版图。(未知)

48、D触发器和D锁存器的区别。(新太硬件面试)

49、简述latch和flip-flop的异同。(未知)

50、LATCH和DFF的概念和区别。(未知)

51、latch与register的区别,为什么现在多用register.行为级描述中latch如何产生的。

(南山之桥)

52、用D触发器做个二分频的电路.又问什么是状态图。(华为)

53、请画出用D触发器实现2倍分频的逻辑电路?(汉王笔试)

54、怎样用D触发器、与或非门组成二分频电路?(东信笔试)

55、How many flip-flop circuits are needed to divide by 16? (Intel) 16分频?

56、用flip-flop和logic-gate设计一个1位加法器, 输入carryin和current-stage, 输出carryout和next-stage. (未知)

57、用D触发器做个4进制的计数。(华为)

58、实现N位Johnson Counter,N=5。(南山之桥)

59、用你熟悉的设计方式设计一个可预置初值的7进制循环计数器, 15进制的呢?(仕兰微电子)

60、数字电路设计当然必问Verilog/VHDL, 如设计计数器。(未知)

61、BLOCKING NONBLOCKING 赋值的区别。(南山之桥)

62、写异步D触发器的verilog module。(扬智电子笔试)

```
module dff8(clk , reset, d, q);
input  clk;
input  reset;
input  [7:0] d;
output [7:0] q;
reg    [7:0] q;
always @ (posedge clk or posedge reset)
    if(reset)
        q <= 0;
    else
        q <= d;
endmodule
```

63、用D触发器实现2倍分频的Verilog描述? (汉王笔试)

```
module divide2( clk , clk_o, reset);
input  clk , reset;
output clk_o;
wire in;
reg out ;
always @ ( posedge clk or posedge reset)
    if ( reset)
        out <= 0;
    else
        out <= in;
    assign in = ~out;
    assign clk_o = out;
endmodule
```

64、可编程逻辑器件在现代电子设计中越来越重要, 请问: a) 你所知道的可编程逻辑器件有哪些? b) 试用VHDL或VERILOG、ABLE描述8位D触发器逻辑。(汉王笔试)

PAL, PLD, CPLD, FPGA。

```
module dff8(clk , reset, d, q);
input  clk;
input  reset;
input  d;
output q;
reg q;
always @ (posedge clk or posedge reset)
    if(reset)
        q <= 0;
    else
```

```
q <= d;
endmodule
```

- 65、请用HDL描述四位的全加法器、5分频电路。（仕兰微电子）
- 66、用VERILOG或VHDL写一段代码，实现10进制计数器。（未知）
- 67、用VERILOG或VHDL写一段代码，实现消除一个glitch。（未知）
- 68、一个状态机的题目用verilog实现（不过这个状态机画的实在比较差，很容易误解的）。（威盛VIA 2003.11.06 上海笔试试题）
- 69、描述一个交通信号灯的设计。（仕兰微电子）
- 70、画状态机，接受1，2，5分钱的卖报机，每份报纸5分钱。（扬智电子笔试）
- 71、设计一个自动售货机系统，卖soda水的，只能投进三种硬币，要正确的找回钱数。（1）画出fsm（有限状态机）；（2）用verilog编程，语法要符合fpga设计的要求。（未知）
- 72、设计一个自动饮料售卖机，饮料10分钱，硬币有5分和10分两种，并考虑找零：（1）画出fsm（有限状态机）；（2）用verilog编程，语法要符合fpga设计的要求；（3）设计工程中可使用的工具及设计大致过程。（未知）
- 73、画出可以检测10010串的状态图,并verilog实现之。（威盛）
- 74、用FSM实现101101的序列检测模块。（南山之桥）
- a为输入端，b为输出端，如果a连续输入为1101则b输出为1，否则为0。
- 例如a: 0001100110110100100110
b: 0000000000100100000000
- 请画出state machine; 请用RTL描述其state machine。（未知）
- 75、用verilog/vddl检测stream中的特定字符串（分状态用状态机写）。（飞利浦 - 大唐笔试）
- 76、用verilog/vhdl写一个fifo控制器(包括空，满，半满信号)。（飞利浦 - 大唐笔试）
- 77、现有一用户需要一种集成电路产品，要求该产品能够实现如下功能：y=lnx，其中，x为4位二进制整数输入信号。y为二进制小数输出，要求保留两位小数。电源电压为3~5v假设公司接到该项目后，交由你来负责该产品的设计，试讨论该产品的设计全程。（仕兰微电子）
- 78、sram, falsh memory, 及dram的区别？（新太硬件面试）
- 79、给出单管DRAM的原理图(西电版《数字电子技术基础》作者杨颂华、冯毛官205页图9-14b)，问你有什么办法提高refresh time，总共有5个问题，记不起来了。（降低温度，增大电容存储容量）（Infineon笔试）
- 80、Please draw schematic of a common SRAM cell with 6 transistors, point out which nodes can store data and which node is word line control?（威盛笔试题 circuit design-beijing-03.11.09）
- 81、名词:sram,ssram,sdram
名词IRQ,BIOS,USB,VHDL,SDR
IRQ: Interrupt ReQuest
BIOS: Basic Input Output System
USB: Universal Serial Bus
VHDL: VHIC Hardware Description Language
SDR: Single Data Rate
- 压控振荡器的英文缩写(VCO)。
动态随机存储器的英文缩写(DRAM)。
- 名词解释，无聊的外文缩写罢了，比如PCI、ECC、DDR、interrupt、pipeline、IRQ,BIOS,USB,VHDL,VLSI VCO(压控振荡器) RAM (动态随机存储器)，FIR IIR DFT(离散傅立叶变换)或者是中文的，比如：a.量化误差 b.直方图 c.白平衡

IC设计基础（流程、工艺、版图、器件）

- 1、我们公司的产品是集成电路，请描述一下你对集成电路的认识，列举一些与集成电路相关的内容（如讲清楚模拟、数字、双极型、CMOS、MCU、RISC、CISC、DSP、ASIC、FPGA等的概念）。（仕兰微面试题目）
- 2、FPGA和ASIC的概念，他们的区别。（未知）
- 答案：FPGA是可编程ASIC。
- ASIC:专用集成电路，它是面向专门用途的电路，专门为一个用户设计和制造的。根据一个用户的特定要求，能以低研制成本，短、交货周期供货的全定制，半定制集成电路。与门阵列等其它ASIC(Application Specific IC)相比，它们又具有设计开发周期短、设计制造成本低、开发工具先进、标准产品无需测试、质量稳定以及可实时在线检验等优点
- 3、什么叫做OTP片、掩膜片，两者的区别何在？（仕兰微面试题目）
- 4、你知道的集成电路设计的表达方式有几种？（仕兰微面试题目）
- 5、描述你对集成电路设计流程的认识。（仕兰微面试题目）
- 6、简述FPGA等可编程逻辑器件设计流程。（仕兰微面试题目）
- 7、IC设计前端到后端的流程和eda工具。（未知）
- 8、从RTL synthesis到tape out之间的设计flow,并列其中各步使用的tool。（未知）
- 9、Asic的设计 flow。（威盛VIA 2003.11.06 上海笔试试题）
- 10、写出asic前期设计的流程和相应的工具。（威盛）
- 11、集成电路前段设计流程，写出相关的工具。（扬智电子笔试）
- 先介绍下IC开发流程：
- 1.) 代码输入（design input）
- 用vhdl或者是verilog语言来完成器件的功能描述，生成hdl代码
- 语言输入工具：SUMMIT VISUALHDL

MENTOR RENIOR

图形输入: composer(cadence);
viewlogic (viewdraw)

2.) 电路仿真 (circuit simulation)

将vhd代码进行先前逻辑仿真, 验证功能描述是否正确

数字电路仿真工具:

Verilog: CADENCE Verilog-XL

SYNOPSYS VCS

MENTOR Modle-sim

VHDL: CADENCE NC-vhdl

SYNOPSYS VSS

MENTOR Modle-sim

模拟电路仿真工具:

***ANTI HSpice pspice, spectre micro microwave: eesoft: hp

3.) 逻辑综合 (synthesis tools)

逻辑综合工具可以将设计思想vhd代码转化成对应一定工艺手段的门级电路; 将初级仿真中所没有考虑的门沿 (gates delay) 反标到生成的门级网表中, 返回电路仿真阶段进行再仿真。最终仿真结果生成的网表称为物理网表。

12、请简述一下设计后端的整个流程? (仕兰微面试题)

13、是否接触过自动布局布线? 请说出一两种工具软件。自动布局布线需要哪些基本元素? (仕兰微面试题)

14、描述你对集成电路工艺的认识。 (仕兰微面试题)

15、列举几种集成电路典型工艺。工艺上常提到0.25, 0.18指的是什么? (仕兰微面试题)

16、请描述一下国内的工艺现状。 (仕兰微面试题)

17、半导体工艺中, 掺杂有哪几种方式? (仕兰微面试题)

18、描述CMOS电路中门锁效应产生的过程及最后的结果? (仕兰微面试题)

19、解释latch-up现象和Antenna effect和其预防措施。 (未知)

20、什么叫Latchup? (科广试题)

21、什么叫窄沟效应? (科广试题)

22、什么是NMOS、PMOS、CMOS? 什么是增强型、耗尽型? 什么是PNP、NPN? 他们有什么差别? (仕兰微面试题)

23、硅栅COMS工艺中N阱中做的是P管还是N管, N阱的阱电位的连接有什么要求? (仕兰微面试题)

24、画出CMOS晶体管的CROSS-OVER图 (应该是纵剖面图), 给出所有可能的传输特性和转移特性。 (Infineon笔试题)

25、以interver为例, 写出N阱CMOS的process流程, 并画出剖面图。 (科广试题)

26、Please explain how we describe the resistance in semiconductor. Compare the resistance of a metal, poly and diffusion in traditional CMOS process. (威盛笔试题circuit design-beijing-03.11.09)

27、说明mos一半工作在什么区。 (凹凸的题目和面试)

28、画p-bulk 的nmos截面图。 (凹凸的题目和面试)

29、写schematic note (?), 越多越好。 (凹凸的题目和面试)

30、寄生效应在ic设计中怎样加以克服和利用。 (未知)

31、太底层的MOS管物理特***觉一般不太会作为笔试题, 因为全是微电子物理, 公式推导太罗索, 除非面试出题的是个老学究。IC设计的话需要熟悉的软件: Cadence, Synopsys, Avant, UNIX当然也要大概会操作。

32、unix 命令cp -r, rm, uname。 (扬智电子笔试)

单片机、MCU、计算机原理

1、简单描述一个单片机系统的主要组成模块, 并说明各模块之间的数据流流向和控制流流向。简述单片机应用系统的设计原则。 (仕兰微面试题)

2、画出8031与2716 (2K*8ROM) 的连线图, 要求采用三-八译码器, 8031的P2.5, P2.4和P2.3参加译码, 基本地址范围为3000H-3FFFH。该2716有没有重叠地址? 根据是什么? 若有, 则写出每片2716的重叠地址范围。 (仕兰微面试题)

3、用8051设计一个带一个8*16键盘加驱动八个数码管 (共阳) 的原理图。 (仕兰微面试题)

4、PCI总线的含义是什么? PCI总线的主要特点是什么? (仕兰微面试题)

5、中断的概念? 简述中断的过程。 (仕兰微面试题)

6、如单片机中断几个/类型, 编中断程序注意什么问题? (未知)

7、要用一个开环脉冲调速系统来控制直流电动机的转速, 程序由8051完成。简单原理如下: 由P3.4输出脉冲的占空比来控制转速, 占空比越大, 转速越快; 而占空比由K7-K0八个开关来设置, 直接与P1口相连 (开关拨到下方时为"0", 拨到上方时为"1", 组成一个八位二进制数N), 要求占空比为N/256。 (仕兰微面试题)

下面程序用计数法来实现这一功能, 请将空余部分添完整。

MOV P1, #0FFH

LOOP1: MOV R4, #0FFH

MOV R3, #00H

```

LOOP2: MOV A, P1
-----
SUBB A, R3
JNZ SKP1
-----
SKP1: MOV C, 70H
MOV P3.4, C
ACALL DELAY: 此延时子程序略
-----
-----
AJMP LOOP1

```

8、单片机上电后没有运转，首先要检查什么？（东信笔试题）

9、What is PC Chipset?（扬智电子笔试）

芯片组（Chipset）是主板的核心组成部分，按照在主板上的排列位置的不同，通常分为北桥芯片和南桥芯片。北桥芯片提供对CPU的类型和主频、内存的类型和最大容量、ISA/PCI/AGP插槽、ECC纠错等支持。南桥芯片则提供对KBC（键盘控制器）、RTC（实时

时钟控制器）、USB（通用串行总线）、Ultra DMA/33(66)EIDE数据传输方式和ACPI（高级能源管理）等的支持。其中北桥芯片起着主导性的作用，也称为主桥（Host Bridge）。

除了最通用的南北桥结构外，目前芯片组正向更高级的加速集线架构发展，Intel的8xx系列芯片组就是这类芯片组的代表，它将一些子系统如IDE接口、音效、MODEM和USB直

接接入主芯片，能够提供比PCI总线宽一倍的带宽，达到了266MB/s。

10、如果简历上还说做过cpu之类，就会问到诸如cpu如何工作，流水线之类的问题。（未知）

11、计算机的基本组成部分及其各自的作用。（东信笔试题）

12、请画出微机接口电路中，典型的输入设备与微机接口逻辑示意图（数据接口、控制接口、所存器/缓冲器）。（汉王笔试）

13、cache的主要部分什么的。（威盛VIA 2003.11.06 上海笔试题）

14、同步异步传输的差异（未知）

15、串行通信与同步通信异同,特点,比较。（华为面试题）

16、RS232c高电平脉冲对应的TTL逻辑是?(负逻辑?)（华为面试题）

信号与系统

1、的话音频率一般为300~3400HZ，若对其采样且使信号不失真，其最小的采样频率应为多大？若采用8KHZ的采样频率，并采用8bit的PCM编码，则存储一秒钟的信号数据量有多大？（仕兰微面试题）

2、什么耐奎斯特定律,怎么由模拟信号转为数字信号。（华为面试题）

3、如果模拟信号的带宽为 5khz,要用8K的采样率，怎么办？(lucent) 两路？

4、信号与系统:在时域与频域关系。（华为面试题）

5、给出时域信号，求其直流分量。（未知）

6、给出一时域信号，要求（1）写出频率分量，（2）写出其傅立叶变换级数；（3）当波形经过低通滤波器滤掉高次谐波而只保留一次谐波时，画出滤波后的输出波形。（未知）

7、sketch 连续正弦信号和连续矩形波(都有图)的傅立叶变换。（Infineon笔试题）

8、拉氏变换和傅立叶变换的表达式及联系。（新太硬件面题）

DSP、嵌入式、软件等

1、请用方框图描述一个你熟悉的实用数字信号处理系统，并做简要的分析；如果没有，也可以自己设计一个简单的数字信号处理系统，并描述其功能及用途。（仕兰微面试题）

2、数字滤波器的分类和结构特点。（仕兰微面试题）

3、IIR, FIR滤波器的异同。（新太硬件面题）

4、拉氏变换与Z变换公式等类似东西，随便翻翻书把如 $h(n) = -a^*h(n-1) + b^*\delta(n)$ a.求 $h(n)$ 的z变换；b.问该系统是否为稳定系统；c.写出FIR数字滤波器的差分方程；（未知）

5、DSP和通用处理器在结构上有什么不同，请简要画出你熟悉的一种DSP结构图。（信威dsp软件面试题）

6、说说定点DSP和浮点DSP的定义（或者说出他们的区别）（信威dsp软件面试题）

7、说说你对循环寻址和位反序寻址的理解。（信威dsp软件面试题）

8、请写出【- 8, 7】的二进制补码，和二进制偏置码。用Q15表示出0.5和 - 0.5。（信威dsp软件面试题）

9、DSP的结构（哈佛结构）；（未知）

10、嵌入式处理器类型(如ARM)，操作系统种类（Vxworks,ucos,winCE,linux），操作系统方面偏CS方向了，在CS篇里面讲了；（未知）

11、有一个LDO芯片将用于手机供电，需要你对他进行评估，你将如何设计你的测试项目？

12、某程序在一个嵌入式系统（200M CPU，50M SDRAM）中已经最优化了，换到另一个系

统（300M CPU，50M SDRAM）中是否还需要优化？（Intel）

13、请简要描述HUFFMAN编码的基本原理及其基本的实现方法。（仕兰微面试题）

14、说出OSI七层网络协议中的四层（任意四层）。（仕兰微面试题）

15、A) (仕兰微面试题)

```
#include
void testf(int*p)
{
    *p+=1;
}
main()
{
    int *n,m[2];
    n=m;
    m[0]=1;
    m[1]=8;
    testf(n);
    printf("Data value is %d ",*n);
}
```

B)

```
#include
void testf(int**p)
{
    *p+=1;
}
main()
{int *n,m[2];
n=m;
m[0]=1;
m[1]=8;
testf(&n);
printf(Data value is %d",*n);
}
```

下面的结果是程序A还是程序B的?

Data value is 8

那么另一段程序的结果是什么?

16、那种排序方法最快? (华为面试题)

17、写出两个排序算法,问哪个好? (威盛)

18、编一个简单的求n!的程序。(Infineon笔试试题)

19、用一种编程语言写n!的算法。(威盛VIA 2003.11.06 上海笔试试题)

20、用C语言写一个递归算法求N!;(华为面试题)

21、给一个C的函数,关于字符串和数组,找出错误;(华为面试题)

22、防火墙是怎么实现的?(华为面试题)

23、你对哪方面编程熟悉?(华为面试题)

24、冒泡排序的原理。(新太硬件面试题)

25、操作系统的功能。(新太硬件面试题)

26、学过的计算机语言及开发的系统。(新太硬件面试题)

27、一个农夫发现围成正方形的围栏比长方形的节省4个木桩但是面积一样.羊的数目和正方形围栏的桩子的个数一样但是小于36,问有多少羊?(威盛)

28、C语言实现统计某个cell在某.v文件调用的次数(这个题目真bt)(威盛VIA 2003.11.06 上海笔试试题)

29、用C语言写一段控制手机中马达振子的驱动程序。(威胜)

30、用perl或TCL/Tk实现一段字符串识别和比较的程序。(未知)

31、给出一个堆栈的结构,求中断后显示结果,主要是考堆栈压入返回地址存放在低端地址还是高端。(未知)

32、一些DOS命令,如显示文件,拷贝,删除。(未知)

33、设计一个类,使得该类任何形式的派生类无论怎么定义和实现,都无法产生任何对象实例。(IBM)

34、What is pre-emption? (Intel)

35、What is the state of a process if a resource is not available? (Intel)

36、三个float a,b,c;问值 (a+b)+c==(b+a)+c, (a+b)+c==(a+c)+b。(Intel)

37、把一个链表反向填空。(lucent)

38、 $x^4+a*x^3+x^2+c*x+d$ 最少需要做几次乘法?(Dephi)

主观题

1、你认为你从事研发工作有哪些特点?(仕兰微面试题)

2、说出你的最大弱点及改进方法。(威盛VIA 2003.11.06 上海笔试试题)

3、说出你的理想。说出你想达到的目标。题目是英文出的,要用英文回答。(威盛VIA 2003.11.06 上海笔试试题)

4、我们将研发人员分为若干研究方向,对协议和算法理解(主要应用在网络通信、语音压缩方面)、电子系统方案的研究、用MCU、DSP编程实现电路功能、用ASIC设计技术设计电路(包括MCU、DSP本身)、电路功能模块设计(包括模拟电路和数字电路)、集成电路后端设计(主要是指综合及自动布局布线技术)、集成电路设计与工艺接口的研究。

你希望从事哪方面的研究？（可以选择多个方向。另外，已经从事过相关研发的人员可以详细描述你的研发经历）。（仕兰微面试题目）

5、请谈谈对一个系统设计的总体思路。针对这个思路，你觉得应该具备哪些方面的知识？（仕兰微面试题目）

6、设想你将设计完成一个电子电路方案。请简述用EDA软件（如PROTEL）进行设计（包括原理图和PCB图）到调试出样机的整个过程。在各环节应注意哪些问题？电源的稳定，电容的选取，以及布局的大小。（汉王笔试）

共同的注意点

- 1.一般情况下，面试官主要根据你的简历提问，所以一定要对自己负责，把简历上的东西搞明白；
- 2.个别招聘针对性特别强，就招目前他们确的方向的人，这种情况下，就要投其所好，尽量介绍其所关心的东西。
- 3.其实技术面试并不难，但是由于很多东西都忘掉了，才觉得有些难。所以最好在面试前把该看的书看看。
- 4.虽然说技术面试是实力的较量与体现，但是不可否认，由于不用面试官/公司所专领域及爱好不同，也有面试也有很大的偶然性，需要冷静对待。不能因为被拒，就否认自己或责骂公司。
- 5.面试时要take it easy，对越是自己钟情的公司越要这样。



吞风吻雨葬落日未曾彷徨 8023U1314

分类: [FPGA面试题集锦](#)

[好文置顶](#)[关注我](#)[收藏该文](#)[微信分享](#)



安达米特
粉丝 - 74 关注 - 7

+加关注

2 0

[升级成为会员](#)

» 下一篇: [（原创）反ARP攻击的绝招，让你在ARP的炮雨攻击下永不掉线](#)

posted @ 2008-08-07 16:16 安达米特 阅读(4642) 评论(3) 编辑 收藏 举报

[刷新页面](#) [返回顶部](#)

登录后才能查看或发表评论，立即 [登录](#) 或者 [逛逛](#) 博客园首页

编辑推荐:

- [硬盘空间消失之谜：Linux 服务器存储排查与优化全过程](#)
- [JavaScript是按顺序执行的吗？聊聊JavaScript中的变量提升](#)
- [\[杂谈\]后台日志该怎么打印](#)
- [Pascal 架构 GPU 在 vllm下的模型推理优化](#)
- [.NET Core 堆结构\(Heap\)底层原理浅谈](#)

阅读排行:

- [33岁，从上海裸辞回西安创业](#)
- [丢人，被自己出的校招题给麻痹了。](#)
- [C#/NET/.NET Core技术前沿周刊 | 第 17 期（2024年12.09-12.15）](#)
- [如何为在线客服系统的 Web Api 后台主程序添加 Bootstrap 启动页面](#)
- [WinForm 通用权限框架，简单实用支持二次开发](#)