## AHB总线协议学习

### 1 AHB总线信号

#### 1.1 系统信号

* HCLK：总线时钟信号，AHB总线接口均在时钟上升沿采样信号和驱动信号；
* HRESETn：总线复位信号，低电平有效；

#### 1.2 master驱动信号

* HADDR：地址信号，位宽最多到达64bit；
* HBURST：突发传输类型和长度，3bit；
* HMASTLOCK：指示最近传输为锁传输；
* HPROT：访问控制信号，4bit 或 7bit；
* HNONSEC：指示是否进行安全传输；
* HTRANS：指示master传输状态，2bit；
* HWDATA：写数据总线，位宽为2的幂次方，最大为1024bit；
* HWSTRB：写探测信号，指示哪些字节有效；
* HWRITE：指示读写操作，1bit；

#### 1.3 slave驱动信号

* HRDATA：读数据总线，位宽与HWDATA类似；
* HREADYOUT：指示数据传输是否已经完成，1bit；
* HRESP：指示传输是否完成，1bit；
* HEXOKY：指示独占访问完成状态，1bi(AHB5中支持）；

#### 1.4 解码器驱动信号

* HSELx：slave选择信号，1bit；

#### 1.5 多路复用器驱动信号

* HRDATA：返回给master的读取数据；
* HREADY：返回给master和slave的传输完成信号；
* HRESP：返回给master的传输完成状态信号；
* HEXOKAY：返回给master的独占访问完成状态信号；

### 2 数据传输

#### 2.1 基本传输

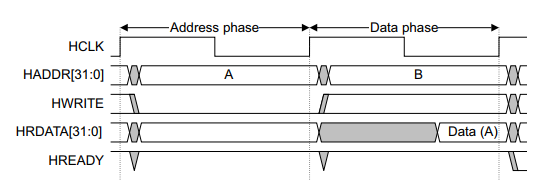


图2-1-1 无等待的读传输

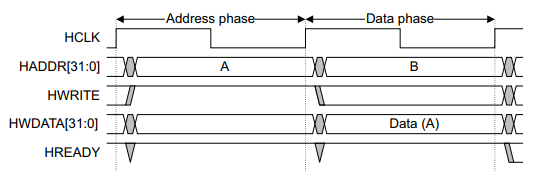


图2-1-2 无等待状态的写操作

在AHB协议中，主要包含地址信息传输和数据传输并且可以进行流水线。

**如图2-1和2-2所示**：

1. 在第一个时钟上升沿，master设置传输A地址信息；
2. 在第二个时钟上升沿，slave会采样传输A地址信息；如果进行写操作则master驱动传输A的写数据；如果HREADY信号为高电平，master会传输下一个地址信息(如果有)；
3. 在第三个时钟上升沿，master检查到HREADY为高电平则表示A数据传输完成，采样读数据(读操作)；

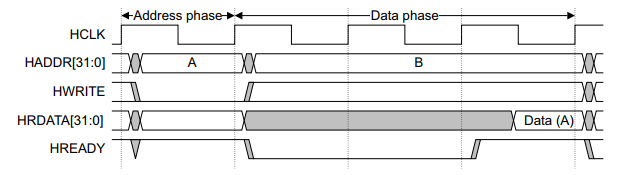


图2-1-3 有等待的读操作

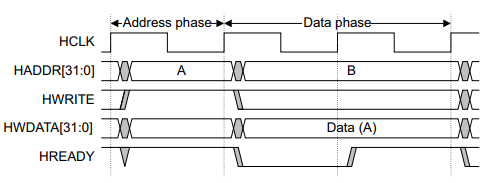


图2-1-4 有等待的写操作

如图2-3和2-4所示，在第三个时钟上升沿检查到HREADY信号为低电平则延长传输时间，直到HREADY信号为高电平传输成功。

#### 2.2 传输类型

* IDLE：表示不需要数据传输；master在不需要进行数据传输时使用IDLE传输；slave必须将HRESP设置为0；
* BUSY：master在突发中间插入BUSY表示继续进行突发，但下一个传输不能立即发生，相当于空闲，但是需要保证master驱动的信号稳定；slave必须将HRESP设置为0；
* NONSEQ：单次传输或突发传输的第一次传输；地址和控制信号与之前的传输无关；
* SEQ：突发传输的剩余传输是按一定顺序的；地址与前一个传输相关，控制信息与之前相同；

#### 2.3 锁传输

如果master需要锁传输，那么必须将HMASTLOCK设置为高电平。该信号向slave指示当前传输是不可分割的，必须在处理任何其他传输之前进行。锁传输通常用于维护信号量，使slave在SWP指令的读和写阶段之间不执行其他数据传输。

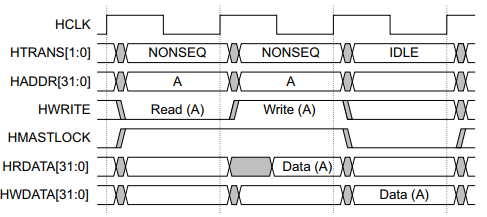


图2-3-1 锁传输示意图

如图2-3-1所示，master将HMASTLOCK设置为高电平，slave在进行读A和写A操作时必须按照master请求顺序进行且不会同时完成其它传输请求。通常多端口slave需要实现锁传输，而单端口slave则不需要(按照请求接收顺序完成)。

协议建议在完成锁传输后插入一个IDLE传输。

#### 2.4 突发传输

##### 2.4.1 概述

AHB协议定义了固定长度4、8和16的突发传输、未定义长度的突发传输和单次传输。根据地址变化突发传输分为递增和回环。递增指突发传输地址一直增加，而回环则不是。Master不能在递增突发传输中跨1KB地址边界。

突发传输中所有地址必须与传输大小相对齐。例如，以4字节进行突发传输时每一次地址必须与字地址对齐(HADDR[1:0] = 0)，半字传输必须与半字地址对齐(HADDR[0] = 0)。AHB不支持非对齐地址的突发传输，包括单次传输。

##### 2.4.2 BUSY传输后终止突发传输

在进行突发传输时，如果master在下一个传输之前需要更多的时间可以使用BUSY传输进行延长。

在进行未定义长度的突发传输期间，master可能插入BUSY传输，然后执行NONSEQ或IDLE传输，从而终止未定义的长度突发。

协议规定master不能在单次传输后立即执行BUSY传输。单个突发之后必须进行IDLE传输或NONSEQ传输。

##### 2.4.3 终止突发传输

如果slave返回错误响应信号，那么master可以取消突发传输中的剩余传输。然而，master也可以继续进行传输。协议并未进行强制规定。如果master取消了突发传输中的剩余传输，那么必须在两个周期的错误响应切换至IDLE传输。

如果突发传输未出现错误则master不能提前终止突发传输。

当master没有完成该突发传输，下一次访问下级时也不需要重新进行该突发传输。

##### 2.4.4 突发传输示例

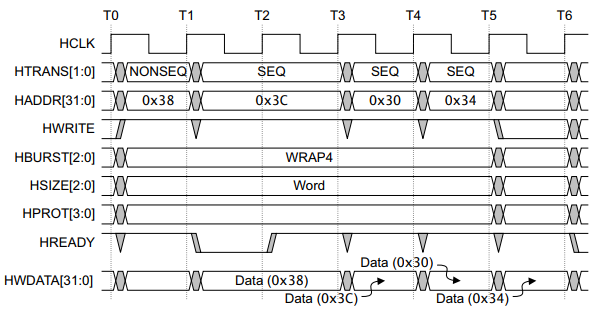


图2-4-1 长度为4拍的回环突发传输

如图2-4-1所示，master进行长度为4拍的回环突发传输，传输大小为4字节，进行写操作。起始地址为0x38，回环地址与16字节对齐，故回环地址为0x30。Master在整个突发传输中需要驱动地址信号变化。

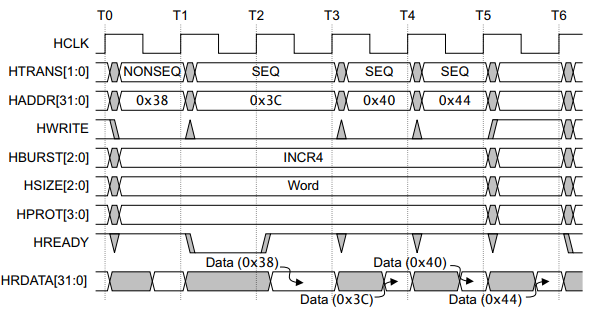


图2-4-2 长度为4拍的递增突发传输。

如图2-4-2所示，进行递增突发传输时地址是一直增加的。

#### 2.5 等待传输

##### 2.5.1 传输类型更改

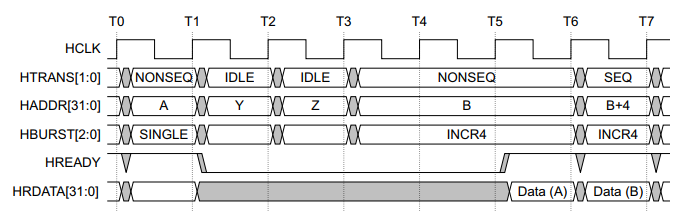


图2-5-1 等待传输中从IDLE传输变为NONSEQ传输

如图2-5-1所示，在等待传输期间允许master将传输类型从IDLE更改为NONSEQ。当HTRANS更改为NONSEQ时，管理器必须保持HTRANS不变，直到HREADY为高电平。

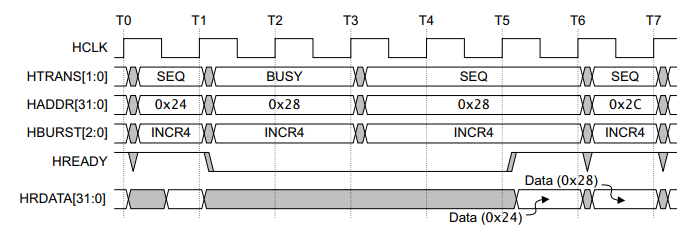


图2-5-2 等待传输中从BUSY变为SEQ

如图2-5-2所示，在固定长度突发传输的等待传输期间，允许master将传输类型从BUSY更改为SEQ。当HTRANS传输类型更改为SEQ时，master必须保持HTRANS不变，直到HREADY为高电平。

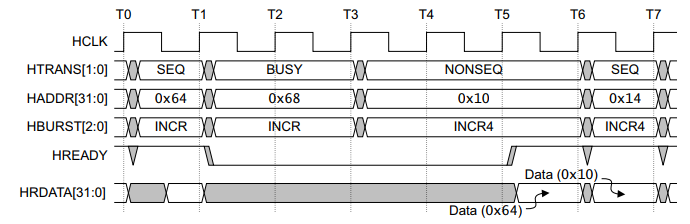


图2-5-3 等待传输中从SEQ变为BUSY

如图2-5-3所示，在未定义长度的突发传输的等待传输期间，当HREADY为低电平时，允许master从BUSY更改为任何其他传输类型。如果执行SEQ传输，该突发传输将继续进行，但如果执行IDLE或NONSEQ传输，该突发将终止。

#### 2.6 保护信号

4bit保护信号：

* HPROT[0]：传输数据类型，指令或数据；
* HPROT[1]：访问权限级别，特权或普通权限；
* HPROT[2]：数据是否可缓冲；
* HPROT[3]：数据是否可缓冲；

保护信号在整个突发传输中是不会变化的。

### 3 总线互连结构

#### 3.1 概述

互连组件将多个master和slave连接起来组成一个系统。当系统中只有一个master时，系统只需要使用解码器和多路复用器。系统需要使用一个互连组件来提供仲裁和路由不同master的信号到达对应的slave。

#### 3.2 地址编码

##### 3.2.1 概述

地址解码器通过所输入地址信号来选择相应slave并设置相应slave的HSELx信号。建议采用简单的地址译码方案，以避免复杂的译码逻辑，并保证高速运行。

当HREADY为高电平时，表示当前传输已经完成，此时slave必须只对HSELx、地址和控制信号进行采样。

每个slave所分配的最小地址空间为1KB，起始地址和结束地址都必须与1KB对齐。

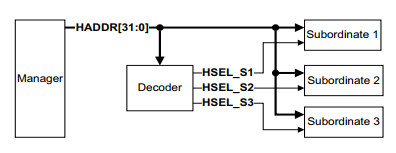


图3-2-1 系统中单个master的解码器HSELx信号

##### 3.2.2 默认slave

如果系统不包含所有的内存映射，则必须实现一个额外的默认slave以便在访问不存在的地址位置时提供响应。

如果试图对不存在的地址进行NONSEQ或SEQ传输，则默认slave提供一个错误响应；IDLE或BUSY传输时则返回OKAY响应。

##### 3.2.3 选择多个slave

一个slave接口允许支持多个HSELx信号。每个HSELx信号对应于高地址位的不同解码。这允许一个slave接口提供多个逻辑接口，每个逻辑接口在系统地址映射中具有不同的位置。逻辑接口所分配的最小地址空间为1KB。这种方法不需要从属来支持地址解码来区分逻辑接口。例如，外设的主数据路径和控制寄存器位于地址映射中的不同位置。两个位置都可以通过一个接口访问，而不需要slave执行地址解码。

#### 3.3 多路复用器

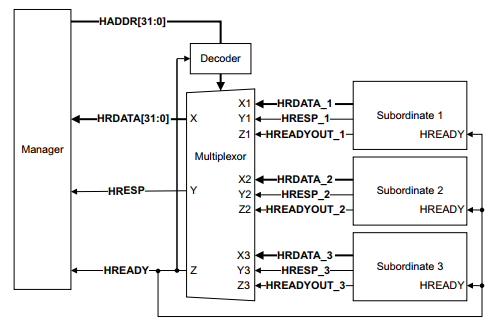


图3-3-1 多路复用器连接

master将地址和控制信号发送给所有的slave，解码器在传输的数据阶段选择适当的下属。来自所选slave的任何响应数据都通过读数据多路复用器传递给master。

#### 3.4 多个master互连

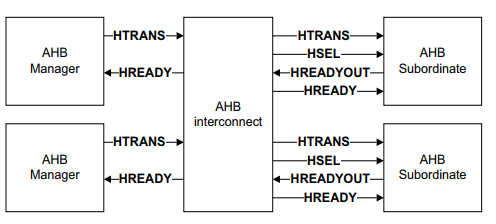


图3-4-1 多master主机通过互连结构相连

如图3-4-1 所示，AHB互连结构连接多个master和多个slave。该互连结构会进行仲裁以及信号路由。

### 4 slave回应信号

#### 4.1 slave传输响应

当master开始进行数据传输后，slave控制数据传输进度，master不能终止数据传输。传输状态由HRESP信号提供；HRESP为高电平则表示出错否则为OKAY。HRESP和HREADY共同组成4种传输状态。

**传输状态：**

* 传输完成：HREADY为高电平且HRESP为低电平；
* 等待传输完成：HREADY为低电平且HRESP为低电平；
* 等待传输错误：HREADY为低电平且HRESP为高电平；
* 完成传输错误：HREADY为高电平且HRESP为高电平；

#### 4.2 slave错误响应

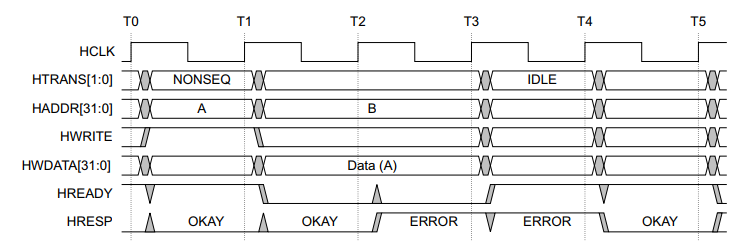


图4-2-1 slave错误响应

OKAY响应可以在单个周期中给出，但是错误响应需要两个周期(总线上可能有两个未完成的传输)。进行错误响应时，slave将HRESP设置为高电平，而HREADYOUT设置为低电平将传输延长一个额外的周期；在下一个周期中，HREADYOUT被驱动为高电平以结束传输且HRESP仍为高电平。

如图4-2-1所示：

1. T2上升沿，slave发出等待传输错误响应响应；HREADY低电平；
2. T3上升沿，slave发出完成错误响应；master传输类型设置为IDLE；这将取消到地址B的传输事务；
3. T4上升沿，slave发出OKAY响应；

### 5 数据总线

#### 5.1 概述

实现AHB总线系统需要独立的读写数据总线。协议建议最小的数据总线宽度为32bit。

在写数据传输期间，master驱动写数据总线。如果传输时间延长，则master必须保持数据稳定，直到传输完成。

在读数据传输期间，slave驱动读数据总线。如果传输时间被延长，则slave只需要在传输的最后一个周期中提供有效数据。只有当传输成功完成时，slave才必须提供有效数据，发生错误则不需要有效的读数据。

#### 5.2 数据总线位宽

##### 5.3.1 slave数据位宽小于总线

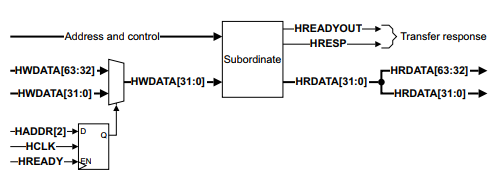


图5-3-1 slave数据线位宽小于总线

slave只能接受与其接口相同位宽的传输。如果master尝试传输超出slave可以支持的范围，那么slave可以返回错误响应。

##### 5.3.2 slave数据位宽大于总线

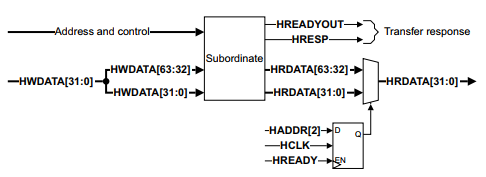


图5-3-2 slave数据线位宽大于总线

##### 5.3.3 master数据位宽小于总线

### 6 时钟和复位

#### 6.1 时钟

每个组件使用单一的时钟信号HCLK。所有组件均在HCLK的上升沿采样并驱动输出信号(寄存器赋值)。

#### 6.2 复位

复位信号HRESETn是协议中唯一低电平有效的信号，所有总线组件的主要复位信号；系统可以进行异步复位，但只能在HCLK上升沿取消复位信号。

组件必须定义复位信号必须被断言的最小周期数，以确保所有组件完全复位并且输出正确的复位值。

复位期间，master必须处于IDLE传输，slave必须将HREADYOUT设置为高电平。

### 参考资料

[1] AMBA AHB Protocol Specification.