## DDR4协议

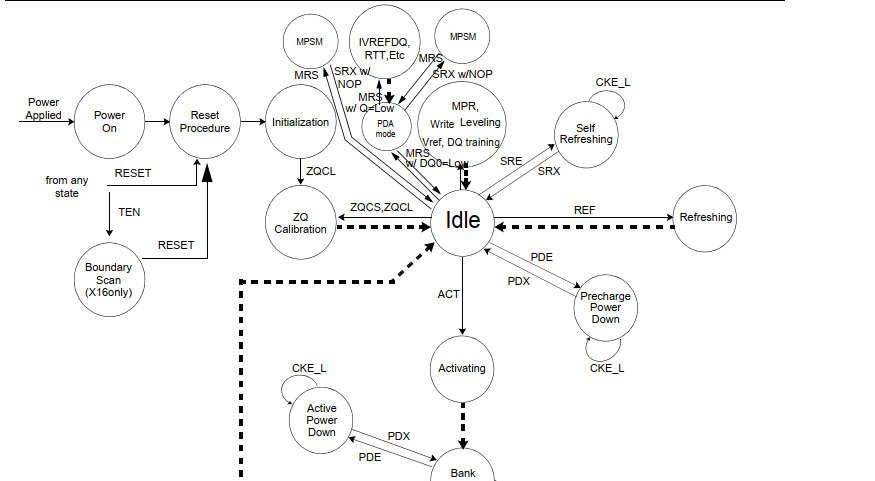
### 1 引脚以及地址映射

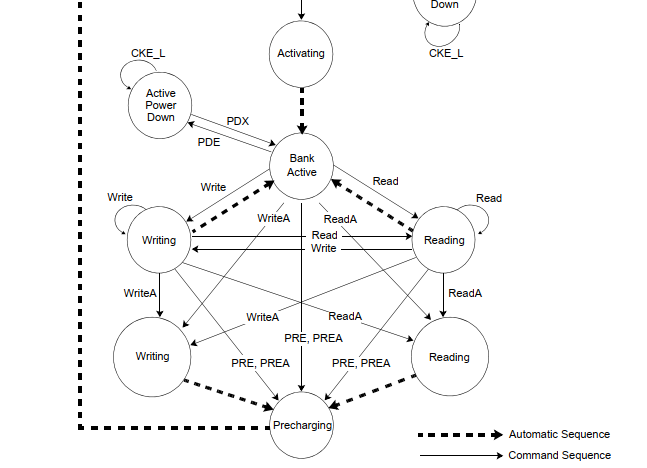
#### 1.1 引脚

* CK\_t和CK\_c输入时钟：差分时钟输入。所有的地址和控制输入信号都在CK\_t正沿和CK\_c负沿的交叉处采样；
* CKE(CKE1)输入时钟使能：CKE高有效；CKE为低电平时关闭预充电关闭和刷新操作(所有bank空闲)以及或主动电源关闭。关闭自动刷新与CKE变化是同步的。进行读写操作时必须设置CKE为高电平。下电时，除CK\_t、CK\_c、ODT和CKE外的所有输入缓冲区关闭；
* CS\_n(CS1\_n)：片选线；当CS\_n为高电平时，所有命令都被屏蔽。在具有多个Rank的系统中CS\_n选择外部Rank；
* C0、C1和C2：芯片ID；
* ACT\_n：命令激活输入；ACT\_n定义了与CS\_n一起输入的激活命令。RAS\_n/A16, CAS\_n/A15和WE\_n/A14的输入被认为是行地址A16, A15和A14；
* DM\_n/DBI\_n/TDQS\_t：输入数据掩码和数据总线反转；DM\_n是写数据的输入掩码信号。在写访问期间，如果DM\_n采样值与输入数据一致，则屏蔽输入数据。DM\_n在DQS的两边采样。DBI\_n是一个输入或输出位序顺序标识(正序或倒序)。如果DBI\_n较低，数据将在DDR4 SDRAM内部反转后存储或输出；
* BG0 - BG1：bank组选择；BG0 - BG1定义对哪个bank组进行读、写或执行命令。BG0还决定在MRS周期中访问哪种模式寄存器；
* BA0 – BA1：bank地址；BA0 - BA1定义对哪个bank进行读、写或执行命令。bank地址还决定在MRS周期中访问哪种模式寄存器；
* A0 - A17：输入地址；为激活命令提供行地址，为读写命令提供列地址；
* A10 / AP：自动预充输入；读写命令时对A10进行采样，判断读写操作完成后是否对接入的bank进行自动刷新；
* A12 / BC\_n：突发传输；
* RESET\_n输入：异步复位；RESET\_n为低电平时复位；
* DQ：双向数据总线；如果CRC通过模式寄存器启用，那么在数据的末尾添加CRC码；
* DQS\_t, DQS\_c, DQSU\_t, DQSU\_c, DQSL\_t, DQSL\_c：输入输出数据频闪；读数据与边对齐，写数据居中；
* TDQS\_t, TDQS\_c：输出终止数据频闪；
* PAR：命令和地址奇偶校验输入；DDR4支持偶数奇偶校验设置。一旦它通过MR5中的寄存器启用，那么DRAM计算奇偶校验；输入奇偶校验应保持在时钟的上升沿；
* ALERT\_n：输入输出警告；具有CRC错误标志、命令和地址校验错误标志等多种输出信号功能。如果CRC中有错误，则Alert\_n在这段时间间隔内变为低电平，然后回到高电平。如果在命令地址奇偶校验中有错误，那么Alert\_n会降低相对较长一段时间，直到进行DRAM内部恢复事务完成。如果没有作为信号连接，ALERT\_n引脚必须接到VDD；

### 2 功能描述

#### 2.1 状态机图





#### 2.2 基础功能

DDR4 是一种高速动态随机存储器，其内部可以配置为16个bank，分为4个bank组或者8个bank，共2个bank组。

DDR4采用8n预取架构实现高速运算。8n预取架构与I/O引脚的接口相结合，设计为在每个时钟周期传输两个数据字。DDR4 SDRAM的一次读写操作由一个8n位宽的4个时钟数据传输和8个相应的n位宽的1 / 2时钟周期的数据传输组成。

对DDR4的读写操作是面向突发的，从一个选定的位置开始并继续一个长度为8的传输或在一个序列中拆分的4个突发传输。操作以激活命令开始，然后是读写命令。激活命令的地址位用于选择需要激活的bank和行。读写命令的地址位用于选择突发操作的起始列位置。

DDR4在正常工作前，必须先上电并按预先设定的方式进行初始化。

#### 2.3 复位和初始化过程

##### 2.3.1 上电初始化序列

1. RESET\_n最少需要维持200us低电平。在RESET\_n设置为高电平之前(最小时间10ns)， CKE设置为低电平。VPP必须与VDD同时或早于VDD并且VPP必须始终等于或高于VDD。除VDD、VDDQ、VSS、VSSQ外，其他所有引脚的电压电平必须在一侧小于或等于VDDQ和VDD，另一侧大于或等于VSSQ和VSS；
2. RESET\_n设置为高电平后再等待500us，直到CKE设置为高电平。在此期间，DRAM将开始内部初始化；独立于外部时钟；
3. 时钟(CK\_t,CK\_c)需要启动并稳定至少10ns，然后CKE才会设置为高电平。由于CKE是同步信号，必须满足相应的时钟设置时间。另外，必须在时钟边缘注册一个取消选择命令。一旦CKE在复位后注册为高电平，CKE需要不断注册为高电平，直到初始化序列完成；
4. 只要RESET\_n设置为低电平, DDR4就能保持其片上端接电阻高阻抗状态。SDRAM在RESET\_n设置为高电平时保持其片上端接电阻高阻抗状态，直到CKE为高电平。ODT输入信号在CKE达到高电平之前可能处于不确定状态。当CKE高时，ODT输入信号可以静态保持在低电平或高电平。如果要在MR1中启用RTT\_NOM, ODT输入信号必须静态保持在低电平；
5. 在CKE注册高电平后，等待复位CKE退出时间最小值tXPR，然后发出第一个MRS命令加载模式寄存器；
6. 发送MRS命令以加载MR3与所有应用程序设置；发送MRS命令到MR3需要将BG0设置为低电平而BA1和BA0设置为高电平；
7. 发送MRS命令以加载MR6与所有应用程序设置；发送MRS命令到MR6需要将BA0设置为低电平而BA1和BG0设置为高电平；
8. 发出MRS命令以加载MR5与所有应用程序设置；发送MRS命令到MR5需要将BA1设置为低电平而BA0和BG0设置为高电平；
9. 发出MRS命令以加载带有所有应用程序设置的MR4；发送MRS命令到MR4需要将BA1和BA0设置为低电平而BG0设置为高电平；
10. 发送MRS命令以加载MR2与所有应用程序设置；发送MRS命令到MR2需要将BG0和BA0设置为低电平而BA1设置为高电平；
11. 发送MRS命令以加载MR1与所有应用程序设置；发送MRS命令到MR1需要将BG0和BA1设置为低电平而BA0设置为高电平；
12. 发出MRS命令，将所有应用程序设置加载到MR0；要向MR0发出MRS需要将BG0、BA1和BA0设置为低电平；
13. 发出ZQCL命令开始ZQ校准；
14. 等待tDLLK和tZQ 初始化完成；
15. SDRAM现在已经准备好进行读写traning；

##### 2.3.1 复位初始化

1. 需要复位时，将RESET\_n设置为低电平。为了最小化tPW\_RESET，需要维护RESET\_n。在RESET\_n设置为高电平前(最小时间10秒)，CKE设置为低电平；
2. 按照上电初始化中的步骤2到10进行操作；
3. 重置序列现在已经完成，DDR4已经准备好进行读写traning；

#### 2.4 寄存器定义

为了应用的灵活性，各种功能、特性和模式都可以在DDR4提供的7个模式寄存器中编程，这些寄存器作为用户定义的变量，必须通过模式寄存器集(MRS)命令来编程。模式寄存器根据功能以及模式划分为不同的字段。由于并非所有模式寄存器(MR)都定义了默认值。在上电或复位后，模式寄存器的内容必须被初始化或重新初始化。模式寄存器的内容可以通过在正常操作期间重新执行MRS命令来改变。当对模式寄存器进行编程时，即使用户只选择修改MRS字段的一个子集，当发出MRS命令时，访问模式寄存器内的所有地址字段都必须重新定义。MRS命令和DLL重置不影响数组内容，即开机后可以随时执行这些命令，而不会影响数组内容。

一些模式寄存器设置影响地址、命令以及控制输入功能。这些情况下，下一个MRS命令可以允许由当前MRS命令完成功能更新。

在正常工作时，只要DRAM处于空闲状态，即所有的bank在满足tRP的情况下处于预充电状态，所有的数据突发完成，并且在写入模式寄存器之前CKE为高电平，就可以使用相同的命令和定时要求改变模式寄存器的内容。对于MRS命令，如果RTT\_Nom功能打算更改(启用或禁用)或已经在DRAM MR中启用，ODT信号必须注册为低电平以确保RTT\_Nom在MRS命令影响RTT\_Nom开关时间之前处于关闭状态。对于这种类型的MRS，ODT信号可能在tMOD过期后被注册为高电平。如果在MRS命令之前和之后的模式寄存器中禁用DRAM RTT\_Nom功能，ODT信号在MRS命令期间会被忽略。

### 3 DDR4命令描述和操作

#### 3.1 突发长度，类型和顺序

在给定突发内的访问可以被编程成顺序或交错顺序。通过MR0的A3位选择突发类型。突发访问的顺序由突发长度、突发类型和开始列地址决定。突发长度由模式寄存器MR0的A0-A1位定义。突发长度选项包括固定BC4、固定BL8。

DDR4在固定BL8中启用写CRC时，支持固定的写突发顺序。

#### 3.2 DLL关闭模式以DLL开关过程

将DDR4中 MR1位A0设为0，进入DLL关闭模式；这将禁用DLL进行后续操作，直到A0位被设置为1。

##### 3.2.1 DLL关闭过程

1. 从空闲状态开始；
2. 将MR1位A0设置为0以禁用DLL；
3. 等待tMOD；
4. 进入自动刷新模式；等待tCKSRE满足；
5. 改变时钟频率；
6. 直到在DRAM输入端至少有一个稳定时钟(tCKSRX)可用；
7. 从自动刷新退出命令开始，CKE必须持续注册为高电平，直到满足任何MRS命令的所有tMOD计时。如果在进入自动刷新模式时在模式寄存器中启用了任何ODT特性，那么ODT信号必须连续地注册为低电平，直到满足来自任何MRS命令的所有tMOD时序；
8. 等待tXS\_Fast或tXS\_Abort或tXS，然后用适当的值设置模式寄存器；
9. 等待tMOD，然后DRAM准备好接受下一个命令；

##### 3.3.2 开启DLL

1. 从空闲状态开始；
2. 进入自我刷新模式，等待满足tCKSRE；
3. 改变输入时钟频率；
4. 直到在DRAM输入端至少有一个稳定时钟(tCKSRX)可用；
5. 从自动刷新退出命令开始，CKE必须不断地注册到高电平，直到满足后续DLL复位命令的tDLLK计时。如果在进入自懂刷新模式时在模式寄存器中启用了任何ODT特性，ODT信号必须持续注册为低电平，直到满足后续DLL复位命令的tDLLK计时；
6. 根据MR4中位A9等待tXS或tXS\_ABORT，然后将MR1位A0设置为1以启用DLL；
7. 等待tMRD，然后将MR0位A8设置为1以启动DLL复位。等待tMRD，然后用适当的值设置模式寄存器；
8. 等待tMOD，然后DRAM为下一个命令做好准备；如果ZQCL命令被发出，还需要等待tZQoper；

#### 3.3 DLL关闭模式

将DDR4 SDRAM的MR1位A0设为低电平，进入DDR4 SDRAM的dll关闭模式；这将禁用DLL进行后续操作，直到A0位设置为高电平。DLL控制的MR1 A0位可以在初始化期间或之后切换。

由于时延计数器和时间限制，MR0只支持一个CAS 延时(CL)值，MR2只支持一个CAS写延迟(CWL)值 。只有在同时支持CL=10和CWL=9时，才需要使用DLL关闭模式。当启用DLL关闭模式时，不允许使用 CA奇偶校验模式。

DLL关闭模式会影响读数据时钟到数据频闪关系(tDQSCK)，但不会影响数据频闪到数据关系 (tDQSQ, tQH)。需要特别注意的是将读取的数据排列到控制器的时域。

与DLL打开模式(读取命令后从上升时钟沿(AL+CL)周期开始计时相比，DLL关闭模式在读取命令后从上升时钟沿(AL+CL - 1)周期开始计时。另一个区别是tDQSCK与tCK相比可能并不小(它甚至可能大于tCK)，并且tDQSCKmin和tDQSCKmax之间的差异明显大于DLL-on模式。tDQSCK(DLL\_off)值是供应商特定的。

#### 3.4 输入时钟改变

一旦DDR4初始化， SDRAM要求时钟在几乎所有正常操作状态下都保持稳定。这意味着，一旦时钟频率被设置并处于稳定状态，时钟周期不允许偏离，除了时钟抖动和SSC(扩频时钟)规范所允许的。

输入时钟频率可以在以下两种情况下从一个稳定的时钟频率切换到另一个稳定的时钟频率：(1)自刷新模式和(2)预充电模式。在这两种模式之外，更改时钟频率是非法的。对于第一种情况，一旦DDR4已经成功地置于自刷新模式并且tCKSRE已经满足，时钟的状态就被忽略。一旦你不在乎，改变时钟频率是允许的，只要新的时钟频率在tCKSRX之前是稳定的。当为了改变时钟频率而进入和退出自刷新模式时，自刷新进入和退出规范仍然必须满足自刷新操作中的要求。但是，由于DDR4 DLL锁定时间范围从1333MT/s时的597nCK到3200MT/s时的1024nCK，因此需要为新的时钟频率发出额外的MRS命令。如果启用了DLL，则tDLLK必须按照AC参数表中定义的值进行编程，并且当输入时钟频率与自刷新前后不同时，DLL必须通过显式MRS命令进行复位。DDR4 SDRAM输入时钟频率只允许在特定速度等级指定的最小和最大工作频率范围内改变。

第二种情况是DDR4 SDRAM处于预充电下电模式。如果RTT\_NOM特性在进入预充电断电模式之前在模式寄存器中启用，ODT信号必须在此序列中连续注册为LOW，直到DLL重新锁定完成。

如果RTT\_NOM特性在进入预充电断电模式之前在模式寄存器中被禁用，ODT信号被允许 是浮动的，并且DRAM不提供RTT\_NOM终止。在CKE转到LOW之后，必须出现tCKSRE的最小值，才能改变时钟频率。

DDR4 SDRAM输入时钟频率只允许在特定速度等级规定的最小和最大工作频率范围内改变。在输入时钟频率变化期间，CKE必须保持在稳定的LOW电平。一旦改变输入时钟频率，必须为tCKSRX提供稳定的新时钟，才能退出预充电下电模式；在预充电下电退出并且tXP已过期后，必须发出tDLLK MRS命令，然后执行DLL复位。根据新的时钟频率，可能需要发出额外的MRS命令来适当地设置WR/RTP、CL和CWL，使CKE持续为高电平。在DLL重新锁定期间，CKE必须保持高。在DLL锁定时钟之后，DRAM准备以新的时钟频率运行。

#### 3.5 写入均衡

为了更好的信号完整性，DDR4内存模块对命令、地址、控制信号和时钟采用fly-by拓扑。fly-by拓扑的好处是减少了短接线的数量和长度，但也会导致时钟和DIMM上每个DRAM的频闪之间的飞行时间偏差。这使得控制器很难维护tDQSS、tDSS和tDSH规范。因此，DDR4支持写均衡功能，允许控制器补偿时钟偏斜斜。在某些系统条件下，如果主机能够维护tDQSS、tDSS和tDSH规格，则可能不需要此特性。

内存控制器可以使用写均衡功能和DDR4 SDRAM的反馈来调整DQS\_t - DQS\_c到CK\_t - CK\_c的关系。参与调平的内存控制器必须在DQS\_t - DQS\_c上具有可调延迟设置，以将DQS\_t - DQS\_c的上升沿与DRAM引脚上的时钟的上升沿对齐。DRAM通过DQ总线异步反馈CK\_t - CK\_c，以DQS\_t - DQS\_c的上升沿采样。控制器反复延迟DQS\_t - DQS\_c，直到检测到从0到1的转换。通过此练习建立的DQS\_t - DQS\_c延迟将确保tDQSS规范。除tDQSS外，还需要满足tDSS和tDSH规范。实现这一目标的一种方法是将应用程序中的实际tDQSS与DQS\_t - DQS\_c信号上的适当占空比和抖动结合起来。

DQS\_t—在调平模式期间由控制器驱动的DQS\_c必须由DRAM根据填充的等级终止。同样，由DRAM驱动的DQ总线也必须在控制器处终止。所有数据位都应该在DRAM配置X4、X8和X16中向控制器传递电平反馈。在X16设备上，两个字节通道应该独立地调平。因此，应该为每个字节通道提供单独的反馈机制。较高的数据位应该提供较高的差分DQS到时钟关系的反馈，而较低的数据位将指示较低的差分DQS到时钟关系。

内存控制器通过将MR1的A7位设置为1来启动所有dram的调平模式。进入写调平模式时，DQ引脚处于未定义驱动模式。在写均衡模式下，只允许使用DESELECT命令，也允许使用MRS命令改变Qoff位(MR1[A12])和MRS命令退出写均衡(MR1[A7])。退出写均衡模式后，执行退出(MR1[A7]=0)的MRS命令也可能改变A12-A8、A2-A1的MR1位。由于控制器一次电平一个等级，因此必须通过将MR1位A12设置为1来禁用其他等级的输出。控制器可以在tMOD之后断言ODT，在，此时DRAM准备好接受ODT信号。

控制器可以在延迟tWLDQSEN后驱动DQS\_t低电平和DQS\_c高电平，此时DRAM对这些信号施加片上终止。在tDQSL和tWLMRD之后，控制器提供单个DQS\_t, DQS\_c边缘，该边缘被DRAM用来采样控制器驱动的CK\_t - CK\_c。tWLMRD(max)定时与控制器相关。

DRAM以DQS\_t - DQS\_c的上升沿采样CK\_t - CK\_c状态，并在tWLO定时后异步反馈所有DQ位。DQ输出的不确定性定义为tWLOE，以允许DQ位不匹配。tWLOE周期定义为从最早的DQ位过渡到对应的最晚的DQ位过渡。这些dq不需要读频闪(DQS\_t/DQS\_c)。控制器对传入的dq进行采样，并决定增加或减少DQS\_t - DQS\_c延迟设置，并在一段时间后启动下一个DQS\_t/DQS\_c脉冲，这取决于控制器。一旦检测到0到1的转换，控制器锁定DQS\_t - DQS\_c延迟设置，并为设备实现写均衡。

#### 3.6 温控刷新模式

一旦在MR4中设置位A3为1和A2为0使能该模式，则应向DDR4发出刷新命令，刷新周期等于或小于常温范围(0℃~ 85℃)的tREFI。在此模式下，系统保证DRAM温度不超过85℃。在45℃以下，DDR4可以通过跳过外部刷新命令和适当的齿轮比来调整内部刷新周期，使其长于正常温度范围的tREFI。内部刷新周期调整是在DRAM内部自动完成的，用户不需要提供任何额外的控制。

一旦在MR4中设置位A3为1和A2为1使能该模式，则应向DDR4发出刷新命令，刷新周期等于或小于扩展温度范围(85°C - 95°C)的tREFI。在正常温度范围内(0℃~ 85℃)，DDR4通过跳过合适的外部刷新命令，将内部刷新周期调整为正常温度范围内的tREFI。在45℃以下，DDR4 SDRAM可能会进一步调整内部刷新周期，使其长于正常温度范围内的tREFI。内部刷新周期调整是在DRAM内部自动完成的，用户不需要提供任何额外的控制。

#### 3.7 细粒度刷新模式

DDR4的刷新周期时间(tRFC)和平均刷新间隔(tREFI)可以通过MRS命令进行编程。模式寄存器中的适当设置将为DDR4SDRAM设备(固定模式)设置一组刷新周期时间和平均刷新间隔，或者允许为DDR4设备(动态模式)动态选择两组刷新周期时间和平均刷新间隔中的一组。在发出任何动态刷新命令之前，动态模式必须由MRS启用。

默认的刷新率模式是固定的1x模式，其中刷新命令应以正常速率发出，即tREFI1为基础tREFI，每个刷新命令的持续时间为正常刷新周期时间(tRFC1)。在2x模式(固定2x或动态2x模式)下，刷新命令应该以正常刷新率的两倍频率向DRAM发出。在4x模式下，刷新命令速率应该是原来的四倍。对于不同的模式和命令类型，tRFC参数有不同的值。

应该以正常的刷新率发出并具有正常刷新周期持续时间的刷新命令可以作为REF1x命令引用到。应该以双倍频率发出的刷新命令可以称为REF2x命令。最后，应该以四倍速率发出的刷新命令可以称为REF4x命令。

在固定1x刷新率模式下，只允许使用REF1x命令。固定2x刷新率模式下，只允许使用REF2x命令。在固定4x刷新率模式下，只允许使用REF4x命令。当开启实时1x/2x刷新率模式时，REF1x和REF2x命令都可以使用。当启用实时1x/4x刷新率模式时，REF1x和REF4x命令都可以使用。

如果刷新率由MRS或动态改变，新的tREFI和tRFC参数将从刷新率 改变的那一刻起应用。当向DRAM发出REF1x命令时，则从发出命令时开始应用tREF1和tRFC1。然后，当发出REF2x命令时，则应满足tREF2和tRFC2。

DDR4可以在任何时间以1x、2x和4x模式进入自动刷新模式，不受刷新命令的数量限制。但是，在退出自动刷新后，可能需要额外的刷新命令，这取决于自动刷新条目的条件。

#### 3.8 数据掩码和数据总线翻转

DDR4 SDRAM支持x8和x16配置的DM和DBI功能。x4 DDR4 SDRAM不支持DM和DBI功能。x8 DDR4 SDRAM支持TDQS功能。x4和x16 DDR4 SDRAM不支持 TDQS功能。

DM, DBI和TDQS功能支持专用的一个引脚标记为DM\_n/DBI\_n/TDQS\_t。引脚为双向引脚，用于 DRAM。

DM, DBI和TDQS功能可通过DRAM模式寄存器(MR)进行编程。MR1中的A11位和MR5中的 A12到A10位。

DM和DBI可以同时开启，但不能同时开启。当DM和 DBI功能都被禁用时，DRAM关闭其输入接收器，并且不期望任何有效的逻辑电平。仅适用DBI函数。当DBI功能被禁用时，DRAM关闭其输出驱动程序，不驱动任何有效逻辑电平。

启用TDQS功能后，不支持DM和DBI功能。禁用TDQS功能时，支持DM和 DBI功能。使能后， TDQS\_t/TDQS\_c引脚的端接电阻功能与DQS\_t/DQS\_c引脚的端接电阻功能相同。

#### 3.9 ZQ校准命令

ZQ校准命令用于校准DRAM Ron和ODT值。DDR4 SDRAM在初始化时需要更长的时间来校准输出驱动器和端接电阻电路，而执行周期性校准的时间相对较小。

ZQCL命令用于上电初始化顺序时的初始校准。这个命令可以在任何时候由控制器根据系统环境在发出。ZQCL命令触发DRAM内部的校准引擎，一旦校准完成，校准值从校准引擎转移到DRAM IO，这反映为更新的输出驱动程序和端接电阻。

复位后发出的第一个ZQCL命令允许tZQinit的定时周期来执行完整的校准和 值的转移。除了在RESET之后发出的第一个ZQCL命令外，所有其他ZQCL命令都允许一个tZQoper的定时周期。

QCS命令用于执行周期性校准，以考虑电压和温度的变化。提供了一个更短的定时窗口来执行校准和传输由定时参数tZQCS定义的值。一个ZQCS命令可以有效地纠正所有速度箱在128 nCK内RON和RTT阻抗误差的至少0.5% (ZQ校正)。ZQCS命令之间的适当间隔可以从这些表和其他特定于应用程序的参数中确定。在给定SDRAM在应用中所受的温度和电压漂移率的情况下，给出了计算ZQCS命令之间间隔的一种方法。

#### 3.10 DQ参考电压

DRAM内部DQ Vref规范参数有工作电压范围、步长、Vref步长时间、Vref全步长时间和 Vref有效电平。

Vref步长定义为相邻步长之间的步长。Vref步长范围从0.5% VDDQ到0.8% VDDQ。然而，对于给定的设计，DRAM有一个在范围内的Vref步长值。Vref设置公差是指Vref电压与理想设置的差异。这解释了多个步骤的累积误差。Vref集容差不确定度有两个范围。Vref集容差不确定度的范围是步数n的函数。

Vref\_time-short和vref\_time - long定义了vref\_increment /递减步长时间。Vref\_time-short和vref\_time - long从t0到t1定义，其中t1指的是当vref电压处于vref有效容差内的最终直流电平时。Vref\_val公差定义了Vref\_val有效级别，以限定步长t1。此参数用于确保在任何Vref增/减调整后电压电平变化的适当RC时间常数行为。此参数仅适用于DRAM组件级验证/表征。

#### 3.11 每个DRAM的可寻址性

DDR4允许给定设备在秩上的可编程性。例如，该特性可用于在给定等级的DRAM设备上编程不同的ODT或Vref值。

1. 在进入每个DRAM可寻址性(PDA)模式之前，需要进行写均衡；
2. 在进入每个DRAM可寻址性(PDA)模式之前，需要对RTT\_PARK MR5 {A8:A6}和RTT\_NOM MR1 {A10:A9:A8}等模式寄存器进行设置；
3. 启用每个DRAM可寻址(PDA)模式，使用MR3位A4设置为1；
4. 在每个DRAM可寻址模式下，所有MRS命令都用DQ0限定。DRAM通过使用DQS\_c和DQS\_t信号捕获DQ0。如果DQ0上的值为0，则DRAM执行MRS命令。如果DQ0的值为1，则DRAM忽略MRS命令。控制器可以选择驱动所有DQ位；
5. 使用MRS命令和DQ0编程所需的设备和模式寄存器；
6. 在每个DRAM可寻址模式下，只允许MRS命令；
7. 模式寄存器设置PDA模式下的命令周期时间，需要完成对模式寄存器的写操作，并且是所示的两个MRS命令之间所需的最小时间；
8. 通过设置MR3位A4设置为0，将DRAM从每个DRAM可寻址模式中移除；

#### 3.12 CAL模式

DDR4支持命令地址延迟(CAL)，这是一种节能特性。CAL是由MR4[A8:A6]定义的CS\_n和CMD/ADDR之间的时钟周期延迟。在发出命令之前，CAL给DRAM时间来启用CMD/ADDR接收器。一旦命令和地址被锁定，接收器就可以被禁用。对于连续的命令，DRAM将在命令序列的持续时间内使能接收器。

#### 3.13 CRC校验

控制器生成CRC校验和。对于x8 DRAM，如果启用CRC，则控制器必须在传输9中发送1，如果启用DBI功能，则必须在DBI\_n通道的传输8和传输9中发送1。对于x16 DRAM，如果启用CRC，则控制器必须在传输9中发送1，如果启用DBI功能，则必须在DBIL\_n和DBIU\_n通道的传输8和传输9中发送1。DRAM通过比较接收到的校验和与计算出的校验和来检查接收到的码字D[71:0]中的错误，如果存在不匹配，则使用ALERT\_n信号报告错误。x8设备有一个有72个输入位的CRC树。如果DBI被启用，上面的8位用于DBI输入。

#### 3.14 命令地址奇偶校验

MR5中A2到A0被定义为启用或禁用DRAM中的命令地址奇偶校验。默认情况下，奇偶校验位为关闭状态。如果C奇偶性通过在模式寄存器中编程为C/A奇偶延迟设置一个非零值来启用，则DRAM必须确保在执行命令之前没有奇偶错误。当奇偶校验启用(奇偶延迟)时，执行命令的额外延迟与奇偶校验禁用模式相比是在模式寄存器中编程的，并应用于所有命令。当启用C/A奇偶校验时，有效命令之间只允许DES， 以防止DRAM出现任何故障。

C/A奇偶校验信号(PAR)包括ACT\_n, RAS\_n, CAS\_n, WE\_n和地址总线，包括bank地址和bank组位，不包括控制信号CKE、ODT和CS\_n。

奇偶性的约定是偶数奇偶性，即有效奇偶性被定义为用于奇偶性 计算与奇偶性信号相结合的输入的偶数。换句话说，选择奇偶校验位是为了使传输的 信号中1的总数(包括奇偶校验位)为偶数。

SDRAM支持持久奇偶校验错误模式的MR位。通过设置MR5中A9为高电平使能该模式，当设置为使能时，即使将奇偶校验错误位设置为高电平。当去断言后，DRAM也会恢复CA奇偶校验。如果在清除错误状态位之前发生多个错误，则MPR页面1中的错误日志应被视为“不关心”。在持久奇偶校验错误模式下，Alert\_n脉冲将由DRAM根据最小值和最大值进行断言和去断言。

#### 3.15 刷新命令

刷新命令REF是DDR4正常运行时使用的命令。该命令是非持久化的，因此每次需要刷新时都必须发出。DDR4刷新周期平均为tREFI。当时钟上升沿CS\_n、RAS\_n/A16和CAS\_n/A15保持低电平，而WE\_n/A14和ACT\_n保持高电平时，芯片进入一个刷新周期。在刷新命令可以应用之前，所有SDRAM的bank必须预充并空闲至少预充时间tRP(min)。刷新寻址由内部刷新控制器生成。一个内部地址计数器在刷新周期中提供地址。一旦这个周期开始，就不需要外部地址总线的控制。当刷新周期完成后，SDRAM的所有组将处于预充(空闲)状态。刷新命令与下一个有效命令之间的延迟(DES除外)必须大于或等于最小刷新周期时间tRFC(min)。

通常，需要在每个tREFI间隔定期向DDR4 SDRAM发出Refresh命令。为了提高在调度和任务之间切换的效率，在绝对刷新间隔中为延迟和拉入刷新命令提供了一定的灵活性。DDR4 SDRAM在1X刷新模式下最多可以延迟8条刷新命令，在2X/4X刷新模式下，DDR4 SDRAM在运行过程中最多可以分别延迟16/32条刷新命令，即在时间点上，1X、2X、4X刷新模式下最多可以分别延迟8、16、32条刷新命令。如果连续延迟8个Refresh命令，则周围Refresh命令之间的最大间隔被限制为9 × tREFI(参见图134)。在2X和4X刷新模式下，它被限制为17 x tREFI2和33 x tREFI4。在1X刷新模式下，最多可以提前发出8个额外的刷新命令(“拉入”)，对于2X/4X刷新模式，可以分别拉入16/32个刷新命令，每一个刷新命令都可以减少以后需要的常规刷新命令的数量。请注意，根据刷新模式，提前导入超过8/16/32的刷新命令不会进一步减少以后所需的常规刷新命令的数量，因此两个周围刷新命令之间的最大间隔分别被限制为9 × tREFI, 17 × tRFEI2和33 × tREFI4。

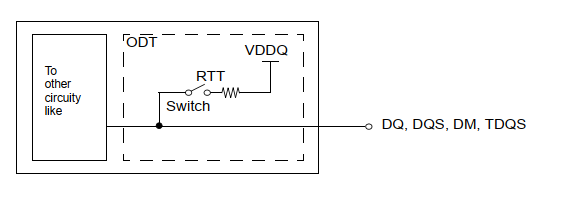
#### 3.16 自动刷新命令

使用自动刷新命令可以在系统其他部分断电的情况下，保留DDR4中的数据。当DDR4处于自刷新模式时，DDR4保留数据，不需要外部时钟。DDR4设备有一个内置定时器以适应自刷新操作。自刷新表(SRE)命令定义为在时钟上升沿将CS\_n、RAS\_n/A16、CAS\_n/ A15和CKE保持低电平，而将WE\_n/A14和ACT\_n保持高电平。

在发出进入自动刷新命令之前，DDR4 SDRAM必须处于空闲状态，且所有bank precharge状态都满足tRP。空闲状态定义为所有银行都关闭(满足tRP, tDAL等)，没有正在进行的数据突发，CKE高，并且满足先前操作的所有定时(tMRD, tMOD,tRFC, tZQinit, tZQoper, tZQCS等)。在发出自我刷新项命令之前，必须在最后一个正时钟边缘上注册取消选择命令。一旦注册了自我刷新项命令，取消选择命令也必须在下一个正时钟边缘注册。一旦注册了自刷新入口命令，CKE必须保持低以保持设备处于自刷新模式。自动禁用ODT终止并将high - z设置为终止状态，无论ODT引脚和RTT\_PARK设置如何，当它进入自刷新模式时。在退出Self-Refresh后，DRAM自动启用ODT终止，并在启用RTT\_PARK时在tXSDLL期间异步设置RTT\_PARK。正常情况下，(DLL on)在进入“自我刷新”时会自动禁用DLL，在退出“自我刷新”时会自动启用DLL(包括重启DLL)。

### 4 片上端接电阻

ODT是DDR4 SDRAM的一个特性，允许DRAM改变每个DQ的端接电阻，DQS\_t, DQS\_c和DM\_n对于x4和x8配置。通过ODT控制引脚或写命令或默认停车值与MR设置。对于x16配置，ODT应用于每个DQU、DQL、DQSU\_t、DQSU\_c、DQSL\_t、DQSL\_c、DMU\_n和DML\_n信号。ODT功能旨在通过允许DRAM控制器独立改变任何或所有DRAM器件的端接电阻来改善存储器通道的信号完整性。



#### 4.1 ODT模式寄存器

DDR4的ODT模式有4种状态：关闭、RTT\_WR、RTT\_NOM和RTT\_PARK。如果MR1{A10,A9,A8}或MR2 {A10:A9}或MR5 {A8:A6}中的任何一个不为零，则ODT模式开启。在这种情况下，RTT的值由这些位的设置决定。进入自刷新模式后，DRAM自动禁用ODT终止并将Hi-Z设置为终止状态，无论这些设置如何。

进入自刷新模式后，DRAM自动禁用ODT终止并将Hi-Z设置为终止状态。

* RTT\_WR：无论ODT引脚状态如何，为提供终止而写入的rank；
* RTT\_NOM：如果DRAM看到ODT断言，则打开RTT\_NO；
* RTT\_PARK：通过MR5设置的默认停放值使能，ODT引脚驱动为LOW；
* 禁用：当DRAM驱动数据收到READ命令时，禁用RL-X后的终止，并保持关闭；

#### 4.2 同步ODT模式

当打开并锁定DLL时，选择同步ODT模式。根据下列定义，这些模式：任何bank与CKE、CKE高电平的刷新、CKE为高电平的空闲模式、有功下电模式和预充电下电模式。

#### 4.3 动态ODT

在某些应用情况下，为了进一步增强数据总线上的信号完整性，希望可以在不发出MRS命令的情况下改变 DDR4的终止强度。

如果MR2的A[9]或A[10]位设置为高电平，则使能动态ODT模式。

#### 4.4 ODT异步模式

当MR1位A0为低电平禁用DLL时，选择异步ODT模式。在异步ODT计时模式下，内部ODT命令不会因添加延迟(AL)或相对于外部ODT信号(RTT\_NOM)而延迟。

最小RTT\_NOM导通时间(tAONAS)是指器件终端电路离开RTT\_PARK, ODT电阻开始发生变化的时间点。最大RTT\_NOM开通时间(tAONASmax)是ODT电阻达到RTT\_NOM的时间点。

tAONASmin和tAONASmax由被采样ODT测得。最小RTT\_NOM关断时间(tAOFASmin)是设备终端电路开始离开RTT\_NOM的时间点。最大RTT\_NOM关断时间(tAOFASmax)是片上终止达到RTT\_PARK的时间点。tAOFASmin和tAOFASmax是通过ODT低采样得到的。