

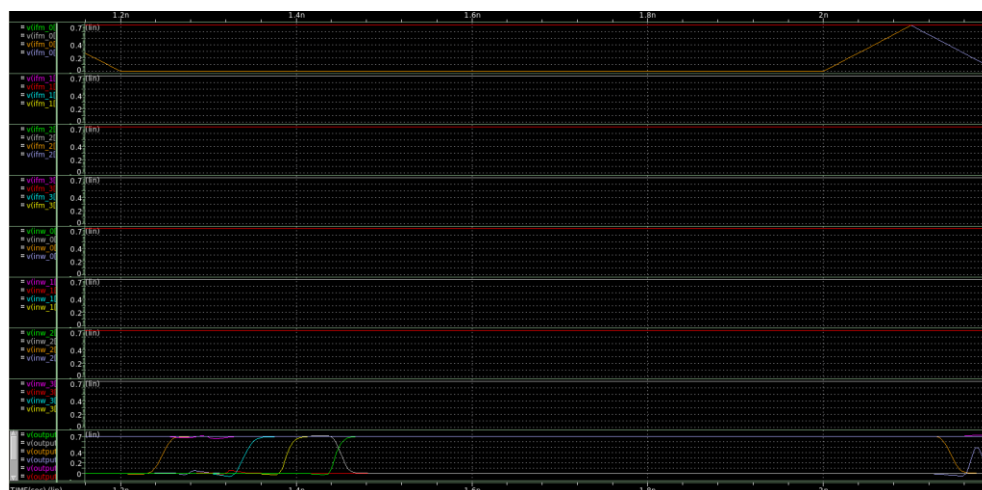
311651052 吳挺宇 電物所 碩二

#### Ex4-1

1. 先使用 verilog 轉 spice 的方式合成出 convolution 電路。
2. Timing report:

|  |        |         |   |
|--|--------|---------|---|
| add_0_root_add_0_root_add_19_3/0[0] (Convolution_DW01_add_0)   | 0.00   | 356.55  | f |
| add_0_root_add_0_root_add_19_3/U1_6/CON (FAx1_ASAP7_75t_R)     | 22.90  | 379.45  | r |
| add_0_root_add_0_root_add_19_3/U4/Y (INVx1_ASAP7_75t_R)        | 15.27  | 394.72  | f |
| add_0_root_add_0_root_add_19_3/U1_7/CON (FAx1_ASAP7_75t_R)     | 20.30  | 415.02  | r |
| add_0_root_add_0_root_add_19_3/U3/Y (INVx1_ASAP7_75t_R)        | 15.27  | 430.29  | f |
| add_0_root_add_0_root_add_19_3/U1_8/SN (FAx1_ASAP7_75t_R)      | 37.50  | 467.79  | f |
| add_0_root_add_0_root_add_19_3/U11/Y (INVx1_ASAP7_75t_R)       | 8.03   | 475.82  | r |
| add_0_root_add_0_root_add_19_3/SUM[8] (Convolution_DW01_add_0) | 0.00   | 475.82  | r |
| Output[8] (out)  | 0.00   | 475.82  | r |
| data arrival time  |        | 475.82  |   |
| max_delay  | 500.00 | 500.00  |   |
| output external delay  | 0.00   | 500.00  |   |
| data required time   |        | 500.00  |   |
| -----  |        |         |   |
| data required time   |        | 500.00  |   |
| data arrival time  |        | -475.82 |   |
| -----  |        |         |   |
| slack (MET)  |        | 24.18   |   |

輸入電壓後檢查邏輯後發現是正確的。



由 timing Report 得知 worst case delay

```
Operating Conditions: PVT_0P7V_25C   Library: asap7sc7p5t_INVBUF_RVT_TT_08302018
Wire Load Model Mode: top
```

```
Startpoint: INW_3[2] (input port)
Endpoint: Output[8] (output port)
Path Group: (none)
Path Type: max
```

用下圖程式碼測量 delay power

```
*****
**                               **
**                               **
*****
.measure TRAN Tr TRIG V(IFM_3[2]) VAL=0.35 RISE=1 TARG V(Output[8]) VAL=0.35 RISE=6
.measure TRAN Tf TRIG V(IFM_3[2]) VAL=0.35 FALL=1 TARG V(Output[8]) VAL=0.35 FALL=2
.measure tpd param='(Tr+Tf)/2'
.meas TRAN Power AVG POWER
```

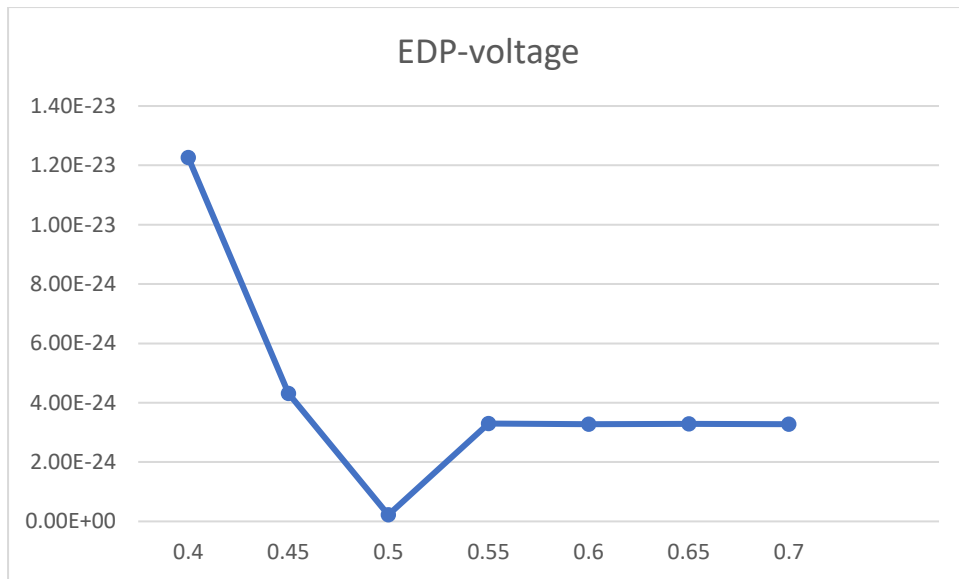
```
> Users > user > DOUME~1 > MobaXterm > slash > RemoteFiles > 4393958_2_28 > 2x2_conv.mt0
1  $DATA1 SOURCE='HSPICE' VERSION='Q-2020.03-SP2-2 linux64' PARAM_COUNT=1
2  .TITLE '.title ex_2_1'
3  vdd      tr      tf      tpd
4          power    temper    alter#
5      0.4000      1.410e-09    -9.538e-10    2.279e-10
6          2.361e-04      25.0000      1
7      0.4500      1.284e-09    -9.811e-10    1.514e-10
8          1.883e-04      25.0000      1
9      0.5000      1.074e-09    -1.002e-09    3.604e-11
10         1.696e-04      25.0000      1
11      0.5500      1.284e-09    -1.002e-09    1.413e-10
12         1.650e-04      25.0000      1
13      0.6000      1.283e-09    -1.000e-09    1.413e-10
14         1.643e-04      25.0000      1
15      0.6500      1.282e-09    -9.997e-10    1.412e-10
16         1.647e-04      25.0000      1
17      0.7000      1.282e-09    -1.000e-09    1.408e-10
18         1.653e-04      25.0000      1
19
```

EDP-voltage figure

$$EDP = PDP \times T_d$$

$$PDP = P_{avg} \times T_d$$

由上述公式計算在不同 VDD 下的 EDP 並畫 EDP 對 VDD 關係圖。



由上圖可知在 **voltage=0.5V** 時 **EDP** 最小。

4-2:

1. 如同 4-1 先使用 verilog 轉 spice 的方式合成出 Comparator 電路。
2. 驗證他的邏輯:



在 **wire** 端和輸出端加入助教要求電容。

後再 **a0-a63** 和 **b0-b63** 中加入 **buffer**。

用下列函數測量:

```
*****
.meas tran delay trig V(ain_0) val='vcc/2' rise=1 Targ V(Output) val='vcc/2' rise=1
.meas tran rise trig V(Output) val='vcc*0.1' rise=1 Targ V(Output) val='vcc*0.9' rise=1
.meas tran fall trig V(Output) val='vcc*0.9' fall=1 Targ V(Output) val='vcc*0.1' fall=1

.meas power AVG POWER
.probe tran
```

測量 PPA 後得出的結論:

0.7V:

使用 BUFX24\_ASAP7\_75t\_R 來降低 delay:

```
$DATA1 SOURCE='HSPICE' VERSION='Q-2020.03'
$OPTION MEASFORM=2
.TITLE '*****'
delay = 4.071e-10
rise = 1.588e-11
fall = 1.067e-11
power = 6.440e-05
temper = 25.0000
alter# = 1
```

0.4V:

使用 BUFX12\_ASAP7\_75t\_R 來降低 delay:

```
Users > user > DOCUME~1 > MobaXterm > slash > Remote
1 $DATA1 SOURCE='HSPICE' VERSION='Q-2020.03'
2 $OPTION MEASFORM=2
3 .TITLE '*****'
4 delay = 8.023e-10
5 rise = 5.458e-11
6 fall = 4.579e-11
7 power = 9.241e-06
8 temper = 25.0000
9 alter# = 1
```