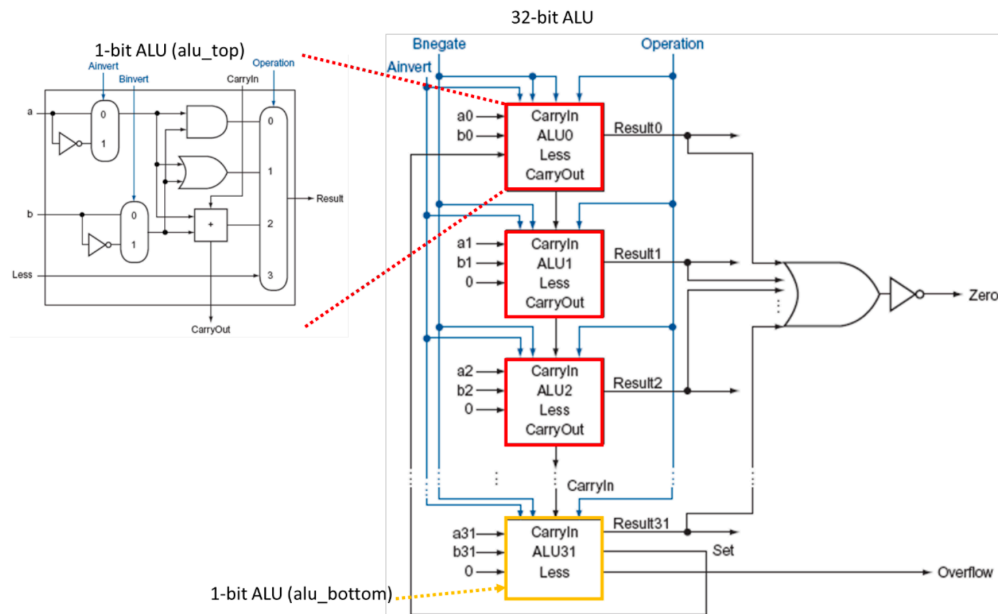


Report

Computer Organization Lab 1

Architecture Diagram



Detailed description of the implementation

運用 Divide and Conquer 將 1 個 32-bit ALU 切成 32 個 1-bit ALU，每個 1-bit ALU 再依照 operation 的值去分，包含 **AND** / **OR** / **ADD** / **SLT**，將結果傳給 **result**，並將 CarryOut 傳給下一個 1-bit ALU 做為 CarryIn。最後，再利用最高位的 CarryIn（及第二高位的 CarryOut）與最高位的 CarryOut 判斷 **overflow** 及 **cout**、利用 **result** 判斷 **zero**。

Command

```
iverilog -o basic.vvp testbench.v alu.v alu_top.v
```

Problems encountered and solutions

自從數位電路設計後，就再也沒接觸 Verilog，花了一些時間複習之前的講義才又喚醒記憶，也上網查了很多資料並查看第三章講義才了解 ALU 的 Logic，慢慢地刻出來。

Lesson learned

很不錯的一個 Lab，讓我複習了很多以前學過的東西（如：Verilog），也學到了如何設計一個基本的ALU。