

浯陽科技

MIAT_C3X25 實驗板

使用手冊

手冊版本：1.00

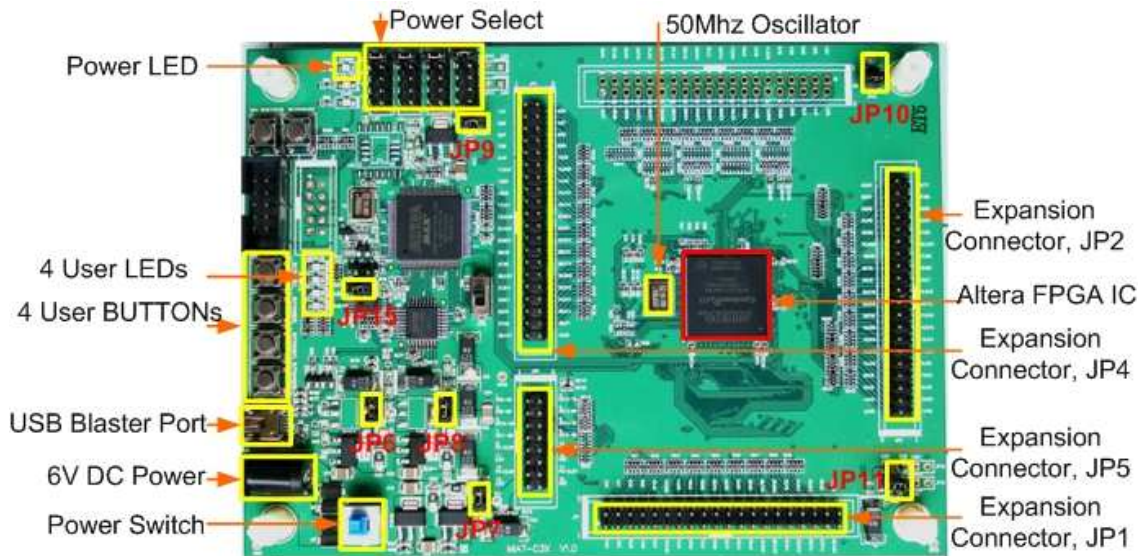
發行日期：2010 年 10 月

目 錄

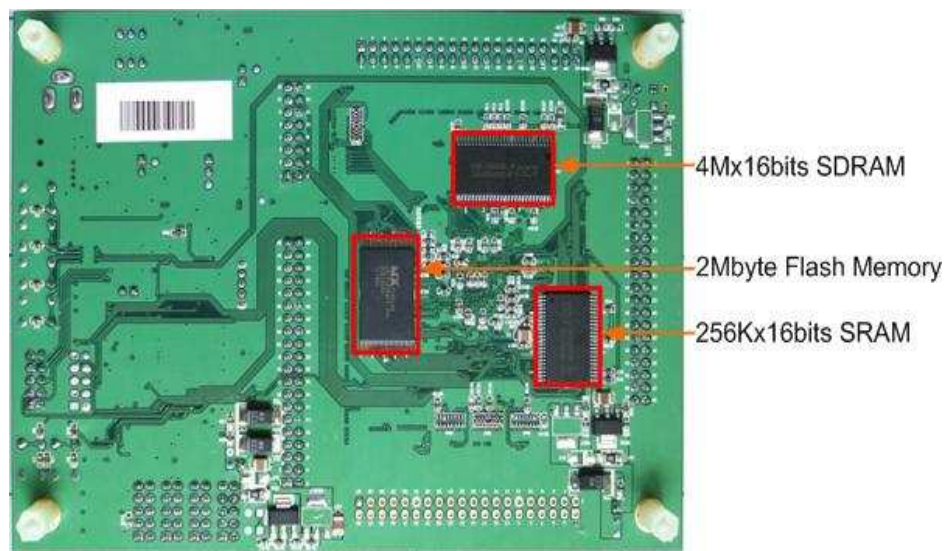
1. 實驗板簡介.....	3
2. 硬體配置與設定說明.....	4
2.1. 實驗板電源需求.....	4
2.2. I/O Banks 邏輯電壓調整	5
2.3. LED 與按鈕開關.....	7
2.4. SRAM、Flash 與 SDRAM 之接腳配置.....	8
2.5. 石英晶體振盪器.....	11
3. 實驗板之硬體與 USB 介面驅動程式安裝	11
4. I/O 範例實驗.....	13
5. 可進行的實驗課程.....	20
6. 文件訂正紀錄.....	21

1. 實驗板簡介

MIAT_C3X25 實驗板是以 Altera 公司的 EP3C25F256 為主要核心晶片，結合了電源、外部 SRAM、Flash Memory、SDRAM 與 I/O 測試元件等等，以 2.54mm 間距排針拉出所有外部擴充所需要的信號，所有 I/O 接腳邏輯電位均為可調(1.2V, 1.8V, 2.5V, 2.8V, 3.3V)，讓使用者可以很有彈性的連接實驗週邊電路，MIAT_C3X25 實驗板的照片與元件配置標示如下圖，標明了 FPGA、各種連接器、按鈕開關與 LED 等等的位置。



(a)實驗板之正面。



(b) 實驗板之反面。

圖 1.1 MIAT_C3X25 實驗板照片與元件配置標示圖。

實驗板提供之硬體資源：

- FPGA 編號 Altera Cyclone III EP3C25F256，包裝規格 FBGA 256
- 硬體特性：

- 24,624 Logic Elements
- 594(66x9) Kbits Memory
- 66 Multipliers
 - 4 PLLs
 - 20 Global Clock Networks
 - 156 I/O Pin Counts
 - Support Memory Types: DDR, DDR2, SDRAM Data Rates up to 400 Mbps
 - 50Mhz Oscillator
 - 核心晶片之 I/O 接腳以 2.54mm 間距的排針連接，可彈性擴充週邊。
 - I/O 接腳邏輯電位可調(1.2V, 1.8V, 2.5V, 2.8V, 3.3V)。
- 外部記憶體
 - 4Mx16bits SDRAM
 - 2Mbyte Flash Memory
 - 256Kx16bits SRAM
- 可由 USB 介面燒錄電路
- 4 個使用者測試 LED
- 4 個使用者測試按鈕開關
- 電源 DC6V-12V
- 尺寸：150x110mm

2. 硬體配置與設定說明

2.1. 實驗板電源需求

本實驗板需連接 6V 直流電源，當按下電源開關時，POWER LED 被點亮。

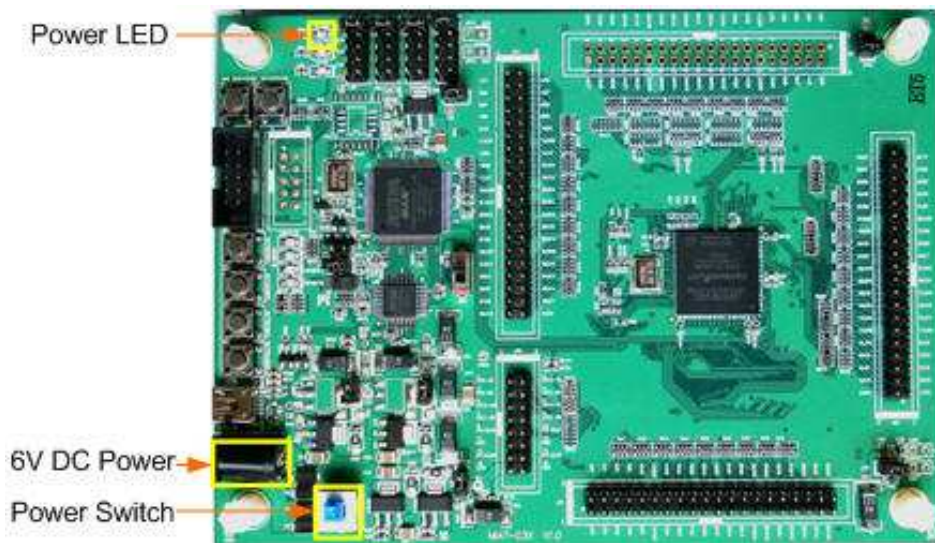


圖 2.1 電源座、電源開關與電源指示 LED 位置圖。

2.2. I/O Banks 邏輯電壓調整

本實驗板可彈性調整 I/O 的邏輯電位，可選擇 1.2V、1.5V、2.5V、2.8V 與 3.3V，擴充連接不同邏輯電位之周邊，VCCIO 設定之位置標示於圖 2.2，實驗板之 FPGA 晶片有 8 Bank 的 I/O 分成四組調整：VCCIO1,2 (Bank 1 與 Bank2 之 I/O 電源)、VCCIO3,4、VCCIO5,6、VCCIO7,8。

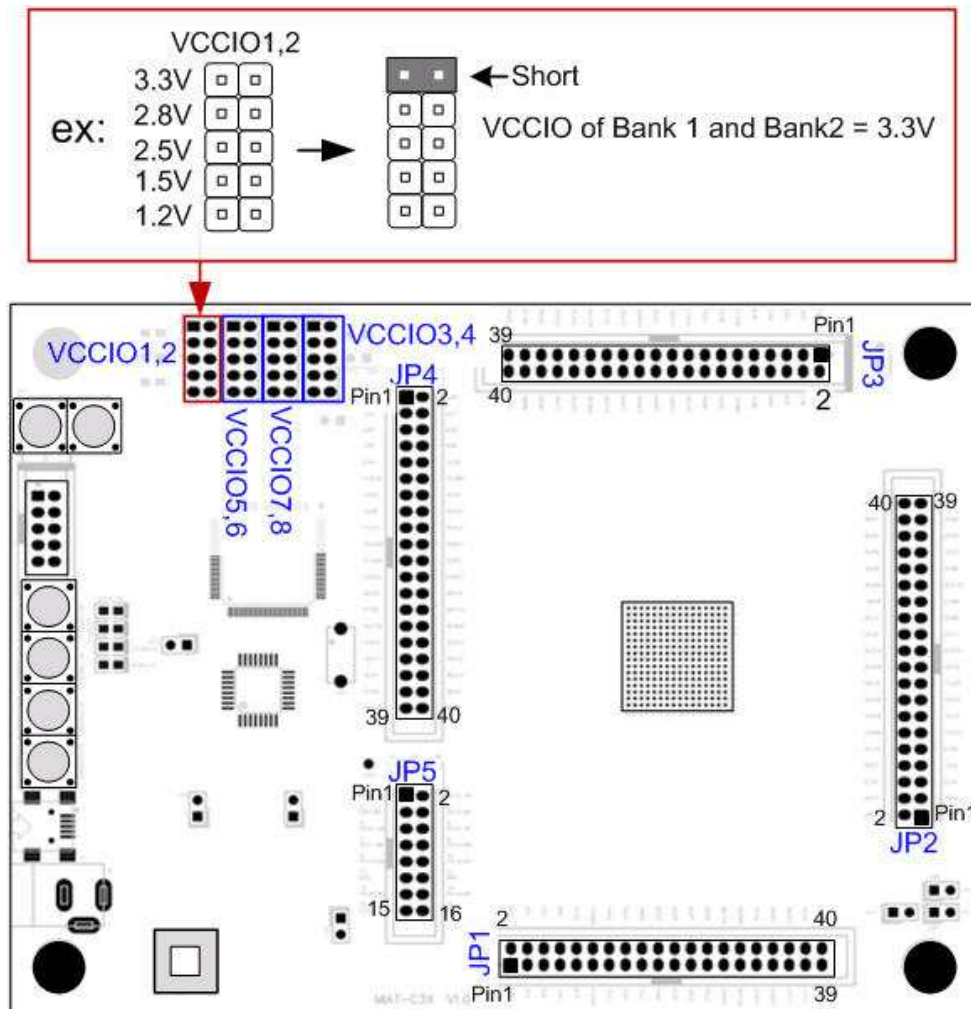


圖 2.2 VCCIO 之位置標示與設定範例。

每個 Bank 的 I/O 分配至 JP1~JP5 之 2.54 排針座，當 FPGA 核心晶片為 EP3C5/C10 使用 JP1~JP4 之 I/O，FPGA 核心晶片為 EP3C16/C25 時，由於 JP3 許多接腳轉為電源專用接腳，剩下部分可用的接腳則分配至 JP5，因此只能使用 JP1, JP2, JP4 與 JP5。

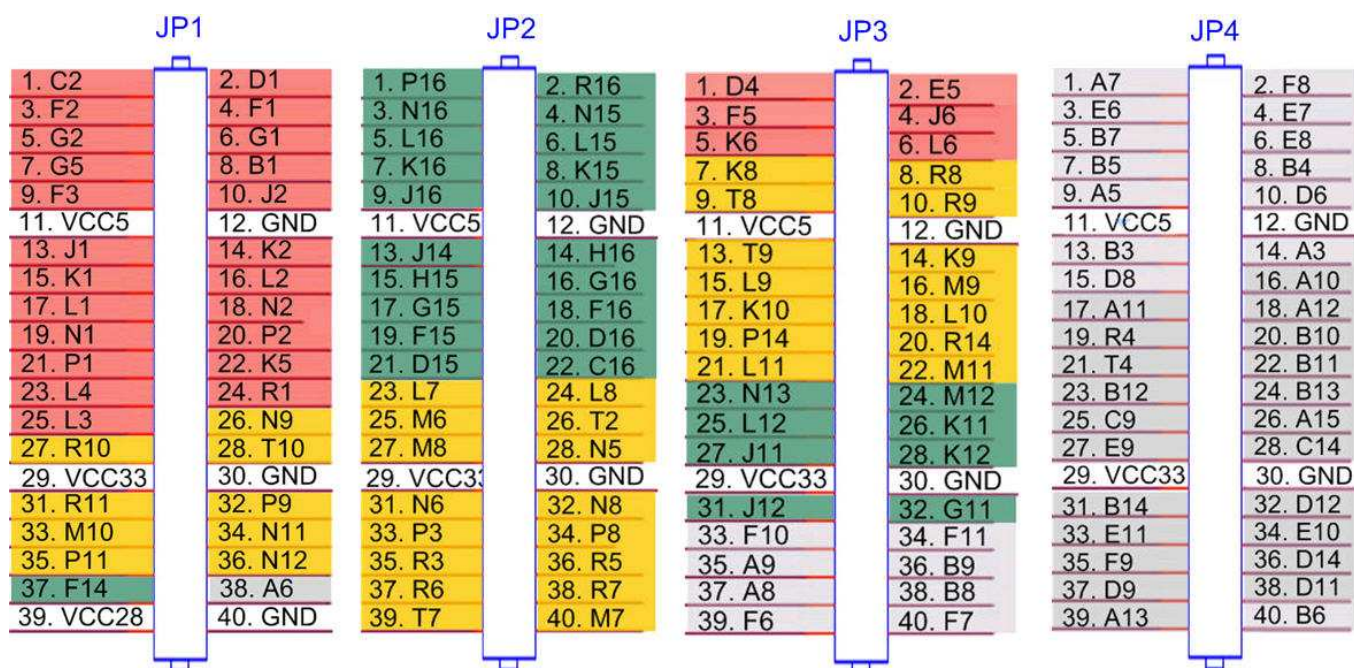
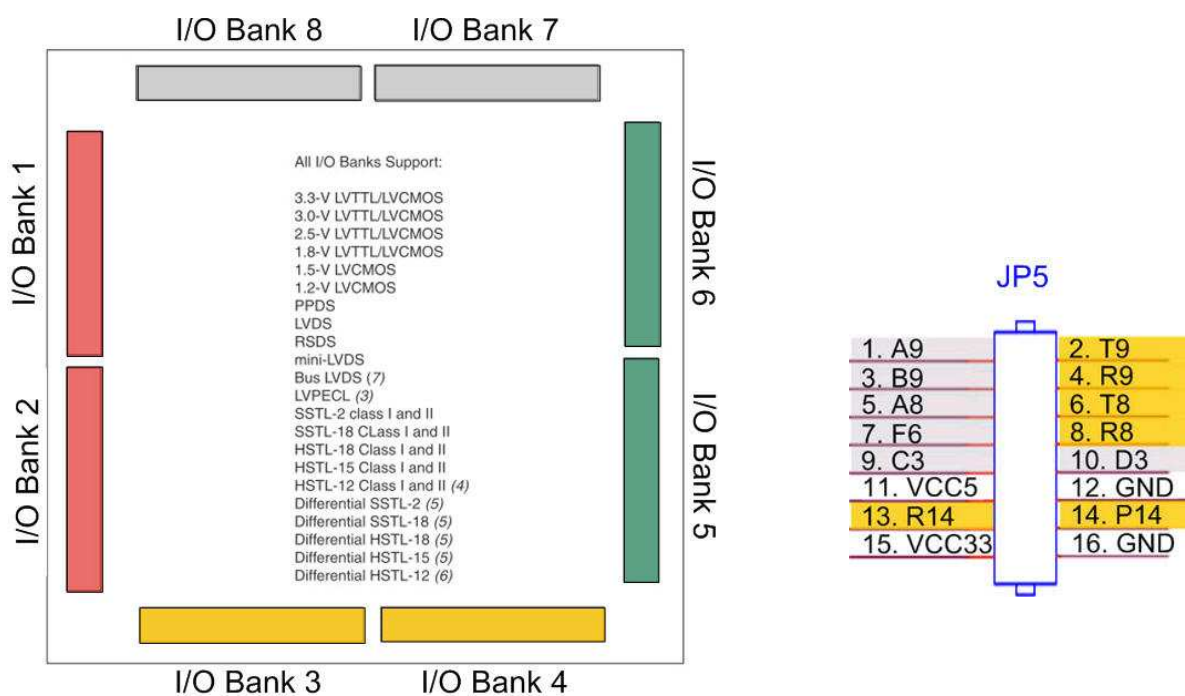


圖 2.3 I/O Bank 與 JP1~JP5 之對照圖。

2.3. LED 與按鈕開關

本實驗板提供 4 個使用者測試 LED 與 4 個使用者測試按鈕開關，其電路與 FPGA Pin 腳對應表如圖 2.4。

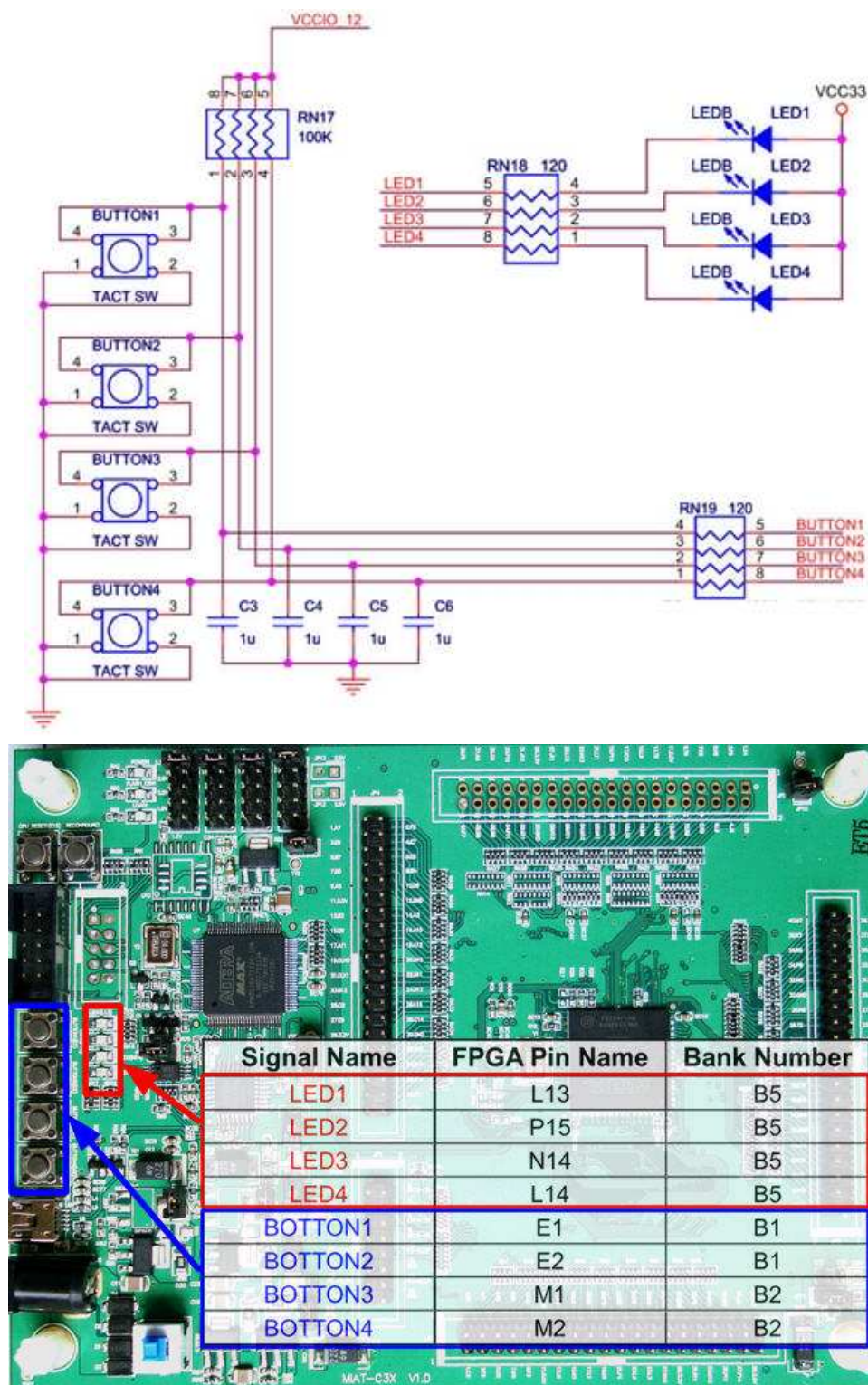


圖 2.4 LED、按鈕開關電路圖與腳位配置名稱。

2.4. SRAM、Flash 與 SDRAM 之接腳配置

關於 SRAM、Flash 與 SDRAM 等元件之詳細資料可參考光碟內所附之 DataSheet，本實驗板採用的 SRAM 的容量大小為 256Kx16 bits，電路圖於圖 2.5，FPGA 與 SRAM 的接腳對應表如表 2.1 所示，有部分接腳與 JP2 共用，SRAM 的/CE 可控制其 IO0~IO15 是否為高阻抗(High-Z)。

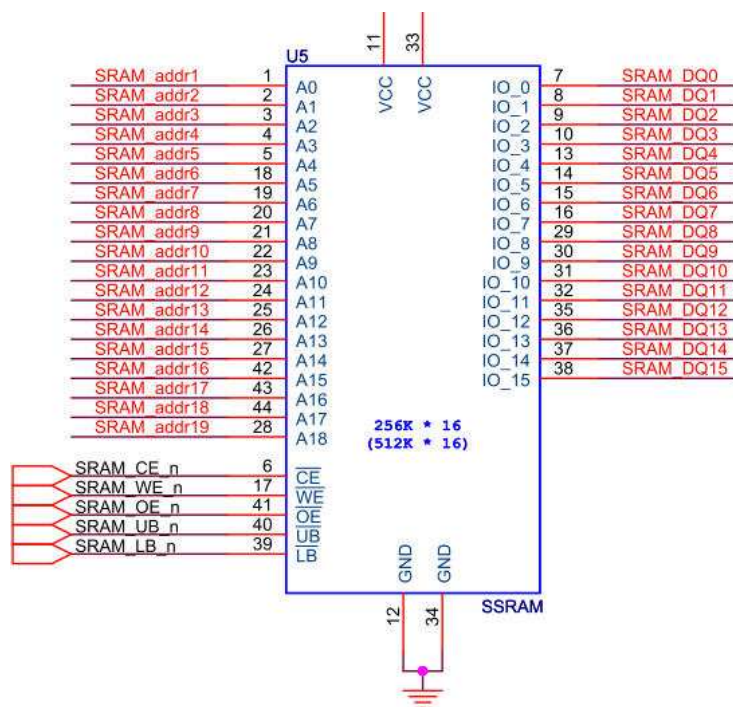


圖 2.5 SRAM 電路圖。

表 2.1 FPGA 與 SRAM 之接腳對應表。

No.	Signal Name	FPGA Pin	Bank No.	No.	Signal Name	FPGA Pin	Bank No.
1	SRAM_addr1(JP2.3)	N16	B5	21	SRAM_DQ1(JP2.24)	L8	B3
2	SRAM_addr2(JP2.4)	N15	B5	22	SRAM_DQ2(JP2.25)	M6	B3
3	SRAM_addr3(JP2.5)	L16	B5	23	SRAM_DQ3(JP2.26)	T2	B3
4	SRAM_addr4(JP2.6)	L15	B5	24	SRAM_DQ4(JP2.27)	M8	B3
5	SRAM_addr5(JP2.7)	K16	B5	25	SRAM_DQ5(JP2.28)	N5	B3
6	SRAM_addr6(JP2.8)	K15	B5	26	SRAM_DQ6(JP2.31)	N6	B3
7	SRAM_addr7(JP2.9)	J16	B5	27	SRAM_DQ7(JP2.32)	N8	B3
8	SRAM_addr8(JP2.10)	J15	B5	28	SRAM_DQ8(JP2.33)	P3	B3
9	SRAM_addr9(JP2.13)	J14	B5	29	SRAM_DQ9(JP2.34)	P8	B3
10	SRAM_addr10(JP2.14)	H16	B6	30	SRAM_DQ10(JP2.35)	R3	B3
11	SRAM_addr11(JP2.15)	H15	B6	31	SRAM_DQ11(JP2.36)	R5	B3
12	SRAM_addr12(JP2.16)	G16	B6	32	SRAM_DQ12(JP2.37)	R6	B3
13	SRAM_addr13(JP2.17)	G15	B6	33	SRAM_DQ13(JP2.38)	R7	B3
14	SRAM_addr14(JP2.18)	F16	B6	34	SRAM_DQ14(JP2.39)	T7	B3
15	SRAM_addr15(JP2.19)	F15	B6	35	SRAM_DQ15(JP2.40)	M7	B3
16	SRAM_addr16(JP2.20)	D16	B6	36	SRAM_CE_n	N3	B3
17	SRAM_addr17(JP2.21)	D15	B6	37	SRAM_WE_n	T3	B3
18	SRAM_addr18(JP2.22)	C16	B6	38	SRAM_OE_n	T5	B3
19	SRAM_addr19	C15	B6	39	SRAM_UB_n	T6	B3
20	SRAM_QD0(JP2.23)	L7	B3	40	SRAM_LB_n	P6	B3

FLASH Memory 的容量大小為 1M x16 bits，電路圖於圖 2.6，FPGA 與 FLASH Memory 的接腳對應表如表 2.2 所示，有部分接腳與 JP2 共用，FLASH Memory 的/RESET 接腳可控制其 IO0~IO15 是否為高阻抗(High-Z)。

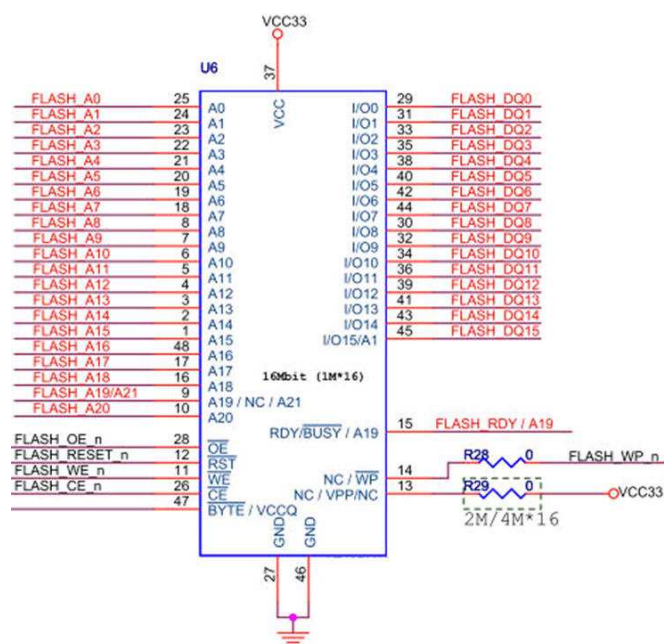


圖 2.6 FLASH Memory 電路圖。

表 2.2 FPGA 與 FLASH Memory 之接腳對應表。

No.	Signal Name	FPGA Pin	Bank No.	No.	Signal Name	FPGA Pin	Bank No.
1	FLASH_A0(JP2.1)	P16	B5	23	FLASH_DQ0(JP2.23)	L7	B3
2	FLASH_A1(JP2.2)	R16	B5	24	FLASH_DQ1(JP2.24)	L8	B3
3	FLASH_A2(JP2.3)	N16	B5	25	FLASH_DQ2(JP2.25)	M6	B3
4	FLASH_A3(JP2.4)	N15	B5	26	FLASH_DQ3(JP2.26)	T2	B3
5	FLASH_A4(JP2.5)	L16	B5	27	FLASH_DQ4(JP2.27)	M8	B3
6	FLASH_A5(JP2.6)	L15	B5	28	FLASH_DQ5(JP2.28)	N5	B3
7	FLASH_A6(JP2.7)	K16	B5	29	FLASH_DQ6(JP2.31)	N6	B3
8	FLASH_A7(JP2.8)	K15	B5	30	FLASH_DQ7(JP2.32)	N8	B3
9	FLASH_A8(JP2.9)	J16	B5	31	FLASH_DQ8(JP2.33)	P3	B3
10	FLASH_A9(JP2.10)	J15	B5	32	FLASH_DQ9(JP2.34)	P8	B3
11	FLASH_A10(JP2.13)	J14	B5	33	FLASH_DQ10(JP2.35)	R3	B3
12	FLASH_A11(JP2.14)	H16	B6	34	FLASH_DQ11(JP2.36)	R5	B3
13	FLASH_A12(JP2.15)	H15	B6	35	FLASH_DQ12(JP2.37)	R6	B3
14	FLASH_A13(JP2.16)	G16	B6	36	FLASH_DQ13(JP2.38)	R7	B3
15	FLASH_A14(JP2.17)	G15	B6	37	FLASH_DQ14(JP2.39)	T7	B3
16	FLASH_A15(JP2.18)	F16	B6	38	FLASH_DQ15(JP2.40)	M7	B3
17	FLASH_A16(JP2.19)	F15	B6	39	FLASH_OE_n	T14	B4
18	FLASH_A17(JP2.20)	D16	B6	40	FLASH_RESET_n	T13	B4
19	FLASH_A18(JP2.21)	D15	B6	41	FLASH_WE_n	T15	B4
20	FLASH_A19(JP2.22)	C16	B6	42	FLASH_CE_n	T11	B4
21	FLASH_A20	C15	B6	43	FLASH_WP_n	T12	B4
22	FLASH_A21	F13	B6	44	FLASH_BYTE_n	R13	B4

SDRAM 的容量大小為 4M x16 bits，電路圖於圖 2.7，FPGA 與 FLASH Memory 的接腳對應表如表 2.3 所示，有部分接腳與 JP4 共用，SDRAM 的 DQM 接腳可控制其 DQ0~DQ15 是否為高阻抗 (High-Z)。

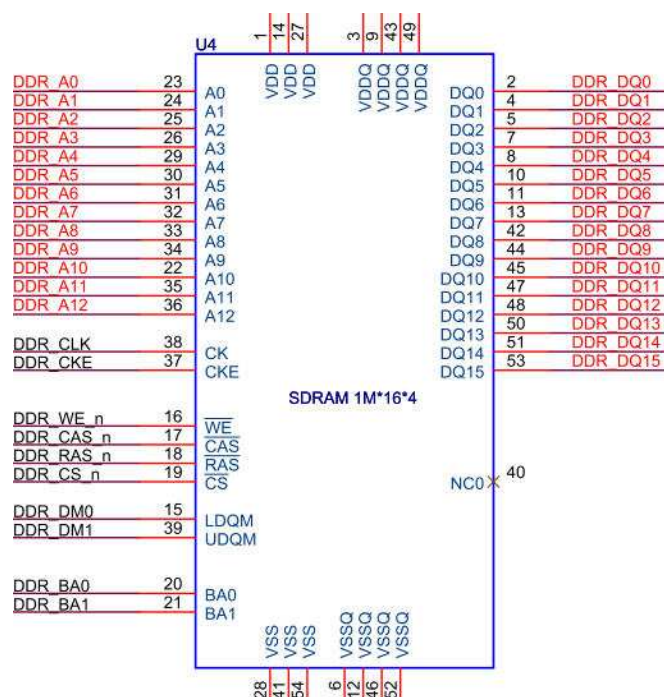


圖 2.7 SDRAM 電路圖。

表 2.3 FPGA 與 SDRAM 之接腳對應表。

No.	Signal Name	FPGA Pin	Bank No.	No.	Signal Name	FPGA Pin	Bank No.
1	DDR_A0(JP4.1)	P16	B8	21	DDR_DQ7(JP4.25)	C9	B7
2	DDR_A1(JP4.2)	R16	B8	22	DDR_DQ8(JP4.26)	A15	B7
3	DDR_A2(JP4.3)	N16	B8	23	DDR_DQ9(JP4.27)	E9	B7
4	DDR_A3(JP4.4)	N15	B8	24	DDR_DQ10(JP4.28)	C14	B7
5	DDR_A4(JP4.5)	L16	B8	25	DDR_DQ11(JP4.31)	B14	B7
6	DDR_A5(JP4.6)	L15	B8	26	DDR_DQ12(JP4.32)	B12	B7
7	DDR_A6(JP4.7)	K16	B8	27	DDR_DQ13(JP4.33)	E11	B7
8	DDR_A7(JP4.8)	K15	B8	28	DDR_DQ14(JP4.34)	E10	B7
9	DDR_A8(JP4.9)	J16	B8	29	DDR_DQ15(JP4.35)	F9	B7
10	DDR_A9(JP4.10)	J15	B8	30	DDR_CLK	A14	B7
11	DDR_A10(JP4.13)	J14	B8	31	DDR_CKE(JP4.40)	B6	B8
12	DDR_A11(JP4.14)	H16	B6	32	DDR_WE_n	C8	B8
13	DDR_A12(JP4.15)	H15	B6	33	DDR_CAS_n	D5	B8
14	DDR_DQ0(JP4.16)	A10	B7	34	DDR_RAS_n	A4	B8
15	DDR_DQ1(JP4.17)	A11	B7	35	DDR_CS_n	A2	B8
16	DDR_DQ2(JP4.18)	A12	B7	36	DDR_DM0(JP4.36)	D14	B7
17	DDR_DQ3(JP4.20)	B10	B7	37	DDR_DM1(JP4.37)	D9	B7
18	DDR_DQ4(JP4.22)	B11	B7	38	DDR_BA0(JP4.38)	D11	B7
19	DDR_DQ5(JP4.23)	B12	B7	39	DDR_BA1(JP4.39)	A13	B7
20	DDR_DQ6(JP4.24)	B13	B7	40			

2.5. 石英晶體振盪器

本實驗板之 50MHz 時脈(clock)連接 FPGA 晶片 Pin Name 為 E16 其 Pin Function 為 CLK5，可由晶片內部之 PLL 電路再產生 4 個不同頻率的 clock 出來。

表 2.4 FPGA 與 50MHz 時脈之接腳對應表。

Signal Name	FPGA Pin Name	Bank No.
50MHz	E16	B6

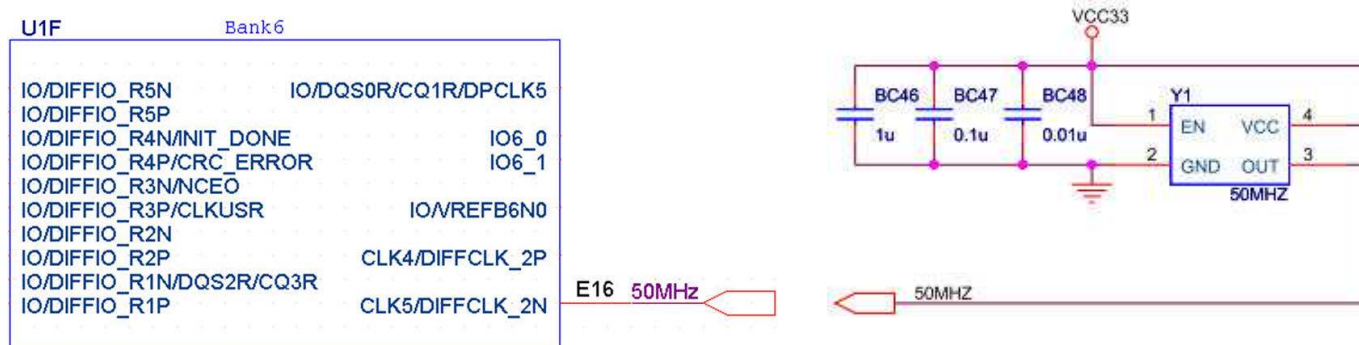


圖 2.8 50MHz 石英晶體振盪器電路與 FPGA 連接之電路圖。

3. 實驗板之硬體與 USB 介面驅動程式安裝

步驟一、將實驗板連接 PC，如下圖：

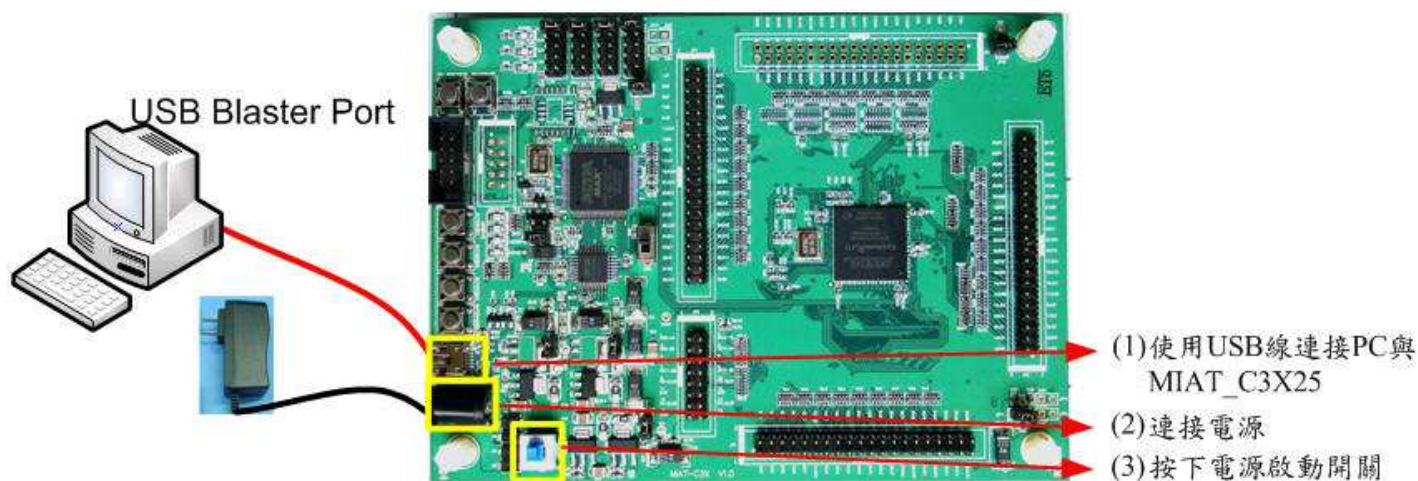


圖 3.1 實驗板安裝。

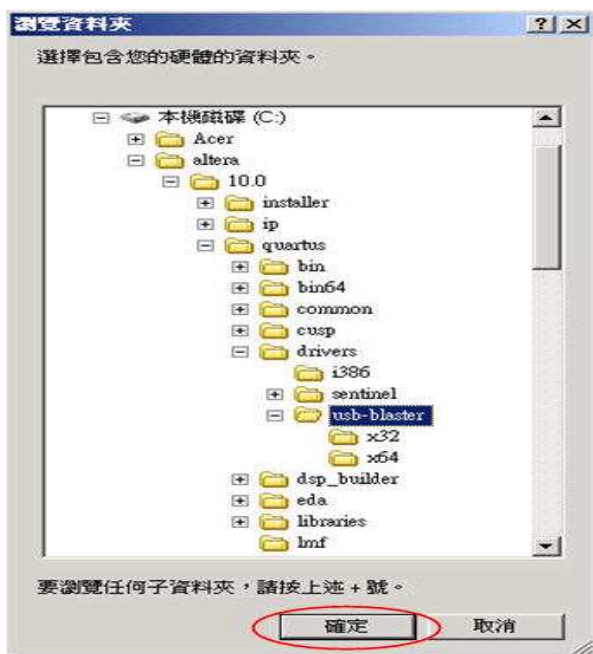
步驟二、驅動程式安裝，當實驗板第一次連接 PC 時，需安裝 USB Blaster 驅動程式，驅動程式目錄為 C:\altera\10.0\quartus\drivers\usb-blaster。



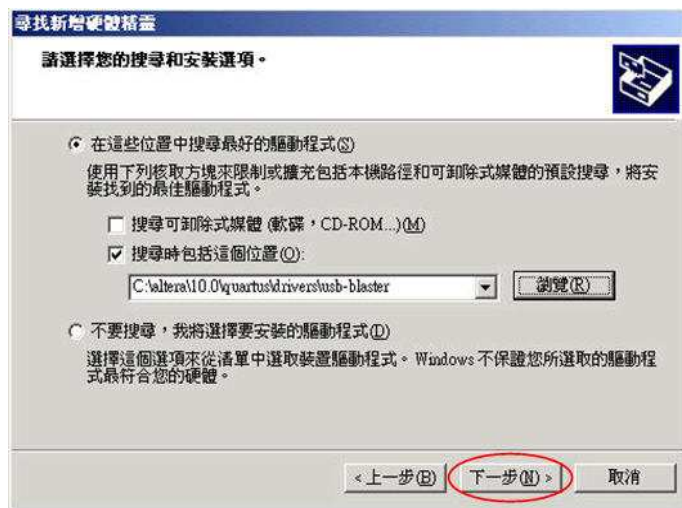
(a)



(b)



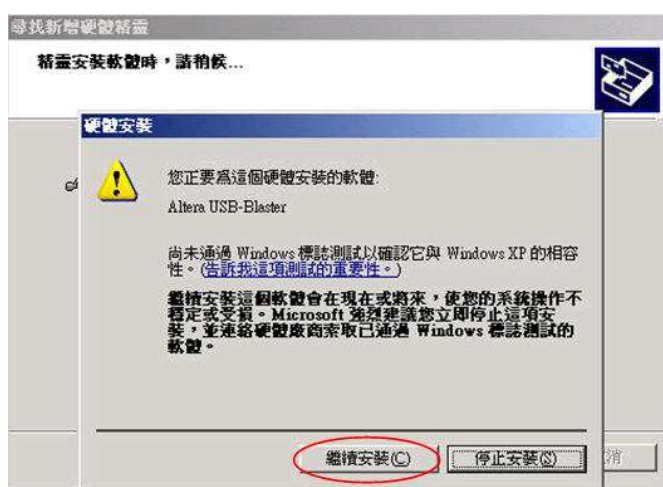
(c)



(d)



(e)

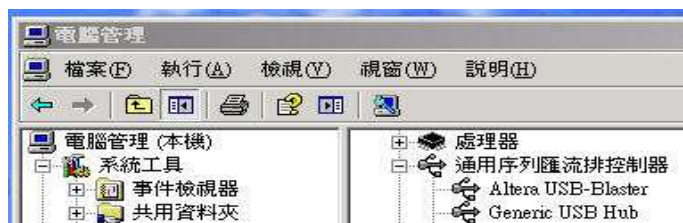


(f)

圖 3.2 驅動程式安裝。



(g)



(h)

圖 3.3 驅動程式安裝(續)。

4. I/O 範例實驗

假設使用者已安裝 QuartusII 軟體工具，在此以 TESTIO1 為範例，目錄於 CDROM\MIAT_C3X_EVB_Demonstrations\TESTIO1，設定步驟如下：

步驟一、在\D:建立專案目錄並複製 MIATC3XTOP.vhd 檔案，如下圖



圖 4.1 複製 MIATC3XTOP.vhd 檔案。

步驟二、執行 Quartus II



圖 4.2 執行 Quartus II。

步驟三、建立專案檔(1/6)

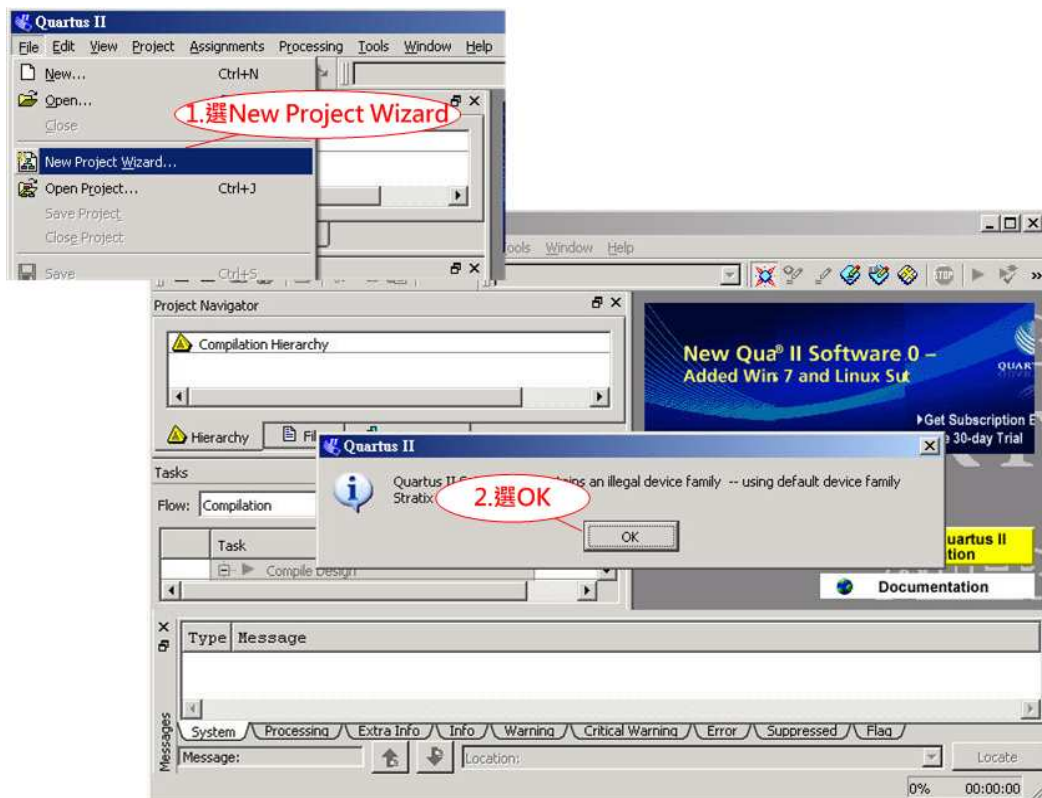


圖 4.3 建立專案。

步驟三、建立專案檔(2/6)

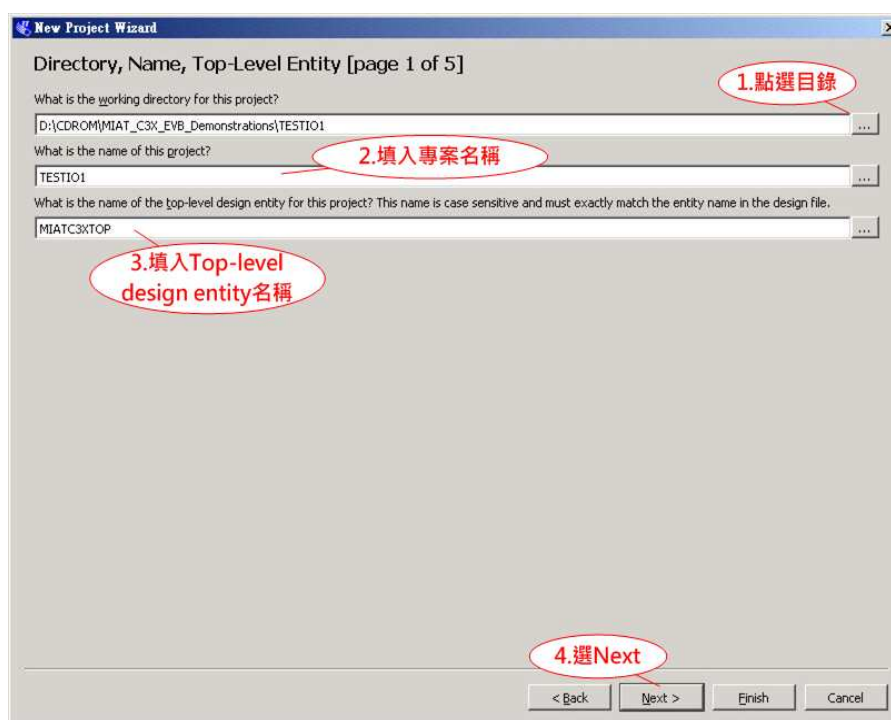


圖 4.4 填入專案名稱。

步驟三、建立專案檔(3/6)

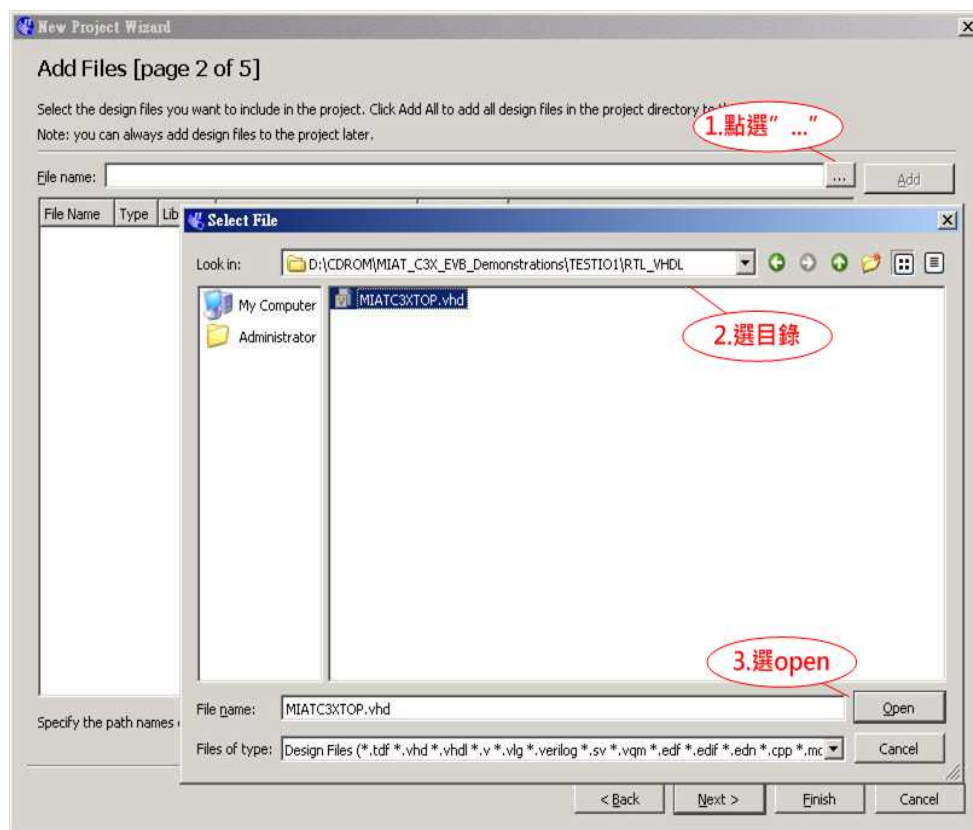


圖 4.5 填入專案目錄名稱。

步驟三、建立專案檔(4/6)

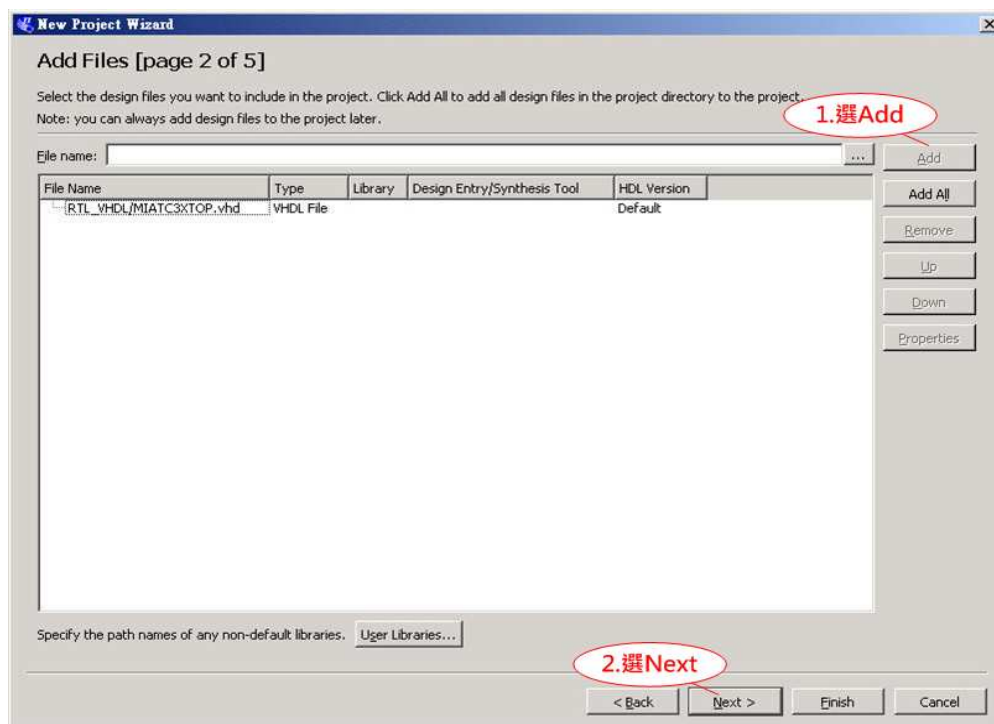


圖 4.6 加入 VHDL 設計檔。

步驟三、建立專案檔(5/6)

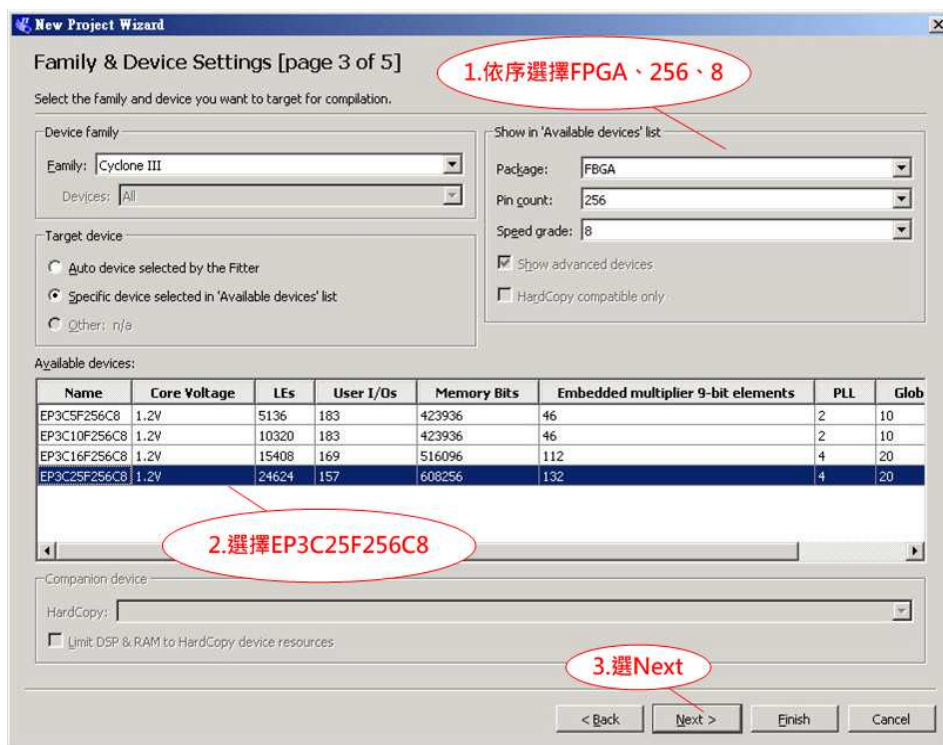


圖 4.7 選擇 FPGA 晶片編號。

步驟三、建立專案檔(6/6)

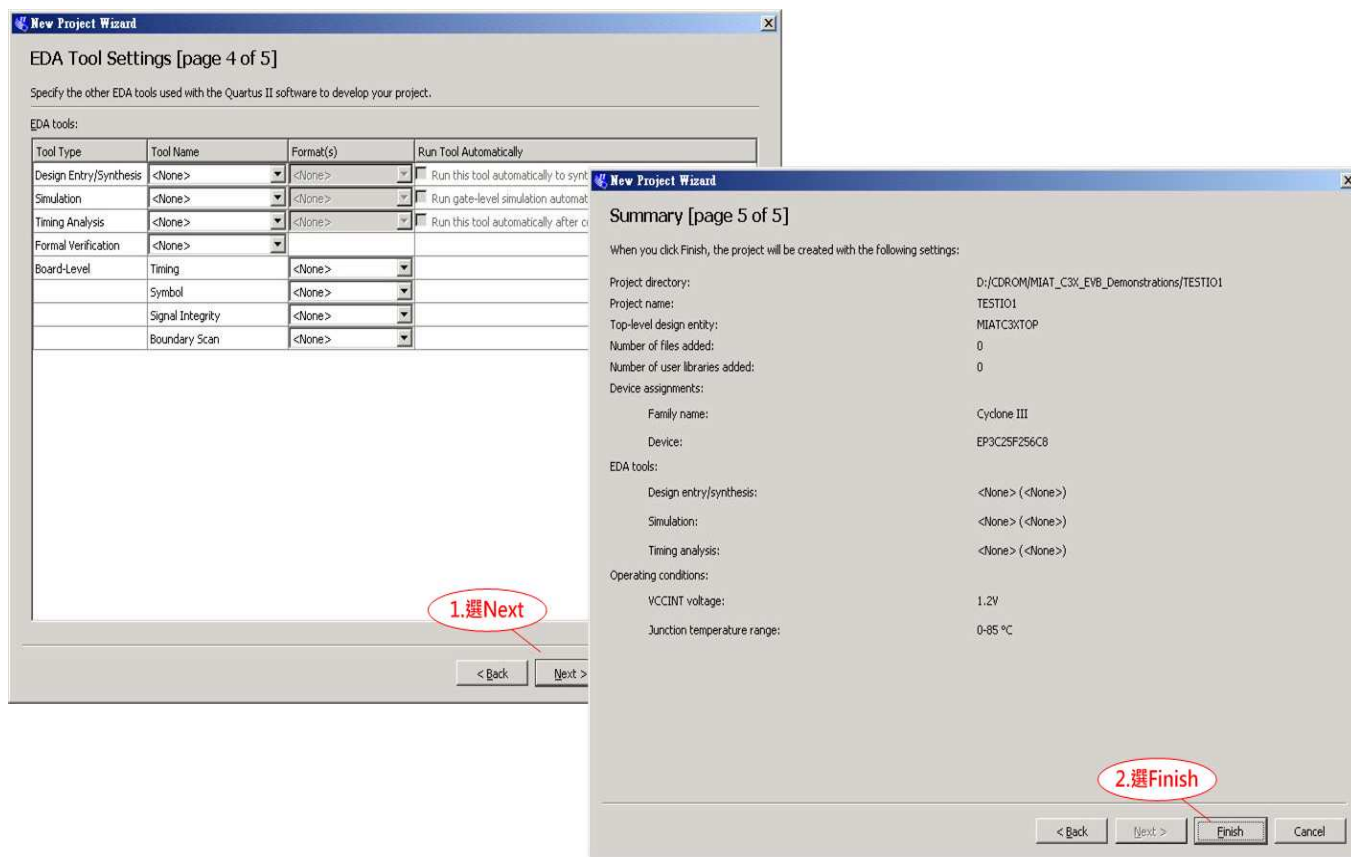


圖 4.8 EDA 工具選擇。

步驟四、執行 Analysis & Elaboration

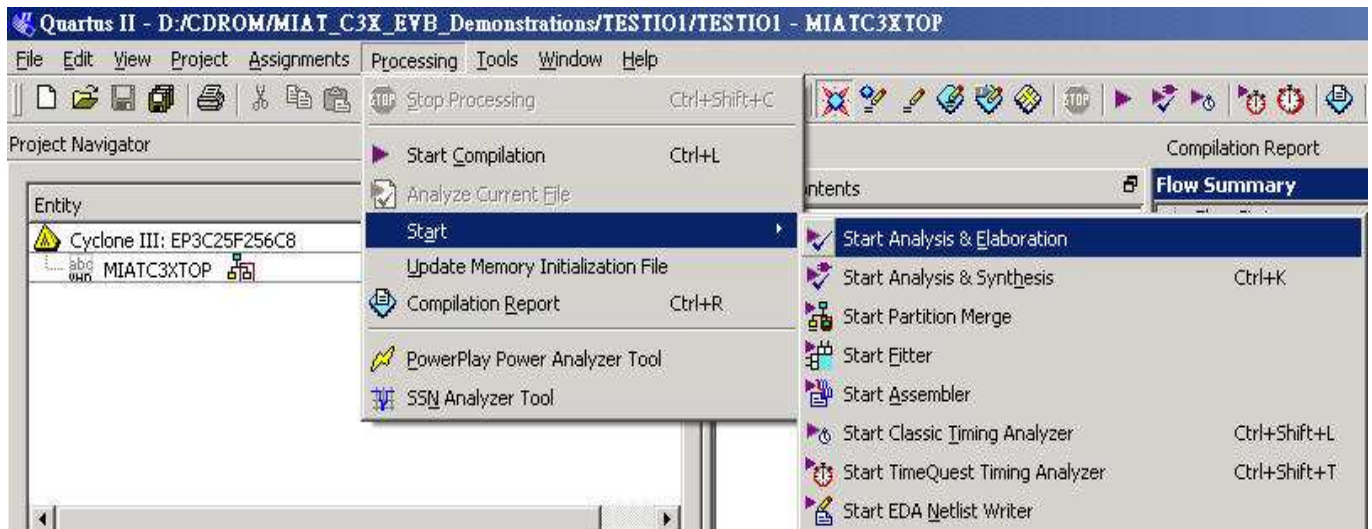


圖 4.9 Analysis & Elaboration。

步驟五、執行 Pin Planner(1/2)

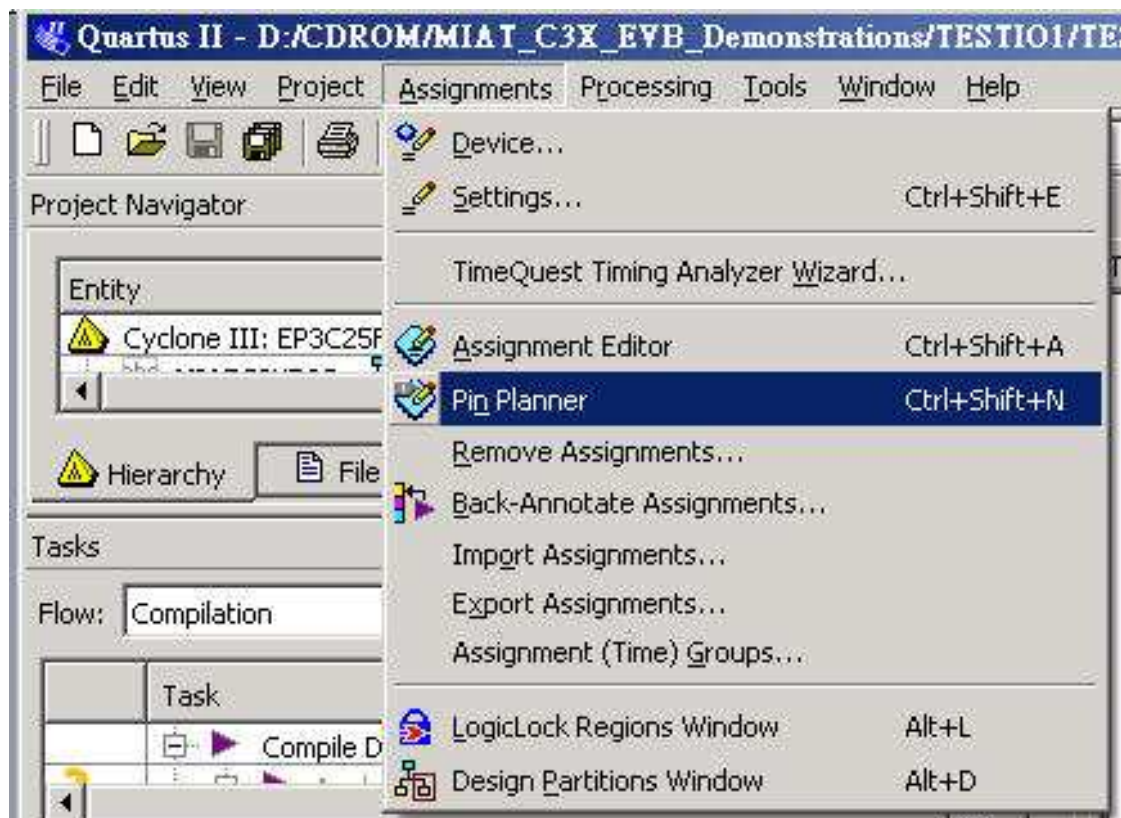


圖 4.10 FPGA Pin 腳設定。

步驟五、執行 Pin Planner(2/2)

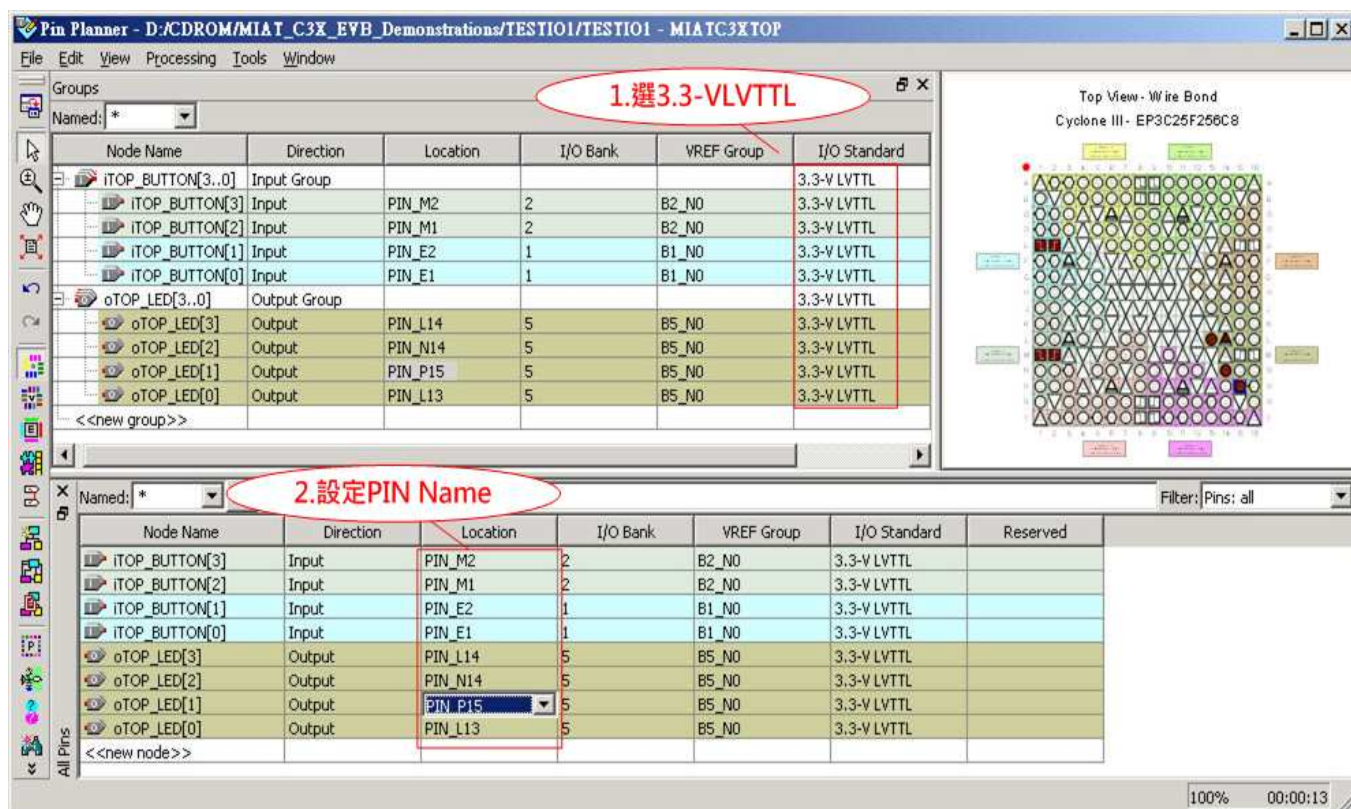


圖 4.11 FPGA Pin 腳設定。

步驟六、執行 Start Compilation

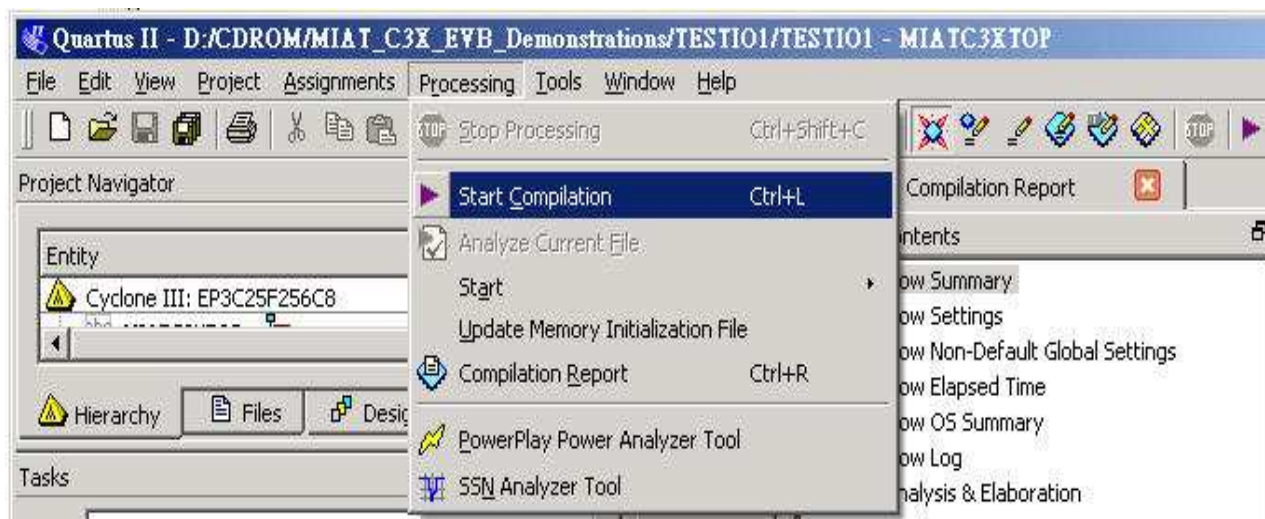
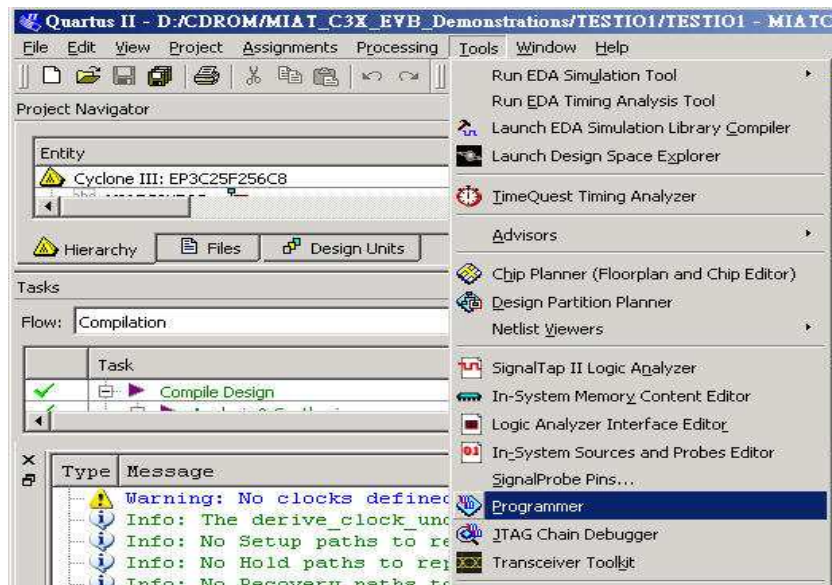
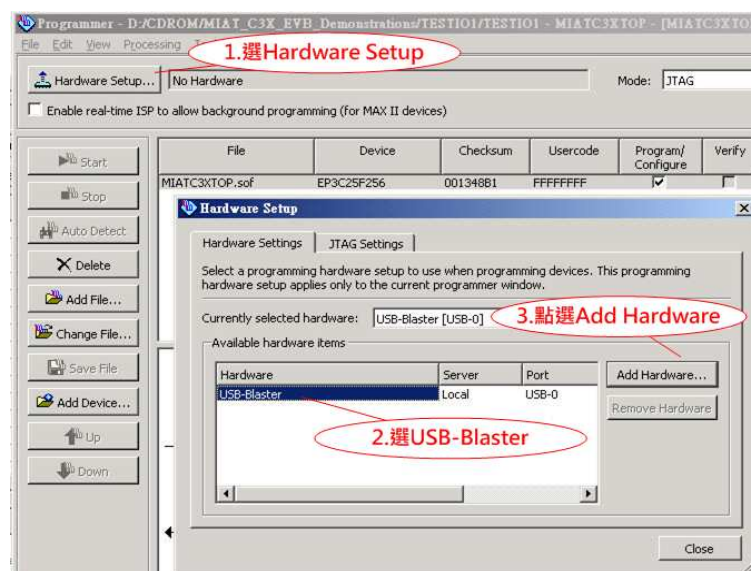


圖 4.12 Start Compilation。

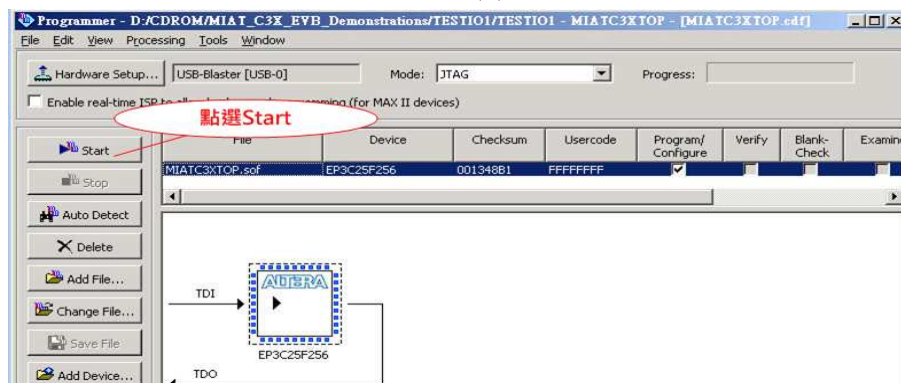
步驟七、執行 Programmer



(a)



(b)



(c)

圖 4.13 電路燒錄。

步驟八、測試實驗板之 Button 與 LED 動作是否正確，當開關 Button 按下時相對應的 LED 被點亮，反之 LED 熄滅。

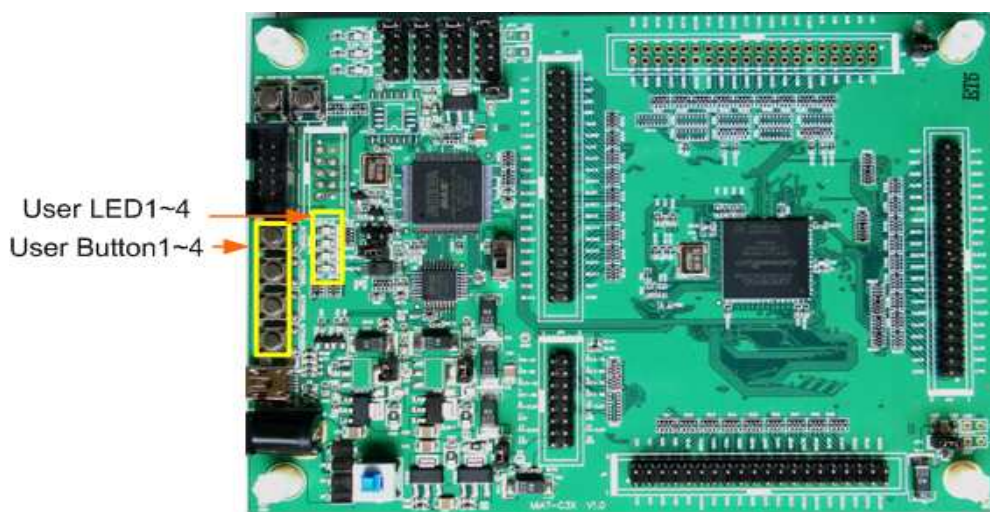


圖 4.14 Button 與 LED 操作測試。

5. 可進行的實驗課程

本實驗板除了可配合 MIAT_IOB 實驗板以外，可配合 MIAT_IOB 實驗板進行進階的實驗，如下列項目：

<p>數位系統實驗：</p> <ol style="list-style-type: none"> 1. FPGA 軟硬體開發環境 2. VHDL 電路設計與 FPGA 燒錄 3. 基本輸入 / 輸出 (開關 / LED 實驗) 4. 組合邏輯電路—編解碼器實驗 5. 組合邏輯電路—多工器實驗 6. 組合邏輯電路—加法器實驗 7. 組合邏輯電路—ALU 實驗 8. 組合邏輯電路—移位器實驗 9. 合邏輯電路—乘法器實驗 10. 循序電路 —Latch 和正反器實驗 11. 循序電路 —Counter 實驗 12. 循序電路 —Mealy FSM 實驗 13. 循序電路 —MooreFSM 實驗 14. 紅綠燈控制器電路實驗 15. 跑馬燈電路實驗 16. 計時器電路實驗 	<p>微處理機及 SOPC 實驗：</p> <ol style="list-style-type: none"> 1. SOPC 開發流程(NIOS II 使用教學) 2. SOPC 輸入/輸出實驗(LED 控制) 3. Avalon 匯流排實驗 4. NIOS II 硬體週邊 UART 控制實驗 5. NIOS II 硬體週邊 I2C 控制實驗 6. NIOS II 硬體週邊 SPI 控制實驗 7. 文字型 LCD 顯示實驗 8. LCD 圖形顯示實驗 9. PS2 鍵盤實驗 10. 外部記憶體控制實驗 11. RTOS uC/OS II 移植實驗 12. CMOS 影像感測取像控制實驗 13. RF 無線通訊實驗 14. 感測器軟硬體整合實驗 15. 馬達控制軟硬體整合實驗 16. 機器人 SOPC 整合應用實驗
--	--

嵌入式硬體/IP 設計實驗：

1.記憶體控制器 IP 設計與應用

(SRAM, SDRAM, Flash memory controller)

2.串列通訊協定硬體 IP 設計

(UART, I2C, SPI)

3.PWM/SVPWM IP 設計與應用

(PWM 波形產生器, 蜂鳴器控制, 馬達控制)

4.Display 控制 IP 設計

(VGA Controller, 文字型 LCD 顯示控制)

5.嵌入式影像處理

(取像控制, 色彩轉換, DCT, DWT, 形態學影像處理器硬體 IP 設計)

6.糾錯編碼

(CRC, Hamming, R-S Code)

7.加解密

(DES, Tri-DES, AES)

6. 文件訂正紀錄

表 6.1 文件訂正紀錄表

日期	版本	修改說明
2010-10-09	1.00	初版