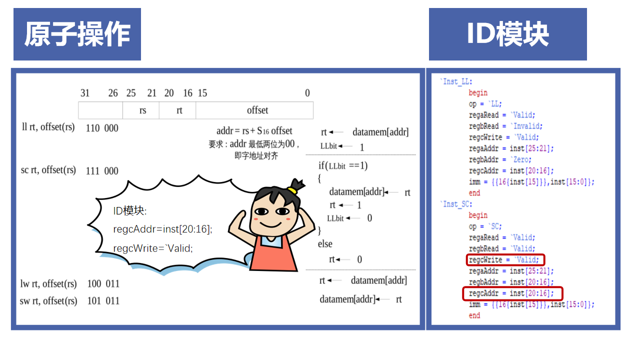
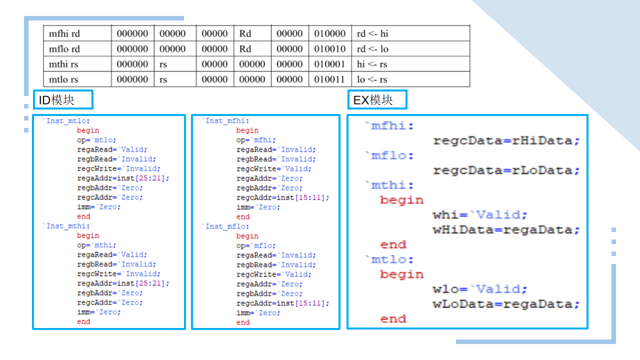
遇到的问题及解决：



1. 在设计sc指令过程中，看似sc和sw指令格式是一样的，但是sc要给rt赋1，这个在当时设计过程中在ID模块忽略了这个问题，并没有提供正确的regcWrite和regcAddr，导致仿真datamem[addr]<--rt和LLbit<--0没有问题，并没有给rt赋1，通过分析仿真结果，观察到ID传出来的结果并不是预期的，找到问题所在并修改。



1. 在实现mtlo和mthi的过程中忘记把whi和wlo这两个写信号在EX中设置为有效，导致结果没有写入LLbit。还有就是中断的优先级要比J型指令高，在IF模块就要放到J型之前判断，在设计的时候忽略了这个问题，导致仿真结果出现错误。

（定位错误的方法：找到非预期的信号，在数据通路图中找到该信号的传递（从哪个模块传过来的，往前找），这样就能大概找到是哪个模块的问题，一般就是哪个写信号忘记设置，导致写不进去，比如说whi、wlo）

1. 下板的代码在Modelsim上仿真没有问题，在实验室Vivado 18.3下板的过程出现了报错，但是看不懂。下午想着在宿舍试试，最后是在自己电脑上安装了Vivado 19.1，就不出现报错了。流水灯一开始的下板结果并不是我预期的，检查发现代码的逻辑有问题。
2. 规定了相应的模块端口的命名，特别是在设计流水线的过程中，否则代码的整合会非常麻烦。