**南京中医药大学**



**《数字电子技术基础》课程设计**

**2023-2024学年 第一学期**

|  |  |
| --- | --- |
| 项目名称： | 简易数字钟 |
| 专业/班级： | 计算机221班 |
| 组 号： | 03 |
| 组 名： | 时 |
| 组 长： | 陈可涵 |
| 组 员： | 王明宇 |
|  | 任俊杰 |
| 指导老师： | 蔡君老师 |

日期：2023年 10月30日

**人工智能与信息技术学院**

## 一、目录

1. 引言

2. 需求分析

3. 总体设计

4. 详细设计与实现

5. 系统测试

6. 课程总结

7. 参考文献

## 二、引言

知识点:

1.同步加法计数器的时序逻辑电路

2.74LS系列电路的名称、引脚、功能

3.计数芯片和与非门构成分频计数模块

4.LED数码管的管脚使用

5.Multisim14.0仿真软件的基本元器件库、元器件的放置、参数、连接、功能、调试和仿真

难点：

1、分频计数模块功能的实现，秒计数器满60向分计数器进位,分计数器满60向小时进位,小时计数器24进制计数；

2、由振荡器输出稳定的高频脉冲信号作为时间基准，经分频器输出标准的秒脉冲；

3、桥式直流稳压整流电路加上电容滤波后如何使输出的波形更平滑、稳压；

4、Multisim14.0元器件库中74LS系列电路的名称、引脚、功能。

## 三、需求分析

项目要求设计一个数字钟，基本功能包括电源模块、时钟模块、分频计数器模块、显示模块等部分，并以小组为单位完成项目的分析、设计、实现和文档等内容。数字钟的设计需要用Multisim14.0软件实现，核心电路部分是电源模块、时钟模块、分频计数模块和显示模块。最后，要求设计的电路要能够准确而直观地将时间的“时”“分”“秒”以数字方式显示出来。

## 总体设计

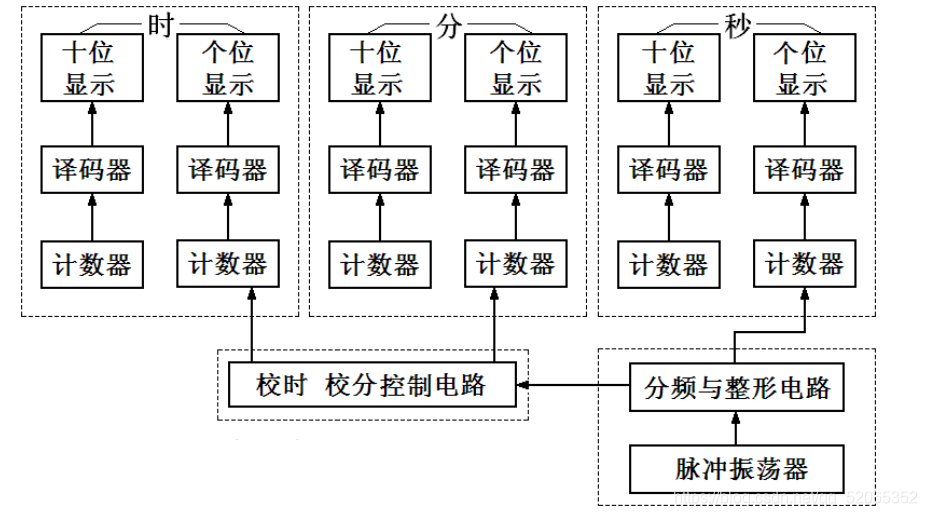
## 1. 设计60进制加法计数器，作为秒钟和分钟；

## 2. 设计24进制加法计数器，作为时钟；

## 6. 设计比较电路，作为闹钟模块；

## 7. 设计12进制（1-12）计数器；

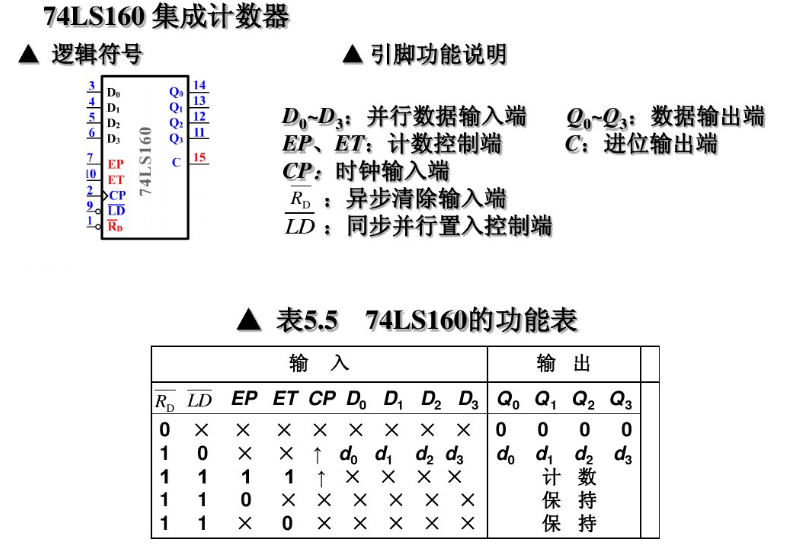
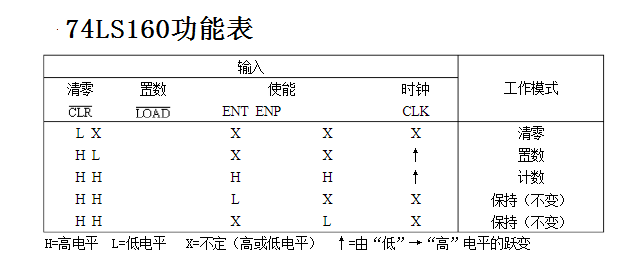
## 8. 组合成数字钟。总体设计



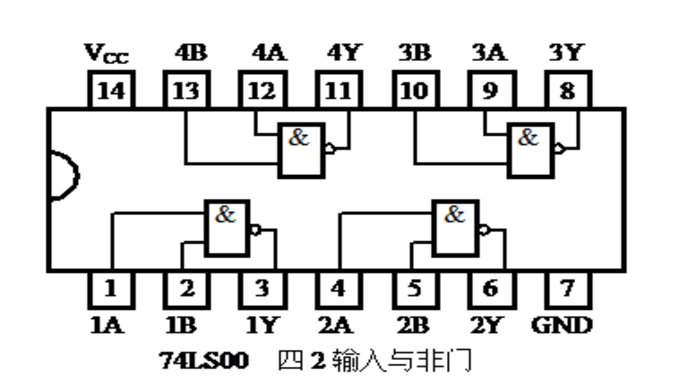
## 详细设计与实现

芯片功能介绍:

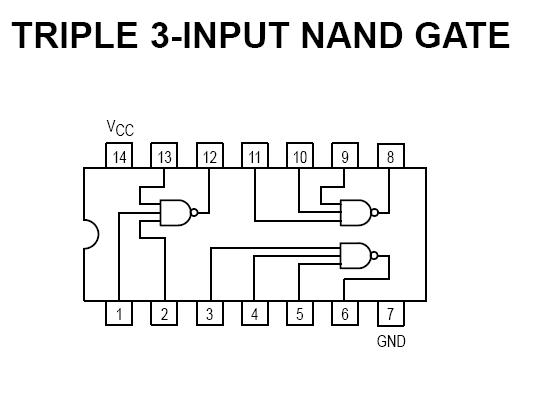
74LS160N



74LS00N

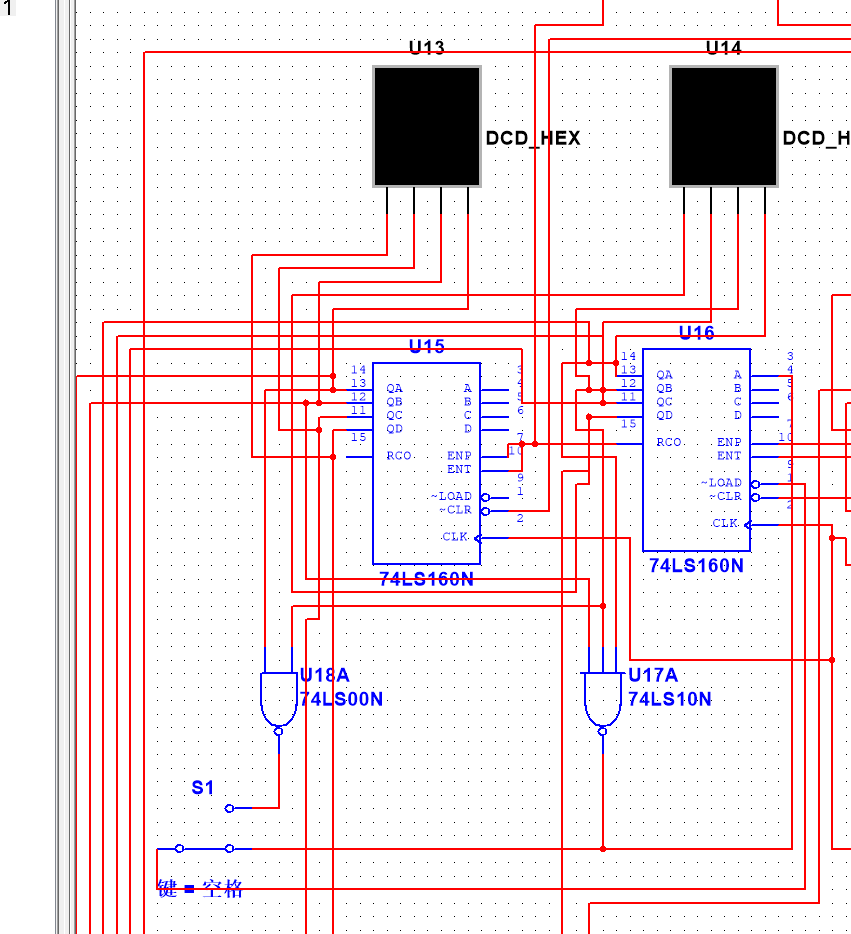


74LS10N



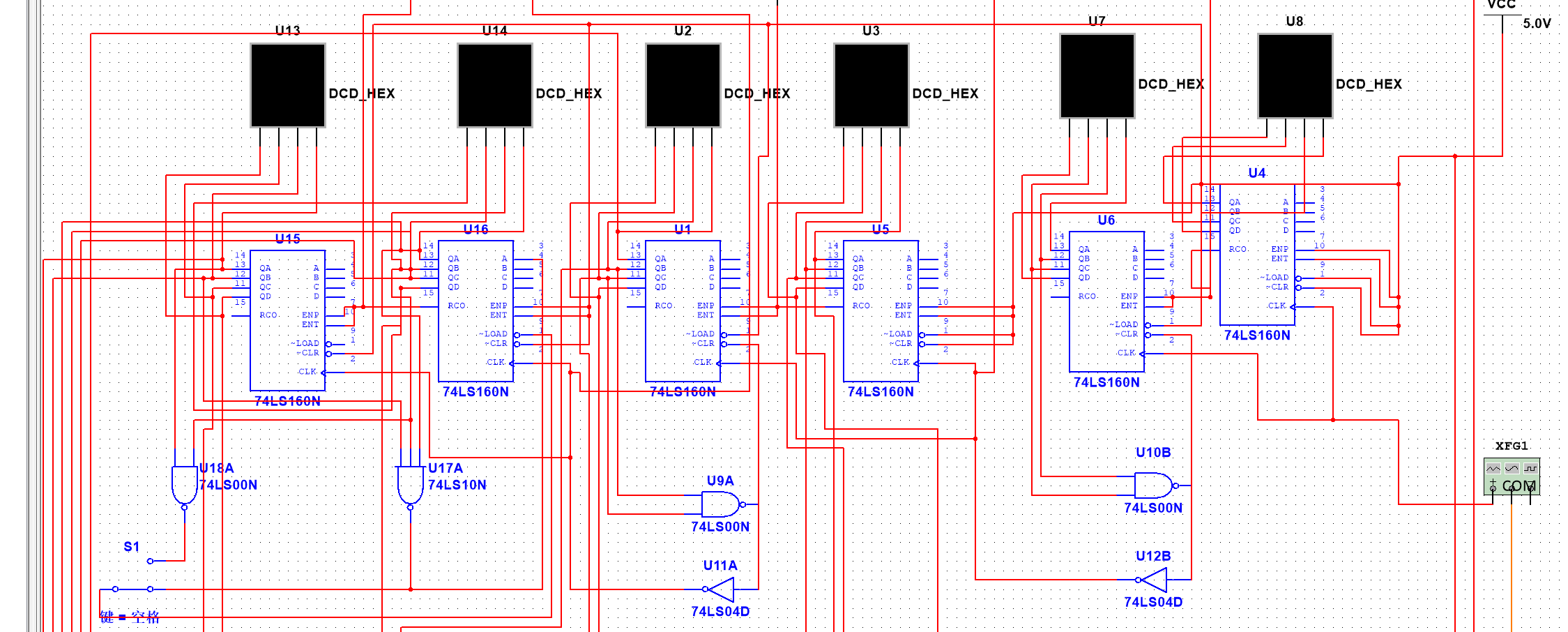
其中，Vcc和GND分别表示芯片的正负电源接口；A1、A2和A3是3个输入端口，它们用于接收输入信号；B1、B2和B3是3个输入端口，它们用于接收输入信号；Y是输出端口，它用于输出与门的计算结果；G1、G2和G3是3个使能端口，通过控制它们的高低电平来控制芯片的开关

1. 设计12(1-12)/24(0-23)小时计时切换模块



采用置数法，使用2片74LS160N芯片，1片74LS00N芯片，1片74LS10N芯片，实现12/24进制可切换加法计数器, 作为时钟显示电路：

1. 对于12进制，当计数到0001-0010（即12）时，置数回0000-0001（即1）,当启用12进制并计满12位时，与非门12A输出信号为0，否则为1。
2. 对于24进制，当计数到0010-0011（即23）时，置数回0000-0000（即0）,当启用24进制并计满24位时，三输入与非门24A输出信号为0，否则为1。
3. 为实现在12或24进制时都能置数的功能，引入单刀双掷开关S, 当启动12（24）进制并计满12（24）位时，单刀双掷开关SS输出信号为0，个位片U1与十位片U2同时进行置数。
4. 计时模块



使用2片74LS160N芯片，1片74LS00N芯片，设计60进制加法计数电路

(1)作为秒钟显示电路,当个位片计满一个循环后，十位片进一位；

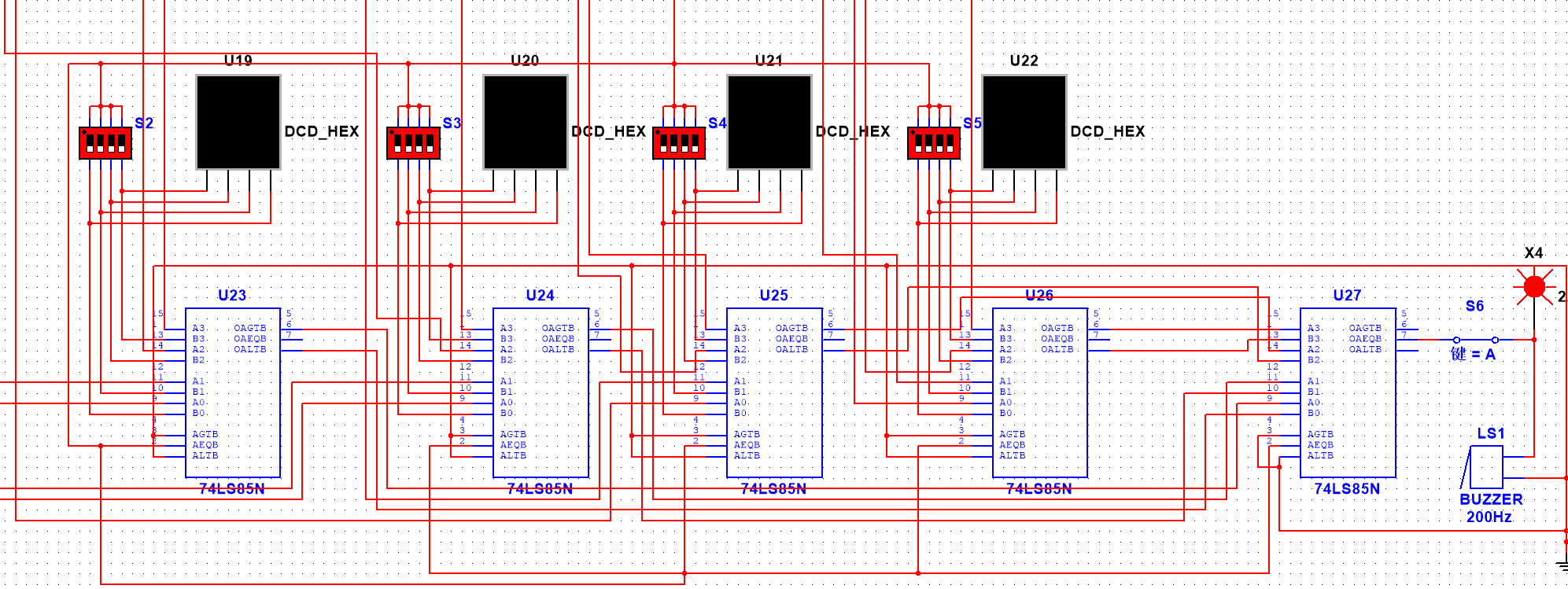
(2)实现60进制要对十位片采用清零法。当计满60位时，与非门输出信号为0，秒钟十位片进行清零，秒钟个位片也刚好为0

(3)非门输入端接与非门输出端，其输出端接入下一级分钟个位片的进位端CLK作进位信号, 当计满60位数时，本级清零，次级进一位；

(4) 当十位-个位从0101-1001跳变到0110-0000的一瞬间，个位片与十位片同时回到0000，完成60进制（0-59）计数；

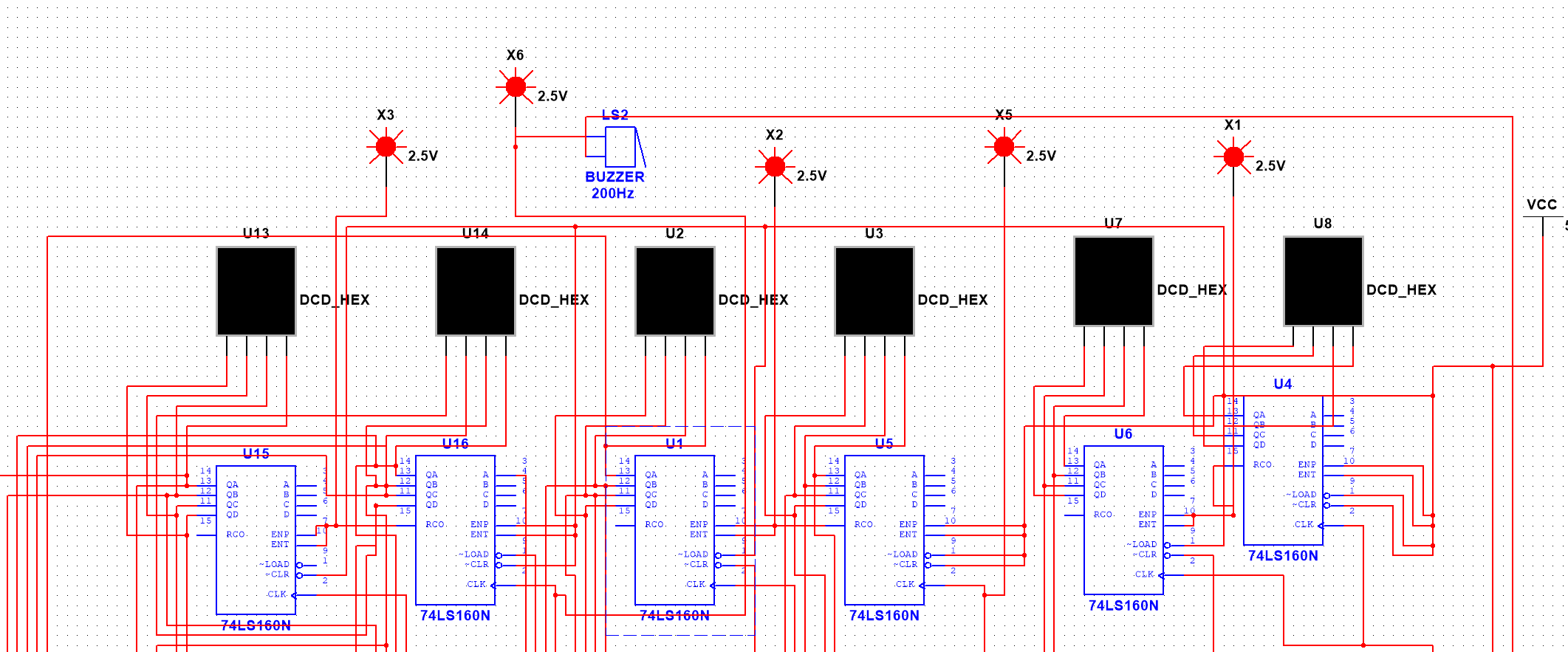
(5)使用2片74LS160N芯片，共用同一片74LS00N芯片，设计60进制加法计数电路，作为分钟显示电路

1. 设计闹钟模块



使用5片74LS85N芯片和蜂鸣器，设计时钟和分钟的比较电路：

1. 比较电路采用并联扩展法。5片芯片的比较输入端I(A=B)均接高电平，其余两个均接地
2. 4片时钟/分钟比较芯片从最低位（分钟个位）起步比较，其输出端F(A>B)、F(A<B)分别接并联扩展芯片的A3、B3，其余三片以此类推
3. 芯片输入端接入比较信号，用四通道开关（J1-J4）设置，以达到手动设置时间的功能，接法如
4. 蜂鸣器一端接入并联扩展芯片的输出端F(A=B)，另一端接地；开关ACS用于控制输出信号的接收。
5. 当A3A2A1A0=B3B2B1B0时，并联扩展芯片输出端F(A=B)=1，蜂鸣器响起，直到时间变动或手动断开开关ACS才停止发出响声，以此实现闹钟功能。
6. 整点报时



将蜂鸣器与灯泡(示意蜂鸣器开始工作)与U16的CLK时钟输入端连接,每当时钟所示小时即将进一位(即由59分钟进入1小时)时,控制分钟的74LS160芯片向控制小时的74LS160芯片的CLK端输入信号,同时输入信号使蜂鸣器报警,以实现整点报时功能.

VHDL语言编写

模60计数器

由于分和秒计数都是60进制，因此，模60计数器模块是针对分秒计数功能的！

模60计数器的设计采用的是8421BCD码计数方式，由模10计数器以及模6计数器组成：

//模60计数器的Verilog HDL设计

module counter60(clk, rst\_n, en, dout, co);

input clk, rst\_n, en;

output[7:0] dout;

output co;

wire co10\_1, co10, co6;

wire[3:0] dout10, dout6;

counter10 inst\_counter10(.clk(clk), .rst\_n(rst\_n), .en(en), .dout(dout10), .co(co10\_1)); //模10计数器的进位为co10\_1

and u3(co10,en,co10\_1); //co10\_1与en的与为co10

counter6 inst\_counter6(.clk(clk), .rst\_n(rst\_n), .en(co10), .dout(dout6), .co(co6)); //co10\_1与en的与为co10,作为模6计数器的使能信号

and u4(co, co10, co6); //模6计数器的进位和模6的使能信号co10的与作为模60计数器的进位

assign dout = {dout6,dout10}; //模60计数器的输出，高位为模6计数器的输出，低位为模10计数器的输出，读法是8421BCD码读法

Endmodule

可见，模60计数器例化了模10以及模6计数器，下面给出模10以及模6计数器的设计：

模10计数器

//模10计数器模块

module counter10(clk, rst\_n, en, dout, co);

input clk, rst\_n, en;

output[3:0] dout;

reg [3:0] dout;

output co;

always@(posedge clk or negedge rst\_n)

begin

if(!rst\_n)

dout <= 4'b0000; //系统复位，计数器清零

else if(en)

if(dout == 4'b1001) //计数值达到9时，计数器清零

dout <= 4'b0000;

else

dout <= dout + 1'b1; //否则，计数器加1

else

dout <= dout;

end

assign co = dout[0]&dout[3]; //当计数达到5(4'b1001)时，进位为1，计数值为其他，都没有进位

endmodule

模6计数器

//模6计数器模块

module counter6(clk, rst\_n, en, dout, co);

input clk, rst\_n, en;

output[3:0] dout;

reg [3:0] dout;

output co;

always@(posedge clk or negedge rst\_n)

begin

if(!rst\_n)

dout <= 4'b0000; //系统复位，计数器清零

else if(en)

if(dout == 4'b0101) //计数值达到5时，计数器清零

dout <= 4'b0000;

else

dout <= dout + 1'b1; //否则，计数器加1

else

dout <= dout;

end

assign co = dout[0]&dout[2]; //当计数达到5(4'b1001)时，进位为1，计数值为其他，都没有进位

endmodule

模24计数器设计：

//8421BCD码计数器，模24

module counter24(clk, rst\_n, en, dout);

input clk, rst\_n, en;

output[7:0] dout;

reg[7:0] dout;

always@(posedge clk or negedge rst\_n) //异步复位

begin

if(!rst\_n) //复位信号有效时，输出清零

dout <= 8'b00000000;

else if(en == 1'b0) //计数使能无效时，输出不变

dout <= dout;

else if( (dout[7:4] == 4'b0010)&&(dout[3:0] == 4'b0011) ) //计数达到23时，输出清零

dout <= 8'b00000000;

else if(dout[3:0] == 4'b1001) //低位达到9时，低位清零，高位加1

begin

dout[3:0] <= 4'b0000;

dout[7:4] <= dout[7:4] + 1'b1;

end

else //上述情况都没有发生，则高位不变，低位加1

begin

dout[7:4] <= dout[7:4];

dout[3:0] <= dout[3:0] + 1'b1;

end

end

Endmodule

将三面的模块例化进数字时钟模块内，构成24小时计时器！

//数字时钟计数器

module digital\_clock(

input clk,

input rst\_n,

input en,

output [7:0] hour,

output [7:0] min,

output [7:0] sec,

output tweet

);

wire co\_sec1,co\_sec,co\_min,co\_min1;

counter60 inst\_sec(.clk(clk), .rst\_n(rst\_n), .en(en), .dout(sec), .co(co\_sec1));

and inst\_and\_sec(co\_sec,en,co\_sec1);

counter60 inst\_min(.clk(clk), .rst\_n(rst\_n), .en(co\_sec), .dout(min), .co(co\_min1));

and inst\_and\_min(co\_min,co\_sec,co\_min1);

assign tweet = (min == 0)&&(sec == 0) ? 1 : 0; // report time signal

counter24 inst\_hour(.clk(clk), .rst\_n(rst\_n), .en(co\_min), .dout(hour));

endmodule

## 六.系统测试

## 七、课程总结

课程设计刚开始，拿着选定的题目不知如何入手。毕竟课程设计不同于实验课，电路图和程序都要自己设计。静下心来，仔细分析题目，再加上指导老师的说明与提示和同组成员的帮助，心中才有了谱。将整个系统根据不同的功能化分成模块，再分别进行设计，逐个攻破，最后再将其整合即可。

用VHDL进行设计，首先应该理解，VHDL语言是一种全方位硬件描述语言，包括系统行为级，寄存骼传输级和逻辑门级多个设计层次。应充分利用VHDL“自顶向下”的设计优点以及层次化的设计概念，层次概念对于设计复杂的数字系统是非常有用的，它使得我们可以从简单的单元入手，逐渐构成庞大而复杂的系统。实验中也出现了一些不熟练的操作问题和一些复杂程序的不能完全理解都需要我们在平时多学习，进一步的完善自己。在实习中经常会遇到一些自己可能暂时无法想明白的问题，请教同学或老师是很好的做法，节省时间也会从别人上上学到更多。在设计时和同学相互交流各自的想法也是很重要的，不同的人对问题的看法总有差异，我们可以从交流中获得不同的思路，其他人的设计一定有比你出色的地方，很好的借鉴，并在大家的商讨中选择最优方案最终一定会得到最好的设计方法。电子技术课程设计是配合电子技术基础课程与实验教学的一个非常重要的教学环节。它不但能巩固我们已所学的电子技术的理论知识，而且能提高我们的电子电路的设计水平，还能加强我们综合分析问题和解决问题的能力，进一步培养我们的实验技能和动手能力，启发我们的创新意识几创新思维.

通过这次课程设计，使我们受益颇多。了解到课程实习设计是开端，连接是关键，测试是必须。既巩固了课堂上学到的理论知识，又掌握了常用集成电路芯片的使用。在此基础上学习了数字系统设计的基本思想和方法，学会了科学地分析实际问题，通过查资料、分析资料及请教老师和同学等多种途径，独立解决问题。同时，也培养了我认真严谨的态度。

## 八、参考文献

[1]张颖。基于VHDL语言的数字钟设计[J].科技创新与应用，2017,12:80-81.

1. 黄文锋。基于74LS192的可倒计时数字钟设计--以Multisim10为例[J].湖州职业技术学院学报，2017,01:73-76.
2. 庞宇擎，李仲男。多功能数字钟的设计与实现[J].电子制作，2016,01:13+12.

[4]郑三婷，白燕燕，胡晓霞。浅谈数字电子时钟的设计及应用[J].电子制作，2015,05:90-91.

[5]王冉。数字钟的设计与实现[J].新技术新工艺，2015,02:49-53.

[6]龚敬杰。数字钟集成电路应用及功能扩展解读[J].电子技术与软件工程，2015,07:150.