

# 吴文天

(+86) 18234160838    wuwentian97@qq.com  
北京市朝阳区北土城西路3号中国科学院微电子研究所



## 数字设计工程师

**简介** 博士期间，我的研究工作主要包括：**SSD 主控和 NAND Flash 控制器设计**，**基于 RISC-V 处理器的 SoC 设计**，**数字集成电路前端设计和 FPGA 设计**。目前，我对存储器相关数字电路及算法实现和 SoC 设计感兴趣，包括高性能的存储器接口控制器设计和基于 RISC-V 的 SoC 设计。

## 教育背景

- 2019 年 9 月 - 至今
- 博士在读，导师：王硕，中国科学院微电子研究所，示范性微电子学院，微电子与固体电子学，绩点 3.8/4 排名前 10%
- 2015 年 9 月 - 2019 年 6 月
- 本科，中北大学，仪器与电子学院，微电子科学与工程，绩点 4.05/5 排名 1/141，保送硕博连读

## 项目经历

- 2020 年 9 月  
2023 年 9 月

**高性能 NAND Flash ONFI NV-DDR 接口控制器研究，中科院微电子研究所，长江存储**  
以下研究来源于 国家重点研发计划 2022YFF120XXXX 和 北京市科技计划 Z20110000432XXXX  
    > 架构与前端设计：根据长江存储 3D NAND 颗粒 spec，设计了一种符合 ONFI5.0 协议支持 Plane、Die、Package、Channel 级并行的 NAND Flash 控制器架构设计，其带有依据命令类型的细粒度命令调度器，以解决传统控制器的粗粒度产生的 Flash 颗粒空闲。其支持与 PHY 通过 DFI(DDR PHY Interface) 协议通信，在 PHY 支持下可在 NV-DDR2/NV-DDR3/NV-LPDDR4 接口下工作；完成 NAND 控制器 Verilog 编写，时序优化，并通过了 Cadence Denali 的 NAND 模型功能仿真。  
    > FPGA 系统设计与验证：编写了与 ARM 交互的 AXI 命令接口，和与 DRAM 交互的数据 AXI DMA 接口。C 语言编写 NAND Flash 控制器的软件驱动，在 Zynq FPGA 上利用延迟链资源实现了测试用 PHY。完成通过 ARM 操作控制器和 PHY，配置和读写擦 NAND 颗粒的上板软硬件联合测试。在 ZCU102 FPGA 上板验证，使用 YMTC X2-9060 的 NAND 颗粒成功验证读写擦功能，NV-DDR3 模式下端口速率可达 800 MT/s，控制器核心面积约 6200 LUTs 和约 6000 Registers，功耗约 0.14 W。  
    > ASIC 系统设计与验证：编写了与 RISC-V CPU 交互的 AXI 命令接口，和数据 Cache 交互的数据 AXI DMA 接口。C 语言编写 NAND Flash 控制器的软件驱动，通过 AXI 接口完成与开源 RISC-V 处理器以及 Denali NAND 模型的软硬件联合仿真。交由后端人员对设计在 SMIC 130nm 下进行了后端实现，ONFI 端口速率可达 800MHz (1.6 GT/s, 全工艺角)，面积约 149000um<sup>2</sup>，功耗约 24.00mW。得益于提出的命令调度器，在典型工作负载下，其相较于传统控制器降低了 32.6% 的颗粒空闲时间，吞吐量提升 34.5%。  
    此外我还参与编写了用于 ASIC PHY 芯片部分调试接口的 UART 16550 收发器电路前端设计（参与 PHY 的 SMIC 130nm 流片）。  
ONFI    FPGA    DFI    PHY    AXI    Verilog    C
- 2023 年 9 月  
至今

**高性能 SSD 页面映射算法设计，中科院微电子研究所，长江存储**  
    > 项目主题：设计支持长江存储新型 AMPI(异步多平面独立访问)Flash 技术的新型 SSD 固件页面映射算法。  
    > 算法设计与验证：提出一种准静态页面映射算法，在传统静态页面映射方案基础上引入基于各个平面负载的动态映射方案，以充分利用支持 AMPI 技术的 Flash 并行性。  
    在基于支持 AMPI 技术的 SSD 仿真器上实验，相较于传统静态映射方案在支持 AMPI 技术的 SSD 上的表现，该准静态映射方案在典型负载下吞吐量提高了 7.9%。  
C++    3D NAND Flash
- 2023 年 4 月  
2023 年 6 月

**RV64I 处理器设计，中科院微电子研究所**  
    > 架构设计：根据 RISC-V SPEC 设计了一款带有 4KB 直接映射 Dcache 和 ICache 的五级流水 RV64I 处理器，包含前馈、静态分支预测器等功能，并编译 SM4 算法 C 程序成功运行验证其功能。  
    > 物理实现：对设计在 SMIC 180nm 下进行了综合，核心面积约 365000 um<sup>2</sup>(不含 Cache)，工作频率 430 MHz，功耗约 75 mW。  
RISC-V    SM4    Verilog    SystemVerilog    C

2020 年 1 月 2020 年 8 月	<p><b>基于 LDPC ECC 的 NANDcontroller 设计 , 全国大学生集成电路创新创业大赛</b></p> <ul style="list-style-type: none"> <li>竞赛题目: 设计支持 toggle mode 和 ONFI mode 的带 ECC 功能的 NAND Controller, ECC 位 80bit, 使用 AXI-Lite 总线作为配置和数据 Access。</li> <li>个人工作: 主要负责接口控制器架构设计和 AXI-Lite 接口设计, 编写多层状态机接口控制器用于控制 ECC 模块、FPGA PHY 和生成 ONFI 命令数据时序, 支持 SDR 和 NV-DDR1 Timing mode 0 下 Reset、Program、Read、Erase 操作。</li> <li>硬件实现: 完成 LDPC 编解码、接口控制器和数字 PHY 的整合和功能仿真验证, LDPC 软解码纠错能力达到 9216/8192bit 下 151bit。</li> </ul> <p>AXI FPGA LDPC Verilog Matlab</p>
2018 年 4 月 2018 年 7 月	<p><b>深度学习中的激活函数 SoftMax 的设计优化及实现 , 全国大学生集成电路创新创业大赛</b></p> <ul style="list-style-type: none"> <li>竞赛题目: 设计一款计算 SOFTMAX 函数的完整 IP, 包括 AXI 数据读入和写出, 支持定点 8bit 和 16bit 数据。</li> <li>个人工作: 基于双曲 CORDIC 算法实现 SOFTMAX 函数中核心的 e 指数计算, 利用 Matlab 对算法进行了建模、定点化。并针对传统的双曲坐标 CORDIC 算法收敛的最大弧度值较小的问题, 实现了收敛域扩展算法。在 FPGA 上进行了电路实现, 整体系统在 ZYNQ 7010 上实现 100MHz 的工作频率, 计算 Softmax 函数误差和小于 0.1%。</li> </ul> <p>AXI CORDIC Verilog Matlab</p>
2018 年 10 月 2019 年 7 月	<p><b>单片处理器中锁相环电路设计 , 中北大学</b></p> <ul style="list-style-type: none"> <li>系统设计: 使用 SMIC 130nm 工艺设计一种输出频率范围在 1.8GHz - 2.3GHz 用于单片处理器时钟控制电路的低抖动电荷泵锁相环。</li> <li>系统建模: 利用 Matlab 的 Simlink 工具箱对电荷泵锁相环结构进行了建模, 优化环路滤波器参数、电荷泵及 VCO 增益的参数设计。</li> <li>系统实现: 利用 Cadence Virutoso 实现了电路设计, 并完成版图设计与后仿。</li> </ul> <p>PLL Mixed Signal Matlab Simulink Cadence Virtuoso</p>
2018 年 1 月 2018 年 4 月	<p><b>美国能源结构预测 , 美国大学生数学建模竞赛</b></p> <ul style="list-style-type: none"> <li>竞赛题目: 收集美国历史能源使用情况数据, 对此数据进行清洗、筛选, 归纳整理能源结构。基于历史数据给出 2050 年美国能源结构预测。</li> <li>个人工作: 参与使用 Python Numpy 和 Pandas 对于给定美国能源使用数据进行清洗、选择和归类工作。使用 Matlab 实现 ARIMA 算法, 对清洗后美国能源结构历史数据使用 ARIMA 算法进行分析、预测 2050 年美国能源结构。</li> </ul> <p>Python Matlab ARIMA</p>

## 学术论文

- POFGSP : Priority-Based Out-of-Order Scheduling and Fine-Grain Status Polling for SSD Performance Improvement  
**Wentian Wu**, Qianhui Li, Tong Qu, Qi Wang, Zongliang Huo, Tianchun Ye  
Under Review to IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD).  
Memory-level parallelism Memory system design Nand flash controller
- A Quasi-Static Page-Mapping Scheme for SSD Systems  
**Wentian Wu**, Qi Wang, Zongliang Huo, Tianchun Ye  
Under submission.  
Memory-level parallelism Solid-state drive firmware design

## 奖励与荣誉

2019 年 -2023 年	中国科学院大学 A 类学业奖学金
2020 年	全国大学生集成电路创新创业大赛紫光展锐杯：华北赛区一等奖 全国总决赛三等奖
2018 年	全国大学生集成电路创新创业大赛中星微杯：西北赛区三等奖
2018 年	美国大学生数学建模竞赛（MCM）：三等奖

## 相关技能

编程技能：	掌握 Verilog, SystemVerilog, Matlab, LaTeX, Python, C/C++, Bash Shell , Makefile , Tcl , Perl 等
协议理解：	熟悉 ONFI 协议, DFI 协议, AXI 协议等
工程技能：	Cadence Virtuoso VIPCAT Xcelium, Xilinx Vivado, Synopsys DesignCompiler VCS Formality PrimeTime Verdi , Mentor Modelsim Calibre 等
英语水平：	CET-4 531 CET-6 490