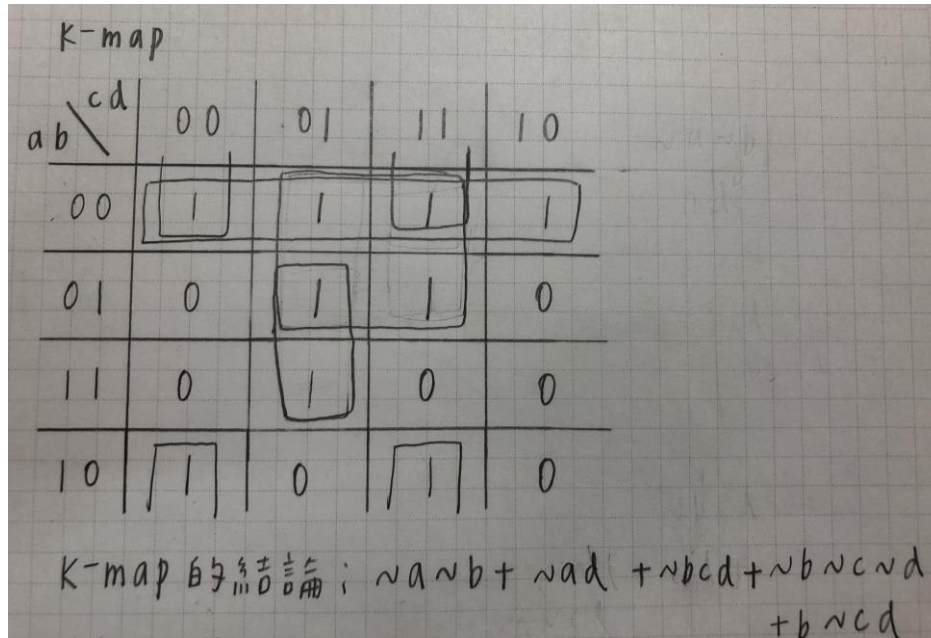


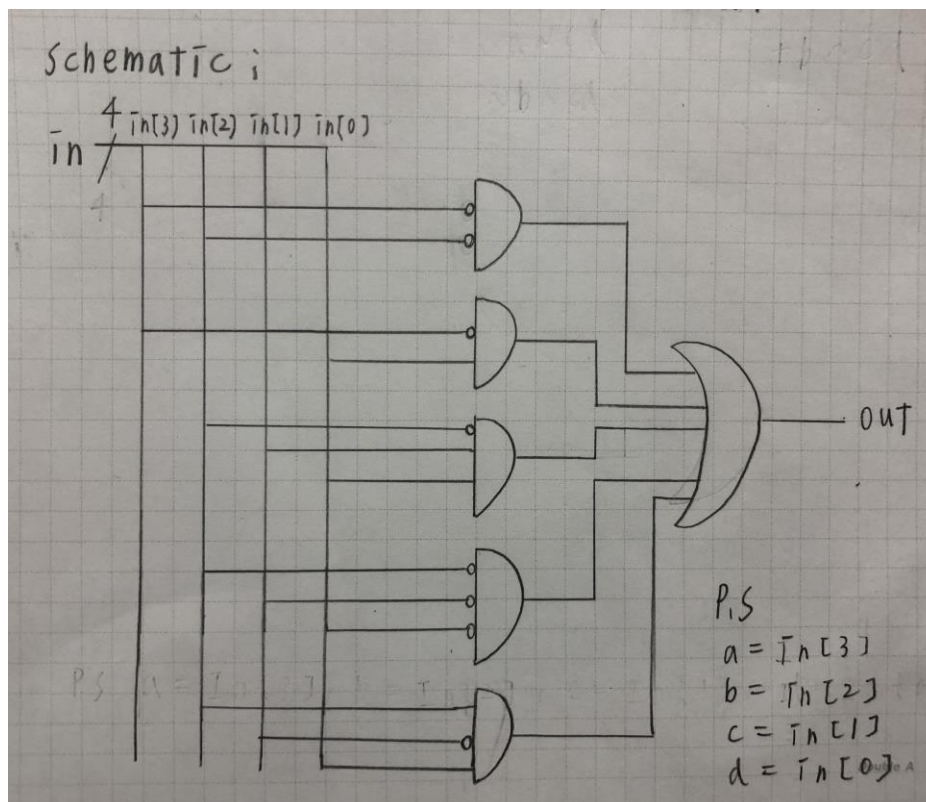
## Lab1 Fibonacci number detector

106070038\_杜葳葳

K-map:



電路設計圖:



模擬結果:

```
Loading snapshot worklib.fop_tb:v ..... Done
*Verdi3* Loading libsscore_ius141.so
*Verdi3* : Enable Parallel Dumping.
ncsim> source /usr/cad/cadence/INCISIV/cur/tools/inca/files/ncsimrc
ncsim> run
time= 5,in=0000,out_G=1,out_D=1,out_B=1
time= 10,in=0001,out_G=1,out_D=1,out_B=1
time= 15,in=0010,out_G=1,out_D=1,out_B=1
time= 20,in=0011,out_G=1,out_D=1,out_B=1
time= 25,in=0100,out_G=0,out_D=0,out_B=0
time= 30,in=0101,out_G=1,out_D=1,out_B=1
time= 35,in=0110,out_G=0,out_D=0,out_B=0
time= 40,in=0111,out_G=1,out_D=1,out_B=1
time= 45,in=1000,out_G=1,out_D=1,out_B=1
time= 50,in=1001,out_G=0,out_D=0,out_B=0
time= 55,in=1010,out_G=0,out_D=0,out_B=0
time= 60,in=1011,out_G=1,out_D=1,out_B=1
time= 65,in=1100,out_G=0,out_D=0,out_B=0
time= 70,in=1101,out_G=1,out_D=1,out_B=1
time= 75,in=1110,out_G=0,out_D=0,out_B=0
time= 80,in=1111,out_G=0,out_D=0,out_B=0
Congratulations!!
Simulation complete via $finish(1) at time 80 NS + 0
./fop_tb.v:21 $finish;
ncsim> exit
[dld0117@ic27 ~/lab1]$
```

Truth table:

	<b>a</b>	<b>b</b>	<b>c</b>	<b>d</b>	<b>y</b>
<b>0</b>	0	0	0	0	1
<b>1</b>	0	0	0	1	1
<b>2</b>	0	0	1	0	1
<b>3</b>	0	0	1	1	1
<b>4</b>	0	1	0	0	0
<b>5</b>	0	1	0	1	1
<b>6</b>	0	1	1	0	0
<b>7</b>	0	1	1	1	1
<b>8</b>	1	0	0	0	1
<b>9</b>	1	0	0	1	0
<b>10</b>	1	0	1	0	0
<b>11</b>	1	0	1	1	1
<b>12</b>	1	1	0	0	0
<b>13</b>	1	1	0	1	1
<b>14</b>	1	1	1	0	0
<b>15</b>	1	1	1	1	0

問題討論:

一開始畫 K-map 的時候忘記 implicant 的大小要是 2 的指數次方，程式一直出現 error，原本以為是語法有錯，花費超多時間 debug 還是找不到錯，後來就去請教同學，才發現是 implicant 圈錯。雖然多花了很多時間，但在 debug 的過程中，我也上網查了一些語法的使用，雖然有些地方仍不太懂怎麼使用，但至少有了比較了解整個 Verilog 的架構了

Verilog 的語法和上學期程式設計所學的 C 語言有許多差異，一開始超級不習慣，每個指令都要上網查，還會不小心打成 C 的語法，希望透過之後的 lab，能對 Verilog 越來越熟悉。

在工作站上編輯程式碼時，有時輸入:wq 會無法跳出檔案，要輸入:wq!才可以，想請問助教是什麼原因?謝謝！