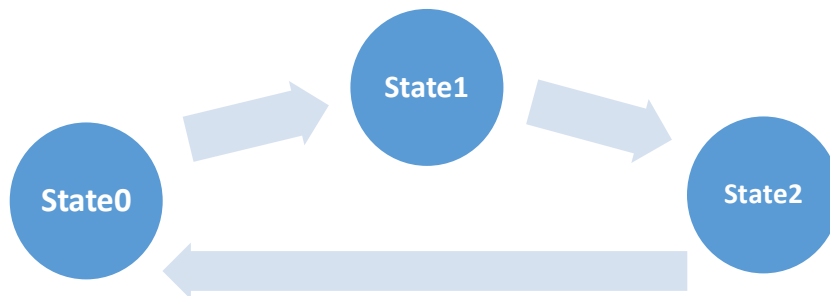


一、State Transition

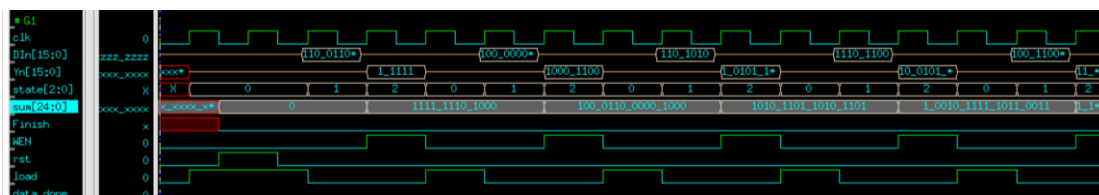


State0：Load=1，讀入 DIn，用 extension。

State1：將原始訊號與修改過的訊號取權重，用 arithmetic shift 做運算。

State2：把 Yn 輸出。s5 是現在讀入的值，s4 是前一個，s3 是前前一個...以此類推，把 s 的值往後推一格(s5 放到 s4...)

二、nWave



三、check

```
[dld0117@ic27 ~/lab5]$ python check.py 0
Congratulations
[dld0117@ic27 ~/lab5]$ python check.py 1
Congratulations
[dld0117@ic27 ~/lab5]$ python check.py 2
Congratulations
[dld0117@ic27 ~/lab5]$ python check.py 3
Congratulations
```

三、問題與討論

1. 一開始 make TEST 只跑出 24 筆，開 nWave 檢查才發現，是因為 Finish 太早拉了，應該要等到全部輸出結束再拉起來，於是我就把 Finish 要不要拉的判斷式放到 State 1。
2. 打 Verilog 要記得換一下腦袋，會一直不小心用軟體思維在打。
3. dv 的時候有出現 latch，請教同學後才知道，每個 output 在每個 state 裡都要給值，否則很容易產生 latch。
4. 每次開 dv 真的很浪費時間，可以用 display 的方式，或是用 dv&，讓它在背景跑。
5. 在 dv 的時候有出現下面截圖中的那個 warning，不知道要怎麼解決，因為像 105 行，Yn 和 sum 都是 signed，但 sum 在 extension 完就不是 signed 了。

```
105 Yn=(state=='S2')?{sum[24], sum[21:7]}:'hz;
```

Compiling source file /users/course/2018S/cs210201/dld0117/lab5/IIR.v
Warning: /users/course/2018S/cs210201/dld0117/lab5/IIR.v:105: signed to unsigned part selection occurs. ([VER-318](#))
Warning: /users/course/2018S/cs210201/dld0117/lab5/IIR.v:111: unsigned to signed assignment occurs. ([VER-318](#))
Warning: /users/course/2018S/cs210201/dld0117/lab5/IIR.v:149: signed to unsigned part selection occurs. ([VER-318](#))
Warning: /users/course/2018S/cs210201/dld0117/lab5/IIR.v:150: signed to unsigned part selection occurs. ([VER-318](#))
Warning: /users/course/2018S/cs210201/dld0117/lab5/IIR.v:151: signed to unsigned part selection occurs. ([VER-318](#))
Warning: /users/course/2018S/cs210201/dld0117/lab5/IIR.v:152: signed to unsigned part selection occurs. ([VER-318](#))
Warning: /users/course/2018S/cs210201/dld0117/lab5/IIR.v:153: signed to unsigned part selection occurs. ([VER-318](#))

6. lab3 和 lab4 都卡隱藏測資，導致 code 0 分，超難過，希望這次能順利通過！