

1.1

存储器

300	1 9 4 0
301	5 9 4 0
302	7 0 0 6
.....	
940	0 0 0 2

取指阶段	执行阶段
步骤 1 PC: 300 IR: 3005 设备 5: 3	步骤 2 PC: 301 IR: 3005 AC: 3
步骤 3 PC: 301 IR: 5940 AC: 3	步骤 3 PC: 302 IR: 5940 AC: 5
步骤 4 PC: 302 IR: 7006 AC: 5	步骤 3 PC: 303 IR: 7006 设备 6: 5

1.3

a.

$32 - 8 = 24$   
 $2^{24} \text{ Bytes} = 16MB$

b.

1) 由于局部地址总线为 32 位, 因此, 整个地址可以通过一次传输并在内存中解码。但是, 由于局部数据总线为 16 位, 需要 2 个指令周期来获取一个 32 位的指令或操作数。

2) 由于通过 16 位局部地址总线传输来的 16 位地址无法访问到整个内存空间, 因此需要两步来获得一个地址, 则需要一些更复杂的内存接口控制来锁定地址的第一部分和第二部分。例如先锁定地址的行再锁定地址的列。同样, 需要 2 个指令周期来获取一个 32 位的指令或者操作数。

c. 程序计数器需要 24 位, 指令寄存器需要 32 位。

1.5

时钟周期为  $T = \frac{1}{8MHz} = 125 \text{ ns}$

总线周期为  $T = 4 \times 125 = 500 \text{ ns}$

因此该微处理器可以支持的最大数据传送速度为每 500ns 传输 16 位, 即 4 MB/s。在第一种方案中, 内存的字长必须加倍, 以便能收发 32 位的字长, 第二种方案中, 内存芯片的速度要提高一倍, 而不能降低处理器的速度。

1.9

a. 处理器只能分配 5% 的时间给 I/O, 因此 I/O 指令的传送速度为  $10^6 \times 5\% = 5 \times 10^4$  条指令/秒, 因此 I/O 的传送速率为  $5 \times 10^4 \div 2 = 25000$  字/秒。

b. 使用 DMA 控制, 可用的机器周期数量为

$$10^6 (5\% \times 5 + 95\% \times 2) = 2.15 \times 10^6$$

若 DMA 模块可以使用所有这些周期, 并且忽略任何设置和状态检查时间, 那么该结果即最大的 I/O 传输速率。