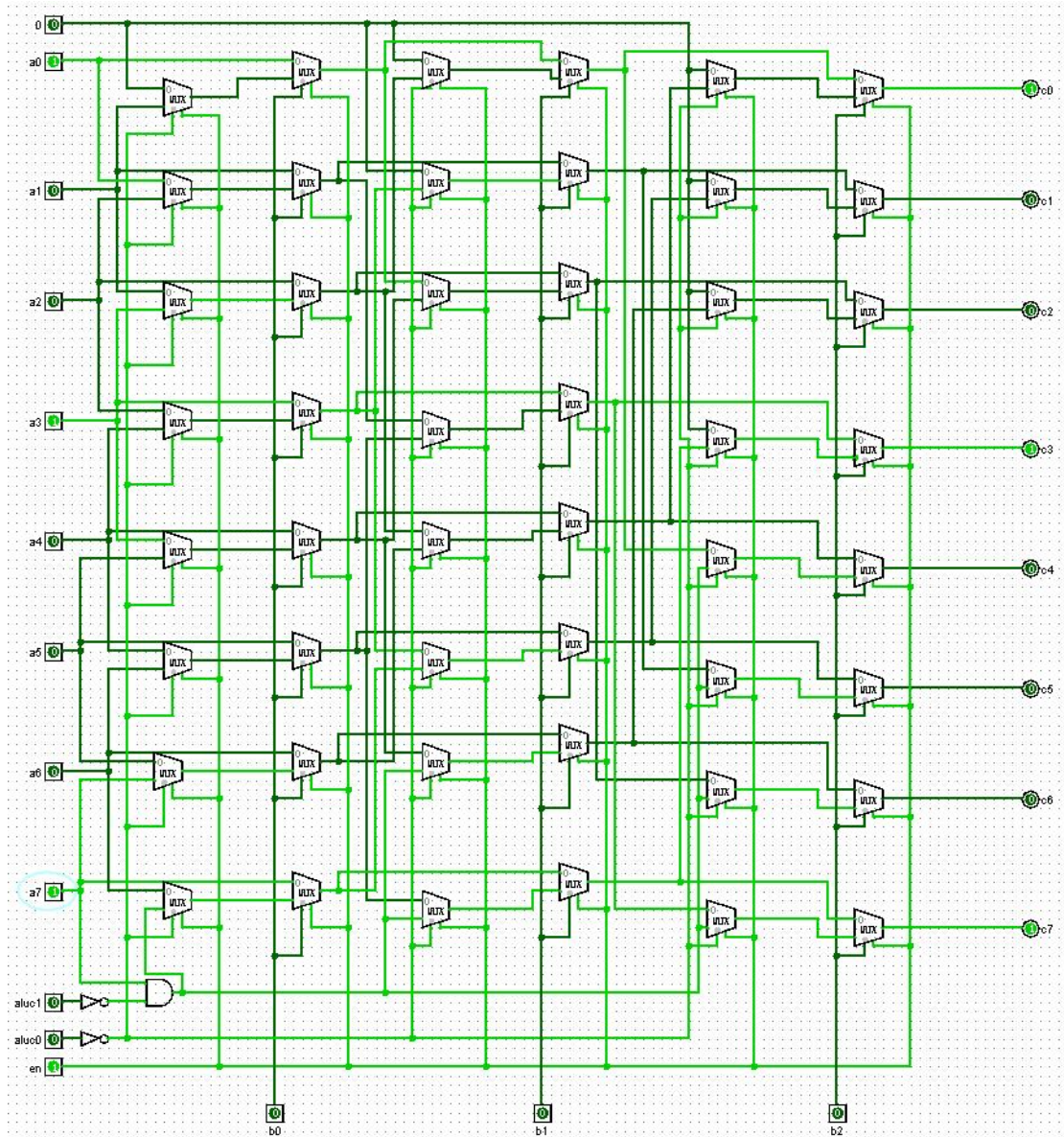


一、实验内容

在本次实验中，将使用 Verilog HDL 语言设计实现 32 位桶型移位器的设计和仿真。

二、硬件逻辑图(逻辑验证图在第五部分)



三、模块建模

```
module barrelshifter32(a,b,aluc,c);  
    input [31:0] a;  
    input [4:0] b;  
    input [1:0] aluc;  
    output reg [31:0] c;
```

```

always@(*)begin
case(aluc)
2'b00:begin
// 算术右移，先将输入数据转换为有符号数，然后进行右移
c = $signed(a) >>> b;
end
2'b01:c=a<<b; //算术左移
2'b10:c=a>>b; //逻辑右移
2'b11:c=a<<b; //逻辑左移
endcase
end
endmodule

```

功能描述：通过行为描述语言，该 module 实现了桶型移位器算术右移、算术左移、逻辑右移、逻辑左移等功能。

四、测试模块建模

```

module tb;
reg [31:0] a;
reg [4:0] b;
reg [1:0] aluc;
wire [31:0] c;

barrelshifter32 uut (
.a(a),
.b(b),
.aluc(aluc),
.c(c)
);

initial begin
// 初始化输入信号
a = 0;
b = 0;
aluc = 0;

#10; // 测试算术右移
a = 32'b1000_0000_0000_0000_0000_0000_0001;

```

```
b = 5'b01;
aluc = 2'b00;
#10;

// 测试算术左移
a = 32'b1000_0000_0000_0000_0000_0000_0001;
b = 5'b01;
aluc = 2'b01;
#10;

// 测试逻辑右移
a = 32'b1000_0000_0000_0000_0000_0000_0001;
b = 5'b01;
aluc = 2'b10;
#10;

// 测试逻辑左移
a = 32'b1000_0000_0000_0000_0000_0000_0001;
b = 5'b01;
aluc = 2'b11;
#10;

end
endmodule
```

五、实验结果

1. logisim 逻辑验证图

表 6.4.1 aluc1 和 aluc0 的值所对应的逻辑运算

MIPS 指令	aluc1	aluc0	说明
算术右移 (sra)	0	0	a 向右移动 b 位，最高位补 b 位符号位
逻辑右移 (srl)	1	0	a 向右移动 b 位，最高位补 b 位 0
算术左移 (sll)	0	1	a 向左移动 b 位，最低位补 b 位 0
逻辑左移 (sll)	1	1	a 向左移动 b 位，最低位补 b 位 0

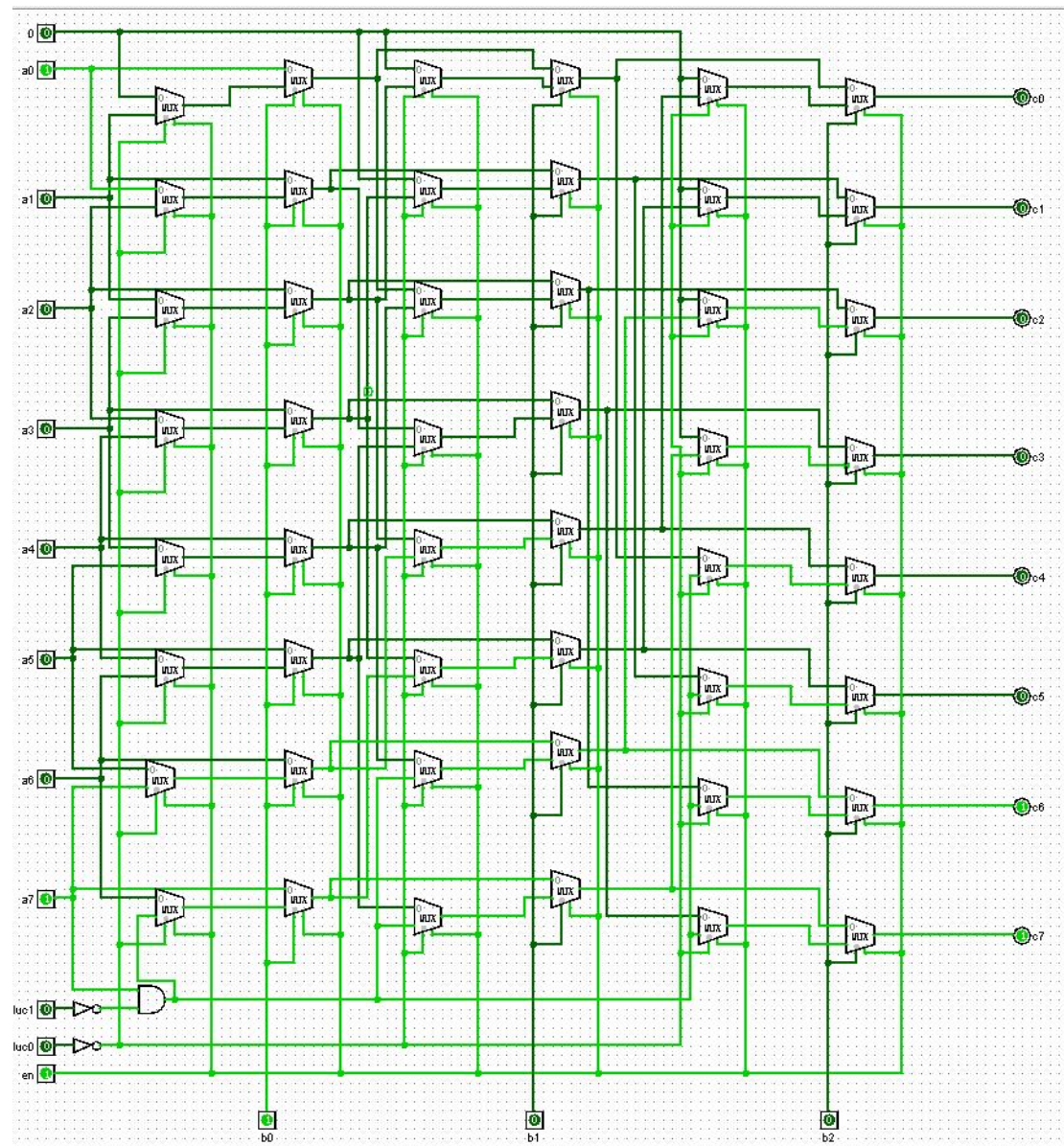
进行逻辑验证时，输入的数据为 $a[7:0]=1000\ 0001$

(1) $aluc1$: $aluc0=0\ 0$ $b2b1b0=001$

由验证图可知：输出数据是 $c[7:0]=1100\ 0000$

事实为：算术右移一位 得 $1100\ 0000$

验证正确



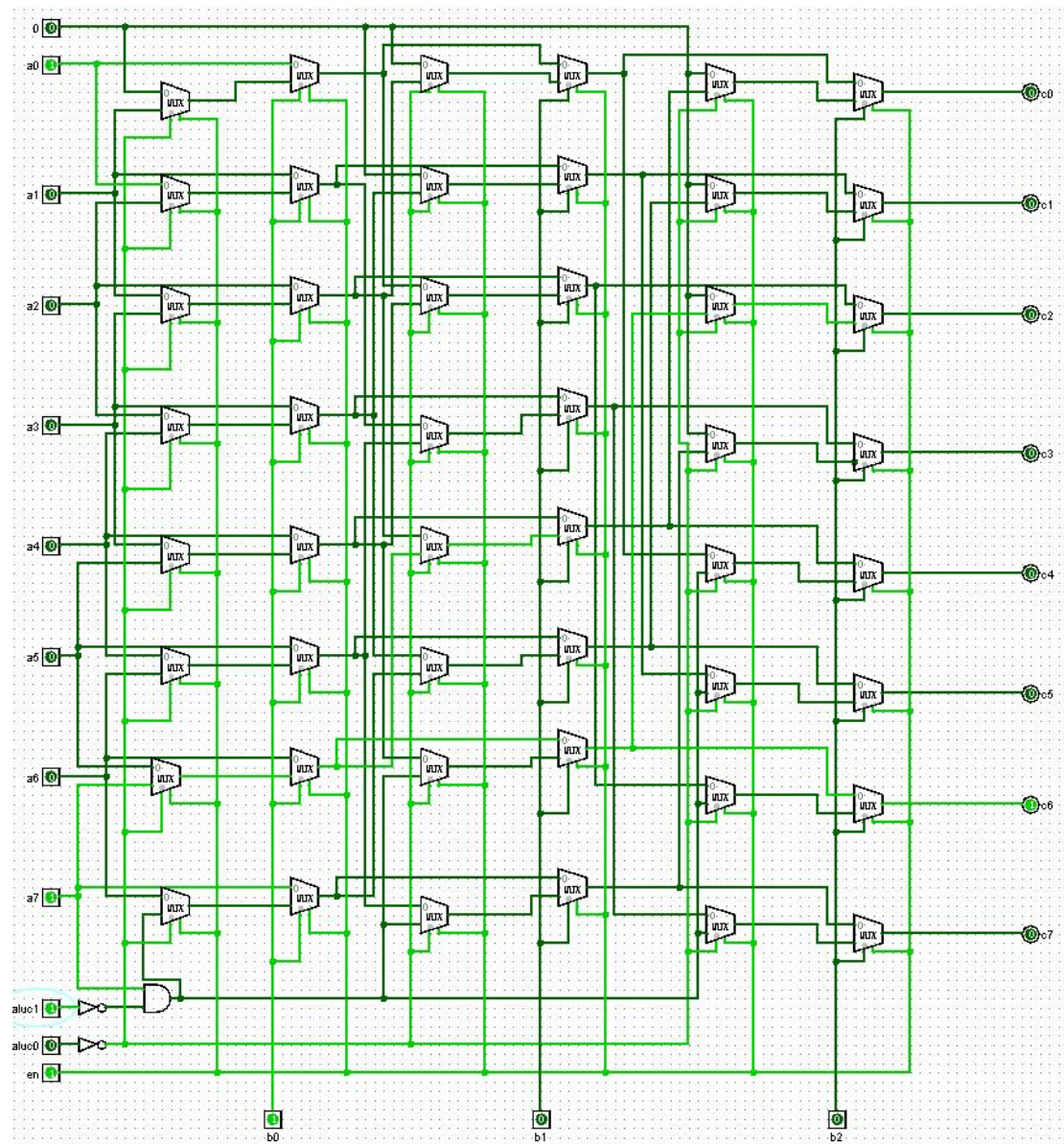
进行逻辑验证时，输入的数据为 $a[7:0]=1000\ 0001$

(2) $aluc1: aluc0=1\ 0$ $b2b1b0=001$

由验证图可知：输出数据是 $c[7:0]=0100\ 0000$

事实为：逻辑右移一位 得 $0100\ 0000$

验证正确



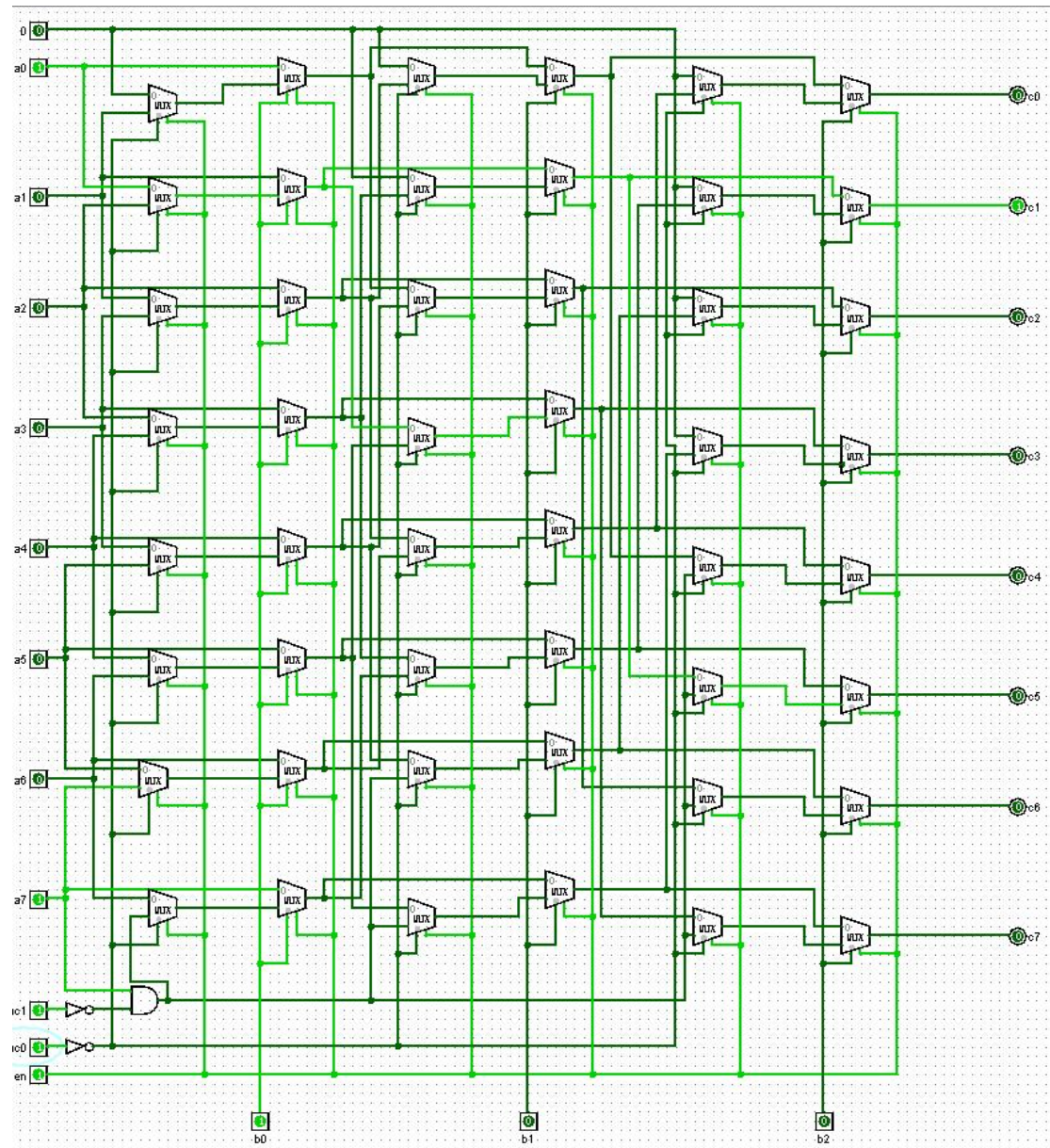
进行逻辑验证时，输入的数据为 $a[7:0]=1000\ 0001$

(3) $aluc1: aluc0=1\ 1$ $b2b1b0=001$

由验证图可知：输出数据是 $c[7:0]=0000\ 0010$

事实为：逻辑左移一位 得 $0000\ 0010$

验证正确



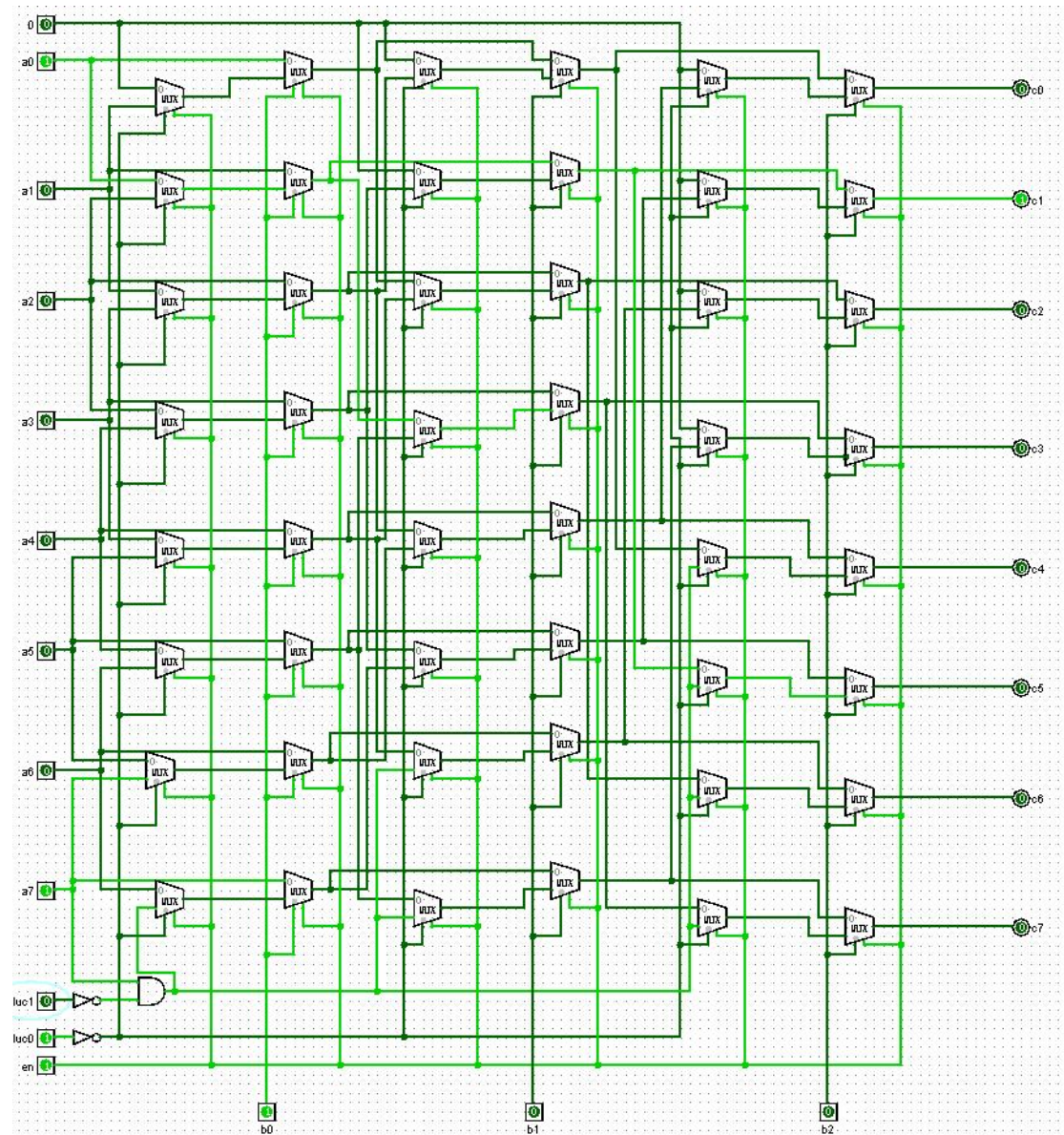
进行逻辑验证时，输入的数据为 $a[7:0]=1000\ 0001$

(4) $aluc1$: $aluc0=0\ 1$ $b2b1b0=001$

由验证图可知：输出数据是 $c[7:0]=0000\ 0010$

事实为：算术左移一位 得 $0000\ 0010$

验证正确

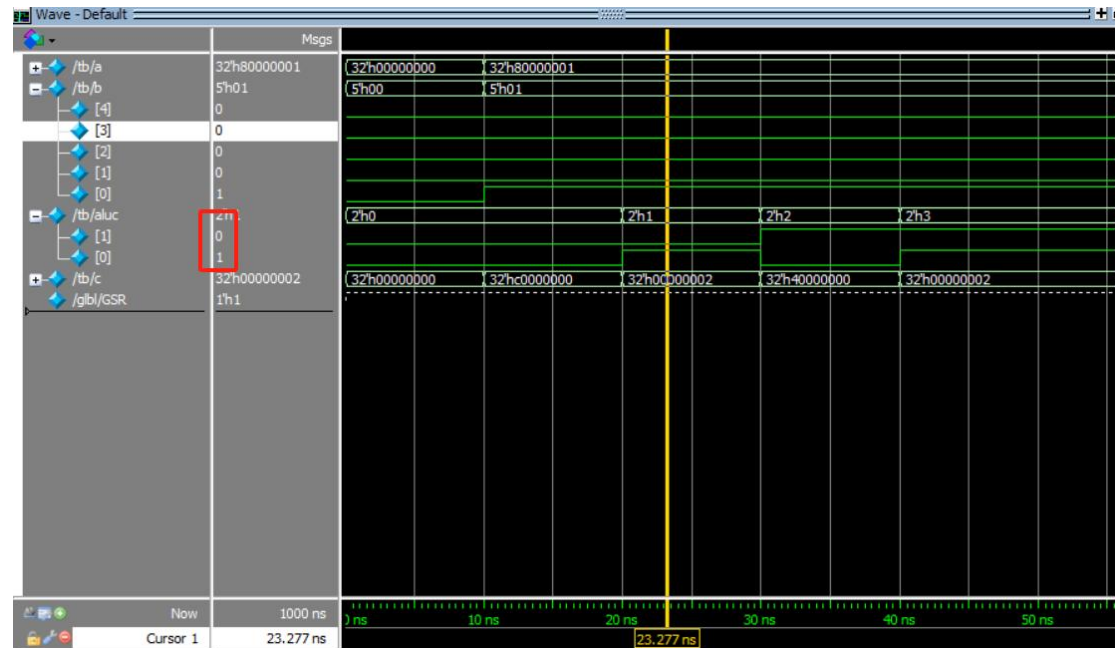


2. modelsim 仿真波形图

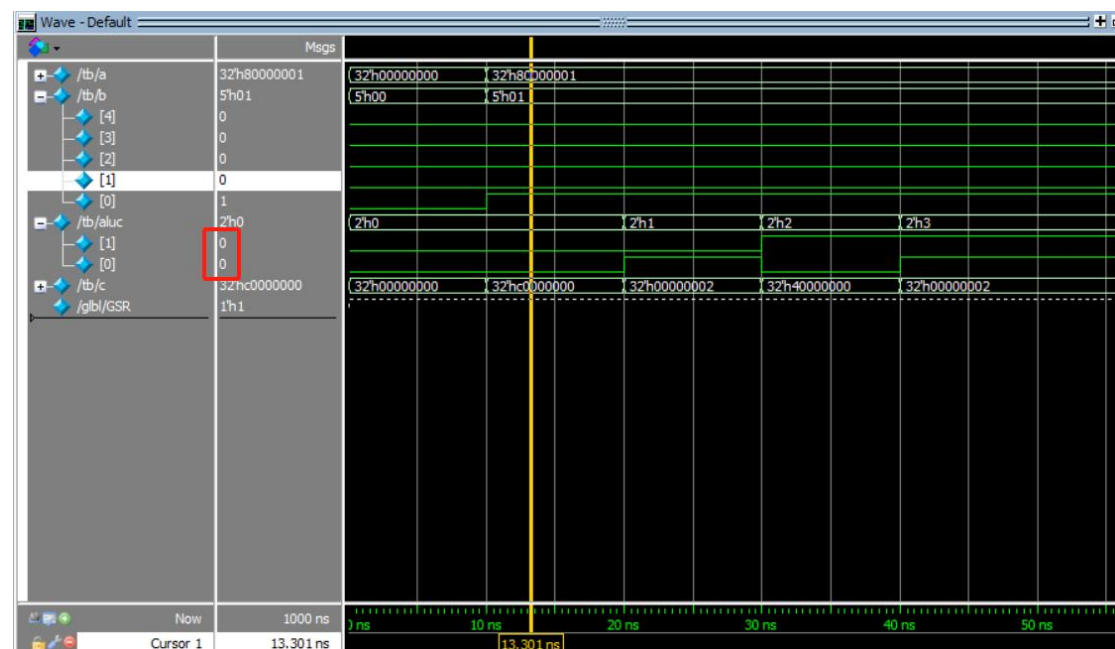
在 Modelsim 仿真波形图中，如 tb 文件中所写，输入的数据：

```
a[31:0]=32'b1000_0000_0000_0000_0000_0000_0000_0001; b[2:0]=001
```

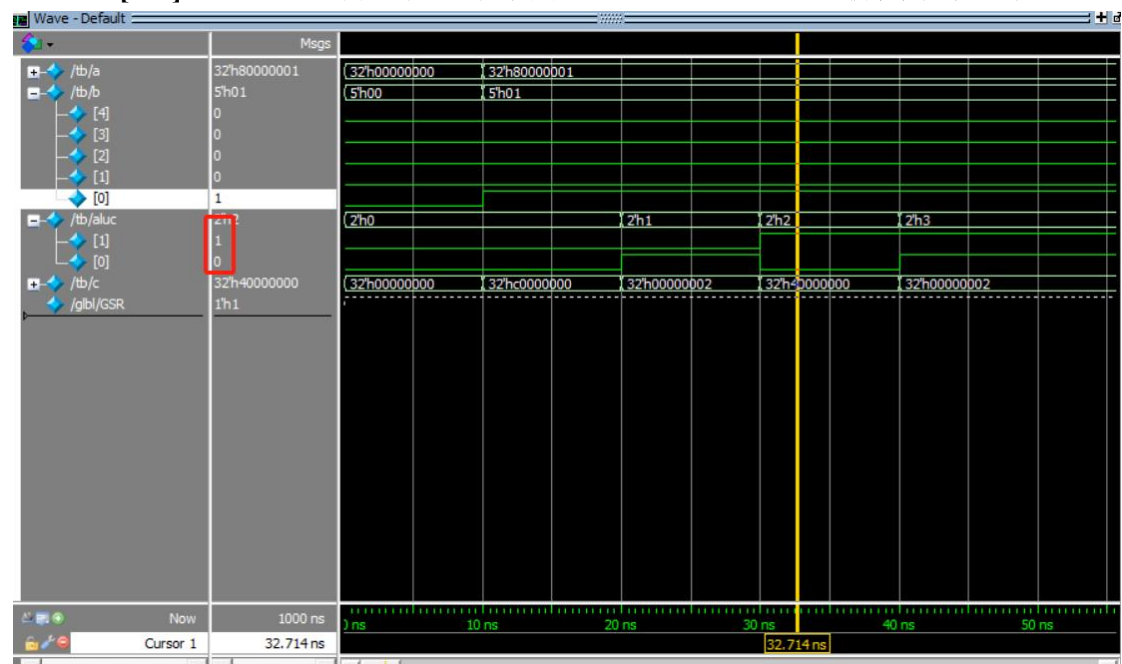
1. Aluc[1:0]=01 时，算术左移，结果为 32' h00000002，与仿真结果一致



2. Aluc[1:0]=00 时，算术右移，结果为 32' hC0000000，与仿真结果一致



3. Aluc[1:0]=10 时，逻辑右移，结果为 32' h40000000，与仿真结果一致



4. Aluc[1:0]=11 时，逻辑左移，结果为 32' h00000002，与仿真结果一致

