

第四次作业

第一题： T 触发器有一个输入 CLK 和一个输出 Q ，在 CLK 的每一个上升沿， Q 的值就变成它的前一个值的反。使用 D 触发器和反相器绘制 T 触发器的原理图。

第二题： JK 触发器接收一个时钟和两个输入 J 和 K ，在时钟的上升沿，更新输出 Q 。如果 J 和 K 都是 0， Q 保持原来的值不变；如果仅 J 是 1， Q 变成 1；如果仅 K 是 1， Q 变成 0；如果 J 和 K 都是 1， Q 变成 1，则 Q 变为它的前一个值的反。



(a) 使用 D 触发器和一些组合逻辑构造 JK 触发器

(b) 使用 JK 触发器和一些组合逻辑构造 D 触发器

(c) 使用 JK 触发器构造 T 触发器（参考第一题）

第三题：设计一个 FSM （有限状态机）来跟踪在数字设计实验室工作的四名学生的的情绪。每个学生的心情要么是 $HAPPY$ （开心，电路正常工作）， SAD （忧愁，电路烧坏）， $BUSY$ （忙碌，正在设计电路）， $CLUELESS$ （愚笨，被电路困扰）或 $ASLEEP$ （睡觉，趴在实验桌上睡着面）。 FSM 有多少种状态？表示这些状态所需的最小位数是多少？

第四题：4 位计数器 74161 的功能表如下，使用verilog描述该模块

CLK	R'_D	LD'	EP	ET	工作状态
×	0	×	×	×	清零
	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 ($C=0$)
	1	1	1	1	计数

第五题：使用 JK 触发器和门电路设计一个 5 进制加法计数器