

19302058汪奕晖数字电路第四次实验实验报告

3.4 数据选择器电路原理及应用

74LS151 是一种八选一数据选择器，它能从一组输入数据中选出某一个信号输出，也被称为多路开关。同时 74LS151 也是一种中规模集成电路器件（MSI），它本身是为实现数据选择的逻辑功能而设计的，但由于它们的输入、输出关系的一些特点，我们也可以用它来实现任意四输入变量的组合逻辑电路。

一、实验目的

- 1. 熟悉数据选择器的功能与使用方法。
- 2. 掌握用中规模集成电路（MSI）设计的组合逻辑电路的方法。

二、实验仪器及器件

- 1. 数字电路实验箱、数字万用表、示波器。
- 2. 虚拟器件：74LS00，74LS197，74LS151

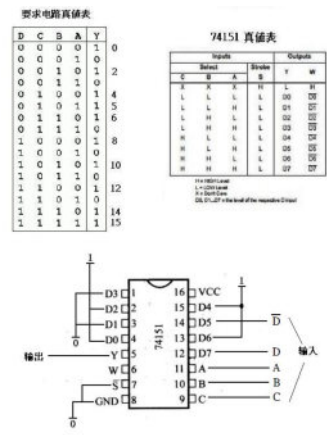
三、实验预习

- 1. 阅读实验原理，查阅芯片数据手册掌握 74LS151 工作原理、功能表及其使用方法

74LS151为互补输出的8选1数据选择器，引脚排列如图所示，功能见表。

选择控制端（地址端）为C~A，按二进制译码，从8个输入数据D0~D7中，选择一个需要的数据送到输出端Y，G为使能端，低电平有效。

- (1) 使能端G=1时，不论C~A状态如何，均无输出（Y=0，W=1），多路开关被禁止。
- (2) 使能端G=0时，多路开关正常工作，根据地址码C、B、A的状态选择D0~D7中某一个通道的数据输送到输出端Y。

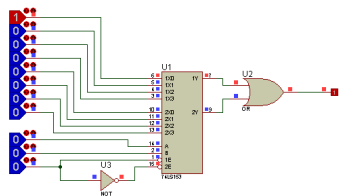


- 2. 在 Proteus 环境下，使用 74LS153（双四选一数据选择器）搭建八选一数据选择器（无需添加使能端），功能同 74LS151，并通过静态测试和动态测试，在仿真环境下验证电路功能的正确性。

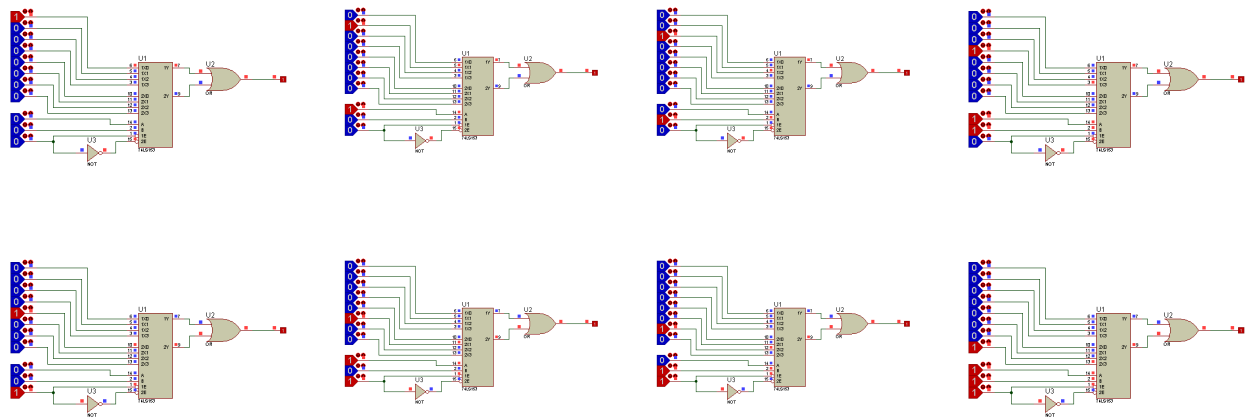
对于双四选一数据选择器，将使能端E₁与E₂作为最高位的输入即可，具体改造为最高位直接接E₁，最高位取反后接E₂，输出Y₁与Y₂接一或门作为输出。

静态测试

仿真接线如下



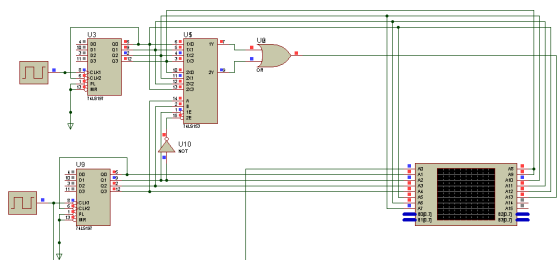
输出结果为：



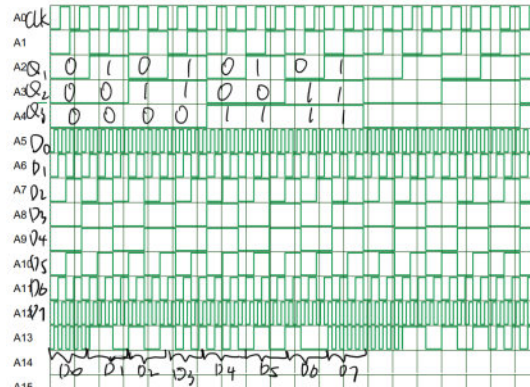
可见与74LS151的输入输出相同

动态测试：

仿真接线为：



逻辑分析仪输出为：



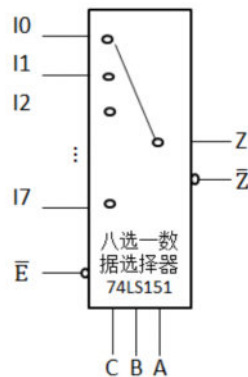
将D0-D7分别设计为输入为2kHz，1kHz，500Hz，250Hz，250Hz，500Hz，1kHz，2kHz。这样在输出中可以显示不同频率的波形以显示数据选择器的选通功能。

3. 阅读实验原理，掌握采用 74LS151（中规模集成电路）实现组合逻辑电路的方法。

四、实验原理

1. 74LS151（八选一数据选择器）

数据选择器的功能是从一组输入数据中选出某一个信号输出，因此也被称为多路开关。如下图 3-10 所示为八选一数据选择器 74LS151 的逻辑符号，其中 Z 和 \bar{Z} 为 74LS151 的输出端， \bar{Z} 是 Z 的反相输出。 \bar{E} 为 74LS151 的使能端，低电平有效，可用于控制电路工作状态和扩展功能。I0-I7、C、B、A 为 74LS151 的输入引脚，与输出引脚 Z 满足真值表所列八选一数据选择逻辑关系。



如下表 3-7 所示为八选一数据选择器 74LS151 的真值表，此时 \bar{E} 接低电平，I0-I7 接输入（数据）信号。

输入			输出
C	B	A	Z
0	0	0	I0
0	0	1	I1
0	1	0	I2
0	1	1	I3
1	0	0	I4
1	0	1	I5
1	1	0	I6
1	1	1	I7

从表中可以看出，当 \overline{E} 接低电平时，即芯片的使能端接有效选通信号时，74LS151 根据 C、B、A 输入（地址）信号，从 I0-I7 送来的 8 个输入（数据）信号中选出一个送至输出端 Z。

2. 利用 74LS151 实现组合逻辑电路的设计方法

根据 74LS151 的真值表，当 \overline{E} 接低电平时，74LS151 输出端 Z 的输出表达式如下。

$$Z = \overline{C} \overline{B} \overline{A} I_0 + \overline{C} \overline{B} A I_1 + \overline{C} B \overline{A} I_2 + \overline{C} B A I_3 + C \overline{B} \overline{A} I_4 + C \overline{B} A I_5 + C B \overline{A} I_6 + C B A I_7$$

从上式可知，如果将 C、B、A 作为三个输入变量，同时令 I0-I7 为第四个输入变量的适当状态（包括原变量、反变量、0 和 1），就可以在数据选择器的输出端 Z 产生任何形式的四变量组合逻辑电路。

以使用八选一数据选择器 74LS151 实现全减器为例，介绍利用 74LS151 实现组合逻辑电路的设计方法。

(1). 列出如下表所示全减器真值表。A 和 B 为被减数与减数， B_n 为低位向本位的借位，D 为本位差， B_{n-1} 为向高位的借位。

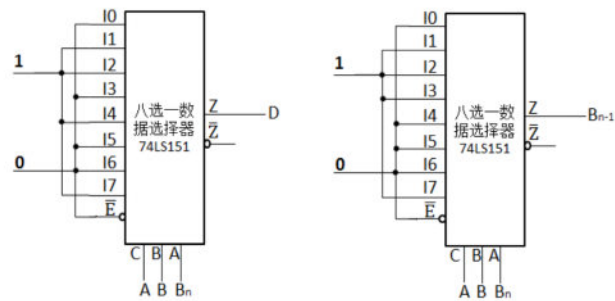
输入			输出	
A	B	B_n	D	B_{n-1}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

(2) 由上述真值表可分别得到全减器输出 D 和 B_{n-1} 关于输入 A、B、 B_n 的最小项之和表达式，并进一步将其化简为四变量与或形式的输出表达式。

$$D = \overline{A} \overline{B} \overline{B_n} 0 + \overline{A} \overline{B} B_n 1 + \overline{A} B \overline{B_n} 1 + \overline{A} B B_n 0 + A \overline{B} \overline{B_n} 1 + A \overline{B} B_n 0 + A B \overline{B_n} 0 + A B B_n 1$$

$$B_{n-1} = \overline{A} \overline{B} \overline{B_n} 0 + \overline{A} \overline{B} B_n 1 + \overline{A} B \overline{B_n} 1 + \overline{A} B B_n 1 + A \overline{B} \overline{B_n} 0 + A \overline{B} B_n 0 + A B \overline{B_n} 0 + A B B_n 1$$

(3) 令 74LS151 的输入 C、B、A 作为全减器的输入 A、B、B_n，通过对比 74LS151 的 Z 输出表达式与全减器的 D 输出表达式，可见只需将 I0-I7 中 I0、I3、I5、I6 接低电平，I1、I2、I4、I7 接高电平，即可在 74LS151 的 Z 端实现全减器的输出 D。同理可再使用一片 74LS151 实现全减器的输出 B。使用 74LS151 实现全减器的逻辑图如下图所示。



五、实验内容

1. 在数字电路实验箱上使用 74LS151 实现 AU(Arithmetic Unit，算术单元)设计。设计一个带控制端的半加半减器，输入为 S、A、B，其中 S 为功能选择口。当 S=0 时，输出 Y 为 A+B 及进位 C_n；当 S=1 时，输出 Y 为 A-B 及借位 C_n。

S	输入 1	输入 2	输出 Y	进/借位 C _n
0	A	B	A+B	进位
1	A	B	A-B	借位

提示：可分两次连线单独记录和/差结果、进/借位结果。
 在数字电路实验箱环境下，通过静态测试和动态测试，验证电路功能的正确性。动态测试时要求使用示波器数字通道观测并记录 CP（时钟）、S、A、B、Y、C_n 波形，并分析波形之间的相位关系。

2. 在数字电路实验箱上使用 74LS151 实现 LU(Logic Unit，逻辑单元)设计。设计一个函数发生器电路它的功能如下表所示。输入为 S₀、S₁、A、B，其中 S₀、S₁ 为功能选择口。当 S₀、S₁ 取 0、1 不同组合时，A、B 进行相应的与、或、非、异或运算，输出运算结果 Y。

输入		输出
S ₁	S ₀	Y
0	0	A · B
0	1	A+B
1	0	A⊕B
1	1	\overline{A}

在数字电路实验箱环境下，通过静态测试和动态测试，验证电路功能的正确性。动态测试时要求使用示波器数字通道观测并记录 CP（时钟）、S₁、S₀、A、B、Y 波形，并分析波形之间的相位关系。

六、实验设计与实验结果分析

使用 74LS151 实现 AU(Arithmetic Unit, 算术单元)设计

Arithmetic Unit的真值表如下表

S	A	B	Y	C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	0	0
1	0	1	1	1
1	1	0	1	0
1	1	1	0	0

故可得到Y与C的逻辑表达式

$$Y = \overline{S} \overline{A} B + \overline{S} A \overline{B} + S \overline{A} B + S A \overline{B}$$

$$C = \overline{S} A B + S \overline{A} B$$

化简为最小项之和的形式

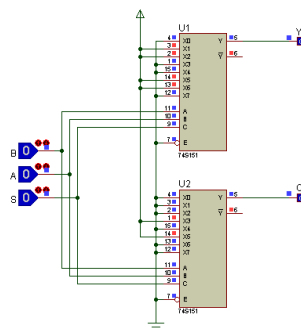
$$Y = \overline{S} \overline{A} \overline{B} 0 + \overline{S} \overline{A} B 1 + \overline{S} A \overline{B} 1 + \overline{S} A B 0 + S \overline{A} \overline{B} 1 + S \overline{A} B 1 + S A \overline{B} 1 + S A B 0$$

$$C = \overline{S} \overline{A} \overline{B} 0 + \overline{S} \overline{A} B 0 + \overline{S} A \overline{B} 0 + \overline{S} A B 1 + S \overline{A} \overline{B} 0 + S \overline{A} B 1 + S A \overline{B} 0 + S A B 0$$

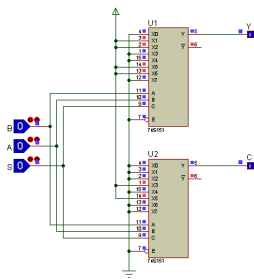
故采用两块74LS151即可设计完成。

静态测试

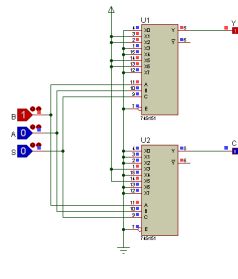
仿真接线如下



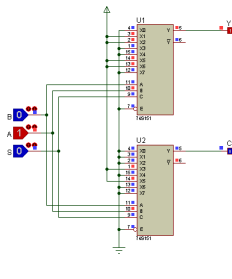
输出为



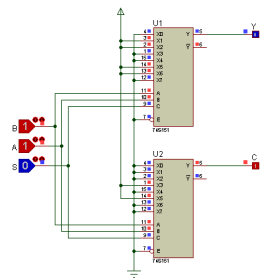
输入000,Y输出0,C输出0



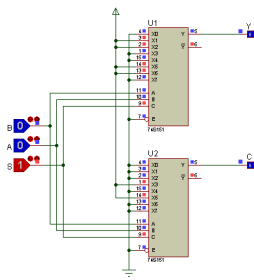
输入001,Y输出1,C输出0



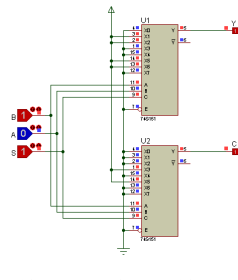
输入010,Y输出1,C输出0



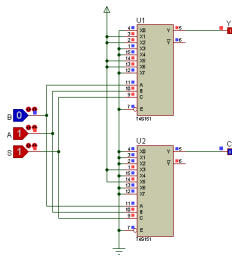
输入011,Y输出0,C输出1



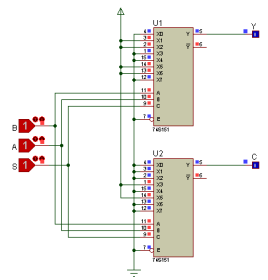
输入100,Y输出0,C输出0



输入110,Y输出1,C输出0

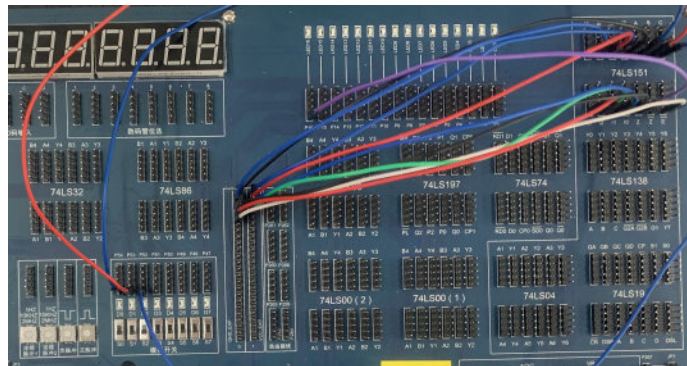


输入101,Y输出1,C输出0



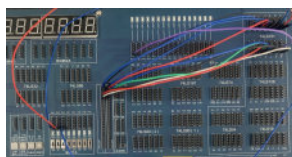
输入111,Y输出0,C输出0

由于实验箱中仅有一个74LS151，故采用分别接线的方式，先连接输出Y，再连接输出C
输出Y的接线

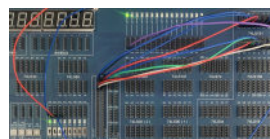


接线细节：74LS151输入端A、B、C分别接开关 S_0 、 S_1 、 S_2 作为B、A、S，使能端 \overline{E} 接低电平。 I_0 、 I_4 、 I_7 接低电平， I_1 、 I_2 、 I_3 、 I_5 、 I_6 接高电平，输出端Z接LED16

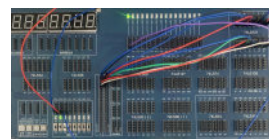
输出如下



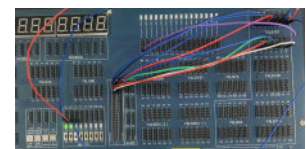
输入000，输出0



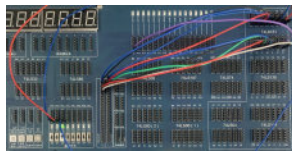
输入001，输出1



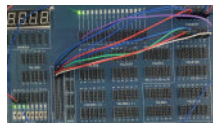
输入010，输出1



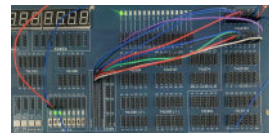
输入011，输出0



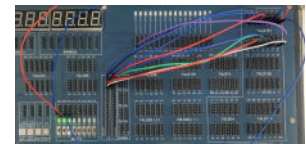
输入100，输出0



输入101，输出1

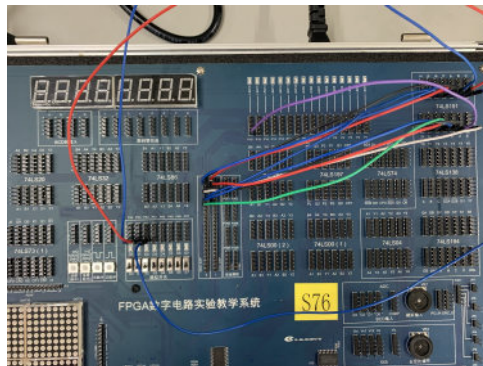


输入110，输出1



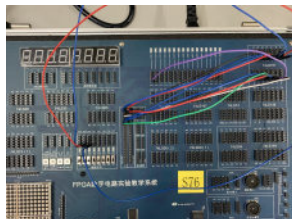
输入111，输出0

输出C的接线

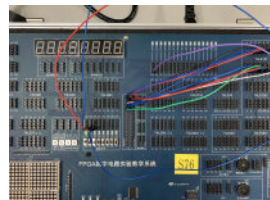


接线细节：74LS151输入端A、B、C分别接开关 S_0 、 S_1 、 S_2 作为B、A、S，使能端 \overline{E} 接低电平。 I_0 、 I_1 、 I_3 、 I_5 、 I_6 、 I_7 接低电平， I_2 、 I_4 、接高电平，输出端Z接LED16

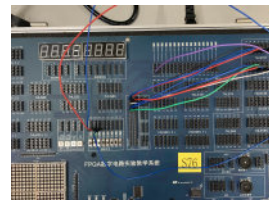
输出



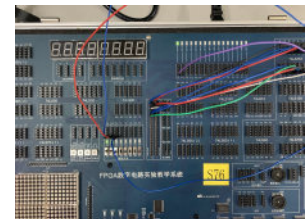
输入000，输出0



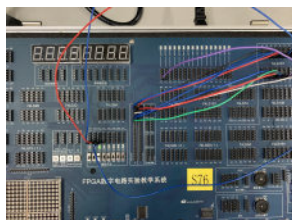
输入001，输出0



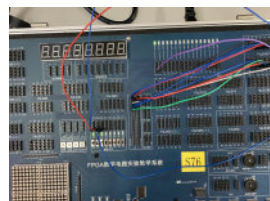
输入010，输出0



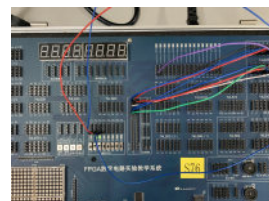
输入011，输出1



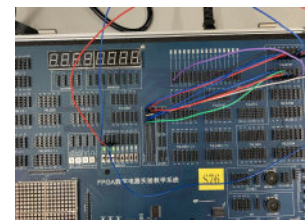
输入100，输出0



输入101，输出1



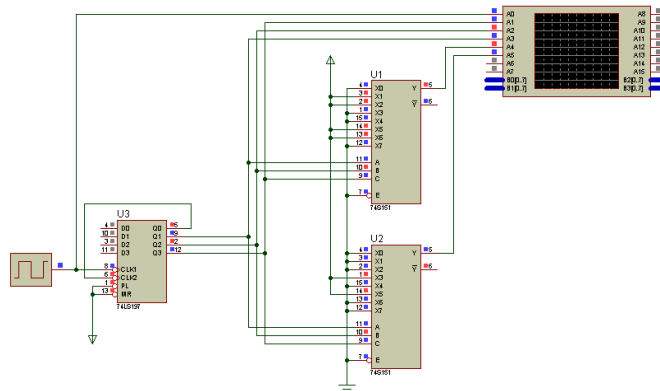
输入110，输出0



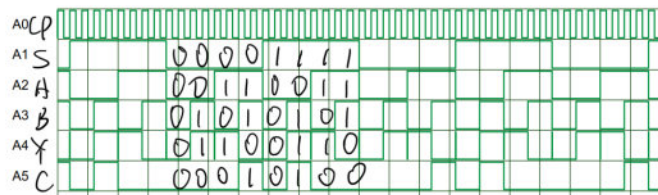
输入111，输出0

动态测试

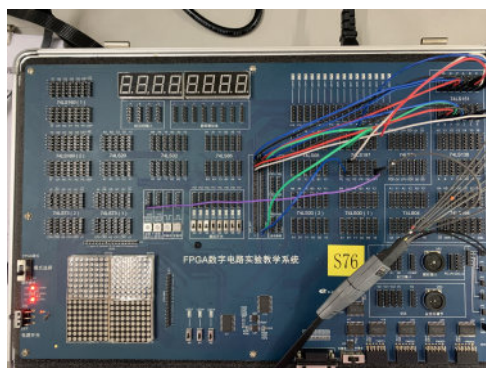
仿真接线如下，逻辑分析仪A0接CLK，A1-A3接Q3-Q1，A4接Y，A5接C



逻辑分析仪输出如下



输出Y的接线如下

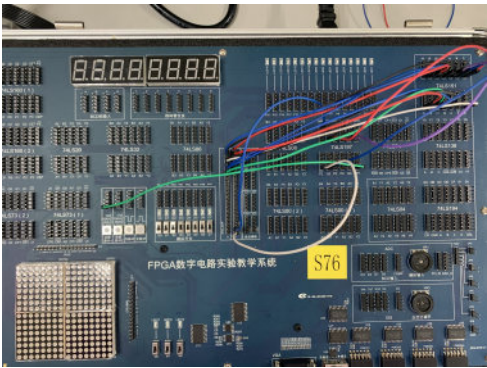


接线细节：由于输入仅有三个，故将74LS197改造成八进制计数器，74LS151输入端C、B、A分别接 Q_3 、 Q_2 、 Q_1 作为B、A、S，使能端 \bar{E} 接低电平。 I_0 、 I_4 、 I_7 接低电平， I_1 、 I_2 、 I_3 、 I_5 、 I_6 接高电平。

示波器输出如下，D0为CLK,D1为S,D2为A,D3为B,D4为Y

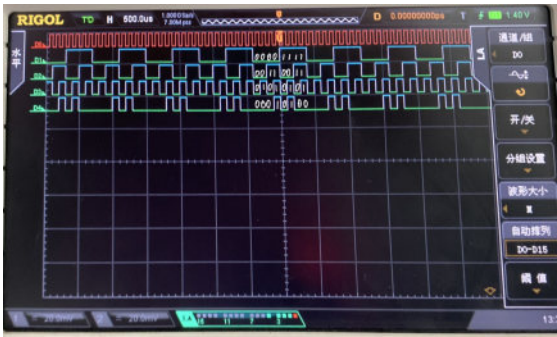


输出C的接线如下



接线细节：由于输入仅有三个，故将74LS197改造成八进制计数器，74LS151输入端C、B、A分别接 Q_3 、 Q_2 、 Q_1 作为B、A、S，使能端 \overline{E} 接低电平。 I_0 、 I_1 、 I_3 、 I_5 、 I_6 、 I_7 接低电平， I_2 、 I_4 、接高电平，输出端Z接LED16

示波器输出如下，D0为CLK,D1为S,D2为A,D3为B,D4为C



使用 74LS151 实现 LU(Logic Unit, 逻辑单元)设计

Logic Unit的真值表如下

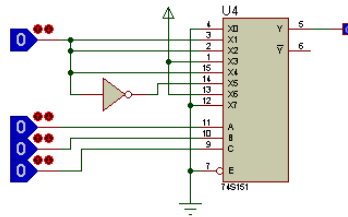
S1	S0	A	B	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

由真值表可知， S_1S_0A 取000，011，110，111时与B的输入无关，故将 S_1S_0A 作为选通输入。给出最小项表达为

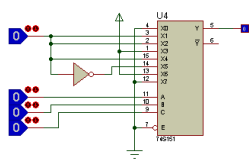
$$Y = \overline{S_1} \overline{S_0} \overline{A} 0 + \overline{S_1} \overline{S_0} A B + \overline{S_1} S_0 \overline{A} B + \overline{S_1} S_0 A 1 + S_1 \overline{S_0} \overline{A} B + S_1 \overline{S_0} A \overline{B} + S_1 S_0 \overline{A} 1 + S_1 S_0 A 0$$

静态测试

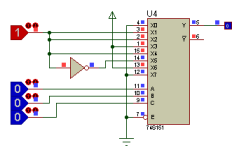
仿真接线如下



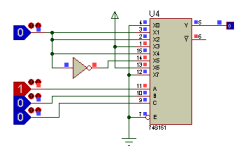
输出



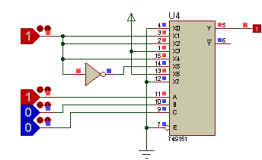
$S_1 = 0, S_0 = 0, A = 0, B = 0, Y = 0$



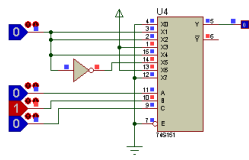
$S_1 = 0, S_0 = 0, A = 0, B = 1, Y = 0$



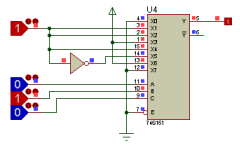
$S_1 = 0, S_0 = 0, A = 1, B = 0, Y = 1$



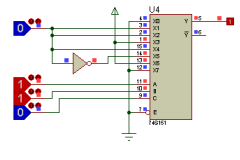
$S_1 = 0, S_0 = 0, A = 1, B = 1, Y = 1$



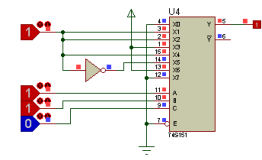
$S_1 = 0, S_0 = 1, A = 0, B = 0, Y = 0$



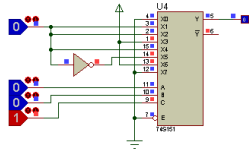
$S_1 = 0, S_0 = 1, A = 0, B = 1, Y = 1$



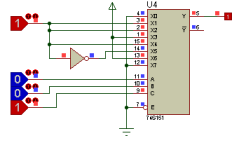
$S_1 = 0, S_0 = 1, A = 1, B = 0, Y = 1$



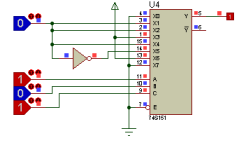
$S_1 = 0, S_0 = 1, A = 1, B = 1, Y = 1$



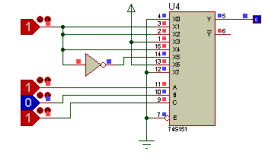
$S_1 = 1, S_0 = 0, A = 0, B = 0, Y = 0$



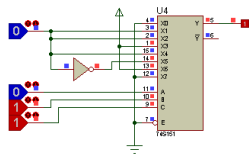
$S_1 = 1, S_0 = 0, A = 0, B = 1, Y = 1$



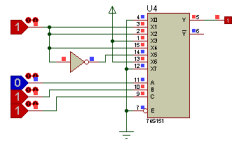
$S_1 = 1, S_0 = 0, A = 1, B = 0, Y = 1$



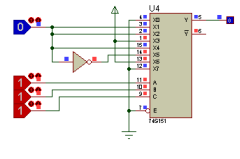
$S_1 = 0, S_0 = 1, A = 1, B = 1, Y = 0$



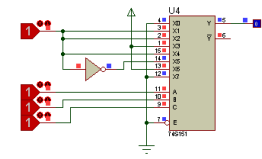
$S_1 = 1, S_0 = 1, A = 0, B = 0, Y = 1$



$S_1 = 1, S_0 = 1, A = 0, B = 1, Y = 1$

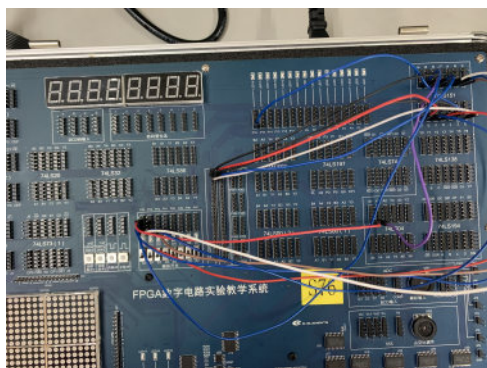


$S_1 = 1, S_0 = 1, A = 1, B = 0, Y = 0$



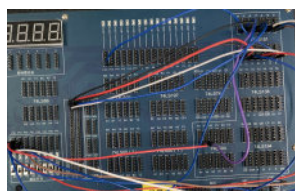
$S_1 = 1, S_0 = 1, A = 1, B = 1, Y = 0$

实验箱接线如下



接线细节：74LS151输入端A、B、C分别接开关 S_3 、 S_2 、 S_1 作为 S_1 、 S_0 、A，开关 S_0 作为输入B，使能端 \overline{E} 接低电平。 I_0 、 I_7 接低电平， I_1 、 I_4 接高电平， I_3 、 I_4 、 I_6 接开关 S_0 ， I_5 接 S_0 的反相，输出端Z接LED16

输出



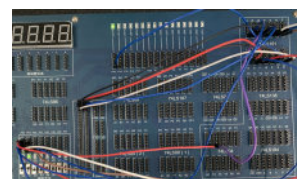
$S_1 = 0, S_0 = 0, A = 0, B = 0, Y = 0$



$S_1 = 0, S_0 = 0, A = 0, B = 1, Y = 0$



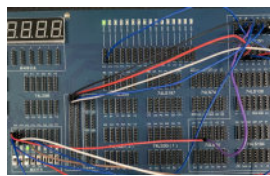
$S_1 = 0, S_0 = 0, A = 1, B = 0, Y = 1$



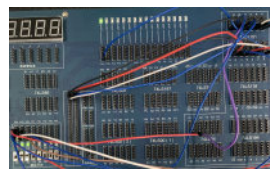
$S_1 = 0, S_0 = 0, A = 1, B = 1, Y = 1$



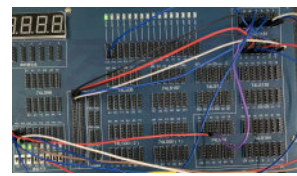
$S_1 = 0, S_0 = 1, A = 0, B = 0, Y = 0$



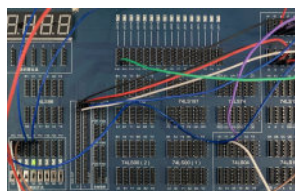
$S_1 = 0, S_0 = 1, A = 0, B = 1, Y = 1$



$S_1 = 0, S_0 = 1, A = 1, B = 0, Y = 1$



$S_1 = 0, S_0 = 1, A = 1, B = 1, Y = 1$



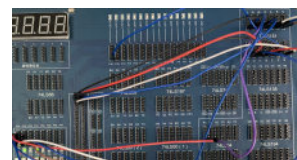
$S_1 = 1, S_0 = 0, A = 0, B = 0, Y = 0$



$S_1 = 1, S_0 = 0, A = 0, B = 1, Y = 1$



$S_1 = 1, S_0 = 0, A = 1, B = 0, Y = 1$



$S_1 = 0, S_0 = 1, A = 1, B = 1, Y = 0$



$S_1 = 1, S_0 = 1, A = 0, B = 0, Y = 1$

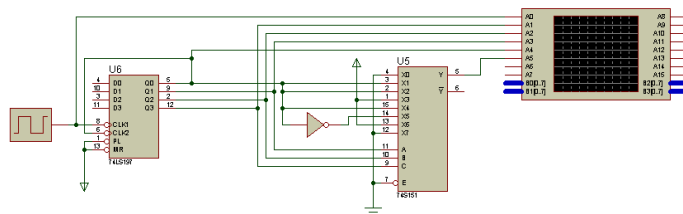
$S_1 = 1, S_0 = 1, A = 0, B = 1, Y = 1$

$S_1 = 1, S_0 = 1, A = 1, B = 0, Y = 0$

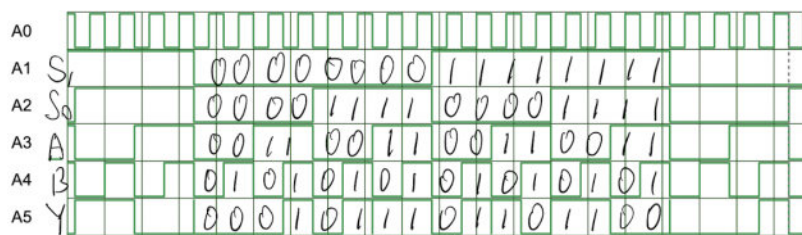
$S_1 = 1, S_0 = 1, A = 1, B = 1, Y = 0$

动态测试

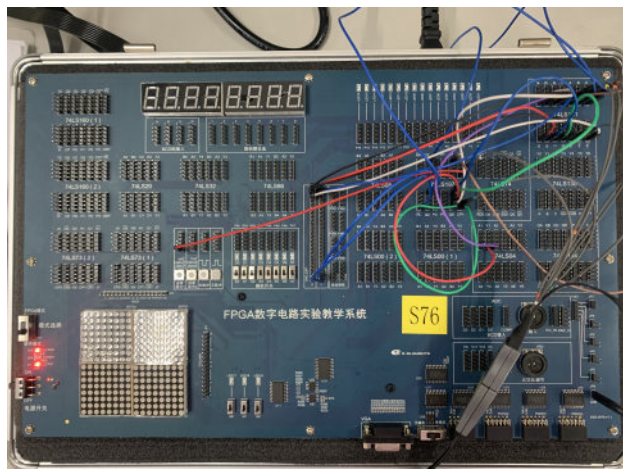
仿真接线如下



逻辑分析仪输出

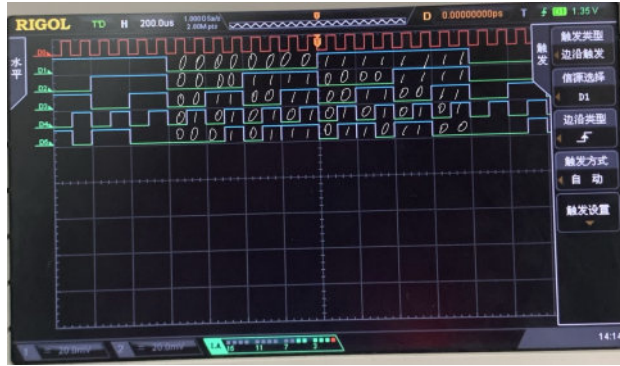


实验箱接线如下：



接线细节：首先将74LS197改造成十六进制计数器，74LS151输入端C、B、A分别接Q₃、Q₂、Q₁作为S₁、S₀、A，Q₀作为输入B，使能端 \overline{E} 接低电平。I₀、I₇接低电平，I₁、I₄接高电平，I₃、I₄、I₆接开关S₀，I₅接S₀的反相。

示波器输出，D0为CLK，D1为S₁，D2为S₀，D3为A，D4为B，D5为输出Y



七、思考与提高

1. 比较使用 74LS151、74LS138 实现组合逻辑电路和门电路实现组合逻辑电路三种方法的优缺点。

74LS151实现组合逻辑电路

优点为：用 n 位地址输入的数据选择器，可以产生任何一种输入变量数不大于 $n+1$ 的组合逻辑函数。其连线少、功耗低、可靠性高，对所有组合电路设计具有普遍适用性。

缺点为：在接线时由于多个输入要接高电平和低电平，接线失误时，可能导致检错困难。

74LS138 实现组合逻辑电路

优点为：化简过程简单直观，仅需要将真值表中输出为1的项列出即可；

缺点为：要将所有的输出写为最小项，在输入变量多时化简麻烦。

门电路实现组合逻辑电路

优点为：可以用卡诺图或布尔代数计算规律化简逻辑表达式。如果由于某些原因无法获得某些门电路，可以通过变换逻辑表达式变电路，从而能使用其他器件来代替该器件。

缺点为：化简表达式工作量较大，容易出错，由于实现一个逻辑表达式的逻辑电路是多种多样的，需要一定经验和试错取找到最合适的电路

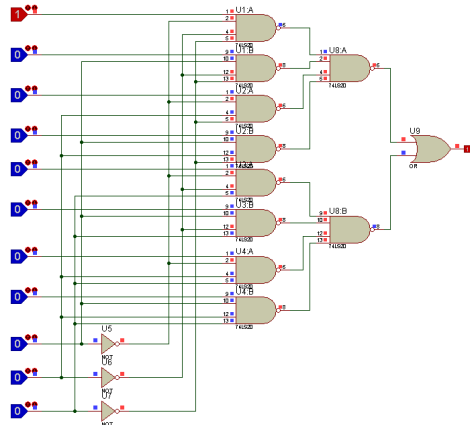
2. 在 Proteus 环境下，使用门电路搭建一个搭建八选一数据选择器（无需添加使能端），功能同 74LS151，并通过静态测试和动态测试，在仿真环境下验证电路功能的正确性。

74LS151真值表如下

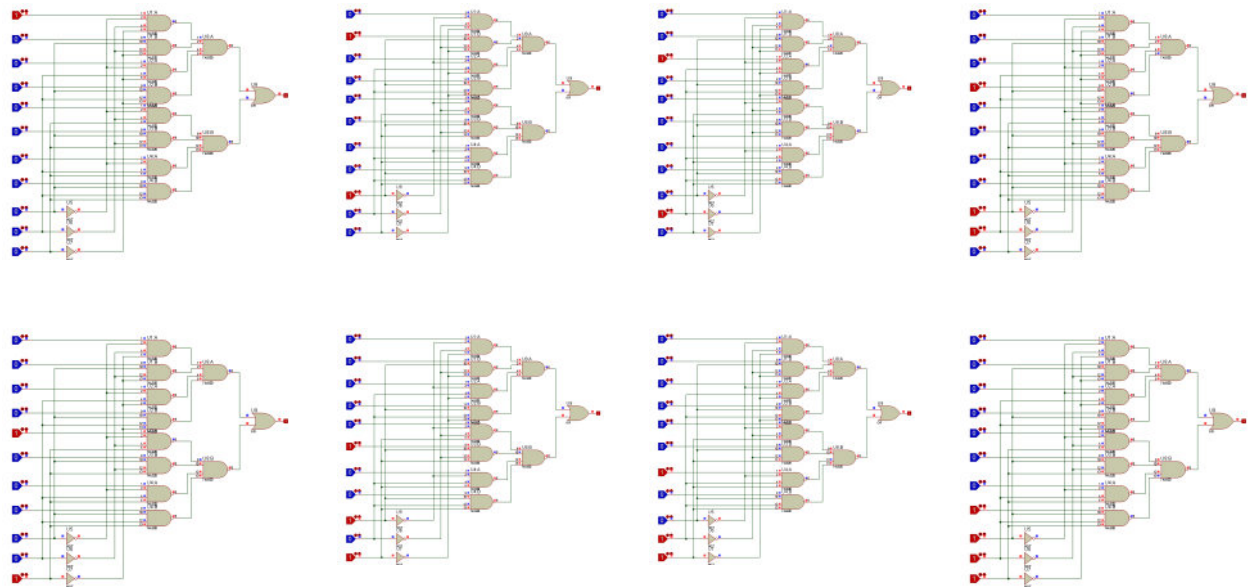
A	B	C	Y
0	0	0	D0
0	0	1	D1
0	1	0	D2
0	1	1	D3
1	0	0	D4
1	0	1	D5
1	1	0	D6
1	1	1	D7

$$Y = \overline{A} \overline{B} \overline{C} D_0 + \overline{A} \overline{B} C D_1 + \overline{A} B \overline{C} D_2 + \overline{A} B C D_3 + A \overline{B} \overline{C} D_4 + A \overline{B} C D_5 + A B \overline{C} D_6 + A B C D_7$$

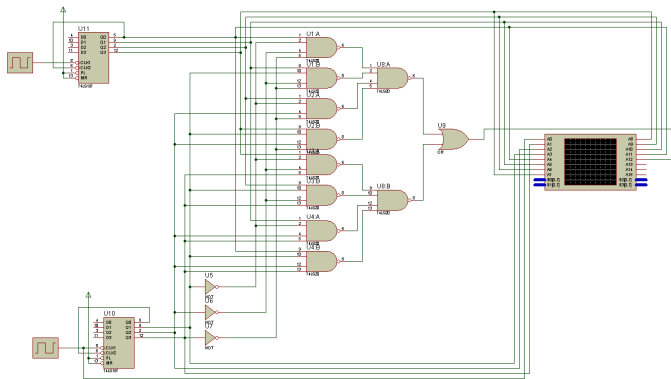
静态接线如下：从上往下依次为D0-D7已经数据选择端C,B,A



静态输出结果如下：

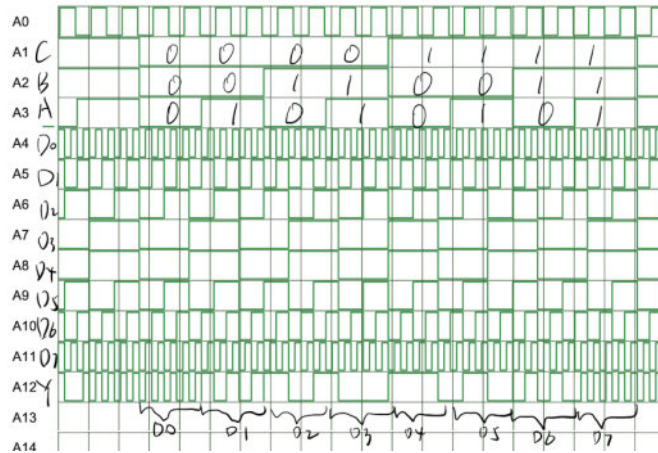


动态测试接线如下：



逻辑分析仪输出为：

9 O f ö ò ° 1 [? Û ‡ : ‡ : . ÷



将D0-D7分别设计为输入为2kHz，1kHz，500Hz，250Hz，250Hz，500Hz，1kHz，2kHz。这样在输出中可以显示不同频率的波形以显示数据选择器的选通功能。

八、实验中遇到的问题与实验所得

在实验过程中会有延迟和毛刺，其原因是逻辑门内部的异步传输，会出现极为短暂的高低电平跳变，表现为上下尖状的毛刺。在有的实验中，我们通过降低频率，从10kHz的频率降低到Hz级别，从而使时钟周期T增加，因此避免了个别延迟的突变，从而避免了一些毛刺的出现（也可通过加入非-非门，可实现延迟的抵消，最终将输出都放在同一时间线上，因此最终没有延迟产生，也没有对应的毛刺的出现）

实验过程中可能会涉及到一些芯片的选择与使用，这时候需要对数电实验箱上已有的芯片进行选择，事先了解其对应功能，例如本次就选择74LS00与非门来代替实现非门的逻辑作用。在实验中应注重一些细节和避免一些问题，使用虚拟器件时应注意其引脚位置，注意引脚位置 and 实际器件引脚位置的不同，在实际操作和仿真实验中不可盲目对号入座，应事先了解对应引脚功能，先分析后连接，规避一些错误的发生。实验室或进行虚拟仿真时经常面临元件缺少情况，例如本次虚拟仿真中用74S151代替74LS151，应通过思考充分利用元件，改善电路设计，用了更少的元件实现的电路优化，使得实验不仅可以仿真，还可以在实验室完成实验。