

# 19302058汪奕晖数字电路第一次实验实验报告

## 1.3 计算机辅助电路仿真技术

### 实验目的

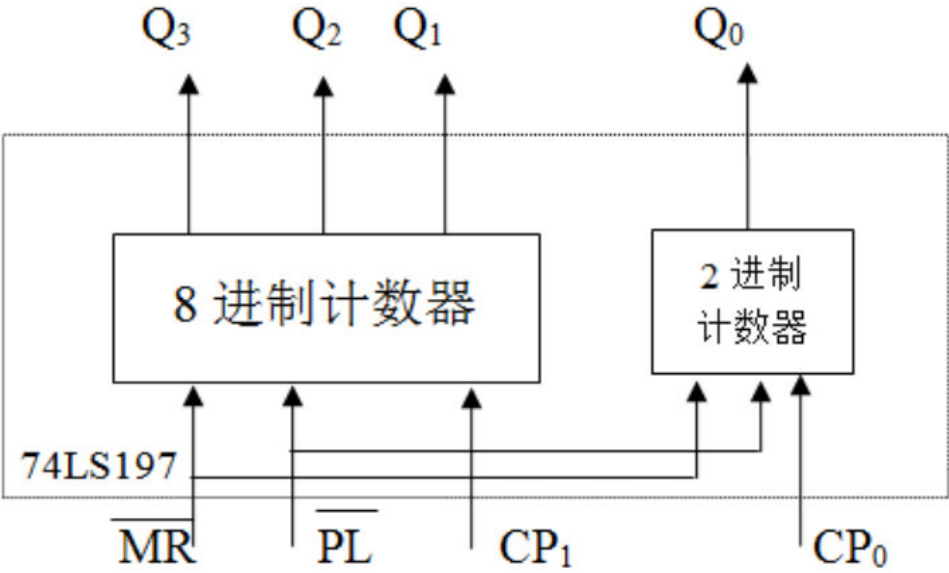
计算机仿真技术随着计算机的普及，得到越来越广泛的应用。电路仿真软件利用现代计算机的高速运算能力和海量存储，把大量的电子元器件的输入输出特性利用数学建模的方法进行模拟它们在电路中的表现，并在软件中提供大量的虚拟测试工具如虚拟示波器、电流探针、电压探针等，让工程师可以在不搭建硬件环境的情况下开展电路设计和对电路进行调试分析，是当前电子设计的主要手段。

### 实验仪器

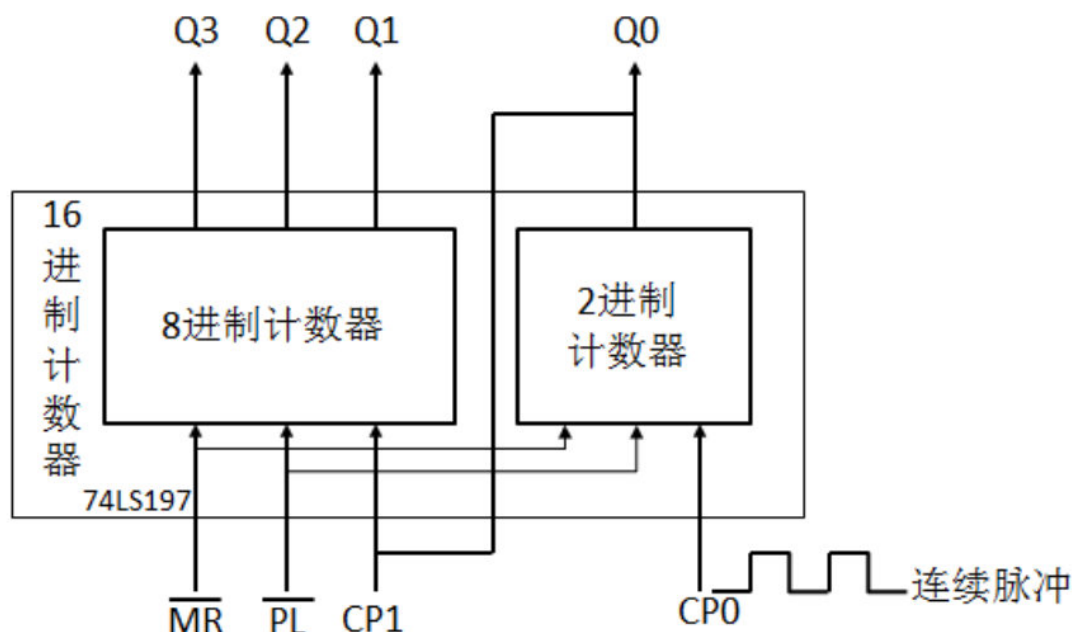
Proteus 是世界上著名的 EDA 工具，从原理图布图、代码调试到单片机与外围电路协同仿真，一键切换到 PCB 设计，真正实现了从概念到产品的完整设计。是目前世界上唯一将电路仿真软件、PCB 设计软件和虚拟模型仿真软件三合一的设计平台。Proteus VSM (virtual simulator module 意为虚拟仿真模型)，可以利用大量器件模型进行模拟、数字电路设计乃至单片机进行仿真设计。它允许对电路设计采用图形环境，在这种环境中，你可以使用一个特定符号来代替元器件，并完成不会对真实电路造成任何损害的电路仿真操作。它可以仿真仪表以及可描述在仿真过程中所获得的信号的图表。

### 实验原理

#### 1. 异步计数器 74LS197 组成与工作原理



74LS197 内部由一个八进制计数器和一个二进制计数器组成，它们可以独立工作，分别对接入 CP0 的时钟信号进行二进制计数或对接入 CP1 的时钟信号进行八进制计数。 $\overline{MR}$  和  $\overline{PL}$  两个低电平有效的控制信号是两个计数器共用的，当  $\overline{MR}$  为低电平时，输出 Q3、Q2、Q1、Q0 清零，为低电平时，把来自输入端 P3P2P1P0 电平送入 Q3、Q2、Q1、Q0。因  $\overline{MR}$  和  $\overline{PL}$  容易受到外来干扰，从而影响 Q3、Q2、Q1、Q0 的输出，因此在不需清零或置数时  $\overline{MR}$  和  $\overline{PL}$  需接高电平。



如图 所示， 74LS197可以通过将时钟信号接CP0，然后将Q0与CP1相连，组成一个十六进制计数器，对接入CP0的时钟信号进行计数。

## 2. 真值表的测量

真值表是表征逻辑事件输入和输出之间全部可能状态的表格。通常以 1（HIGH）表示真，0（LOW）表示假。将输入变量的所有取值下对应的输出值找出来，列成表格，即可得到真值表。

测量芯片真值表的操作步骤如下：

静态测试：

1. 找出芯片中具有逻辑关系的一组输入输出引脚，将 n 个输入引脚全部可能取值，按照从低到高的顺序填入表格左侧；
2. 将逻辑电平信号（LOGICSTATE）用导线接入待测芯片输入引脚；
3. Proteus 运行仿真时引脚的红\蓝点可表示芯片输出引脚的高\低电平；
4. 按照真值表输入引脚取值顺序依次改变输入引脚电平，同时将门电路输出引脚电平逻辑值记录。检查芯片的输入输出电平逻辑关系是否与待测芯片真值表一致。

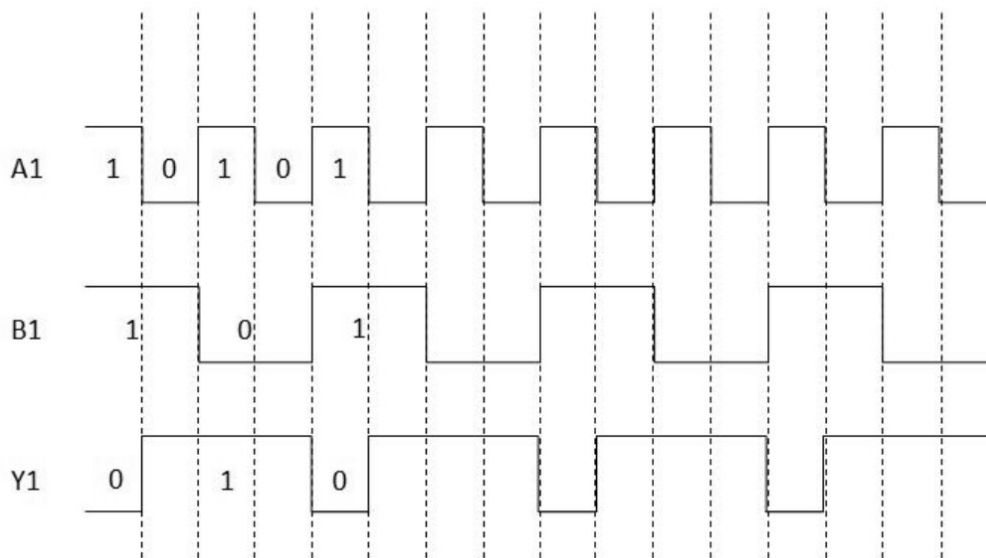
以74LS00为例，待检验真值表如下，可以看出电路的输入、输出满足与非关系。

输入		输出
A1	B1	Y1
0	0	1
0	1	1
1	0	1
1	1	0

动态测试：

1. 找出芯片中具有逻辑关系的一组输入输出引脚，将n个输入引脚接 n个连续脉冲，要求脉冲之间频率满足  $f_n = f_{n-1}/2$ ，以使输入引脚取全部可能取值；
2. 将待测芯片输入、输出引脚均接入逻辑分析仪；
3. 同时观测芯片的输入、输出波形，检查波形之间是否符合芯片逻辑关系。

以 74LS00 为例，待检验波形如下：



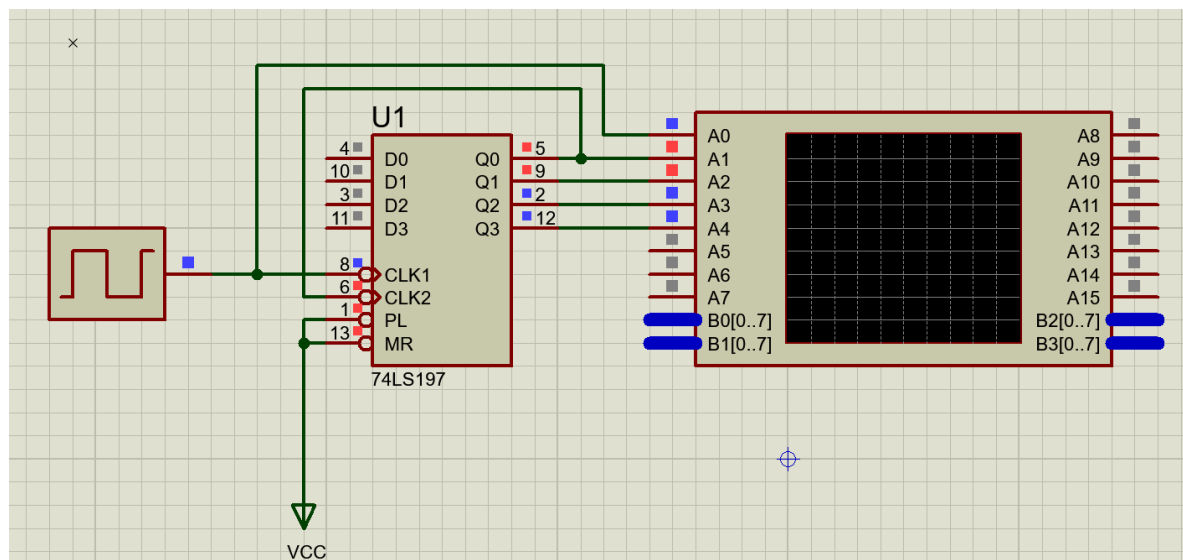
## 实验内容

1. 依据示例步骤和实验原理中关于 74LS197 组成原理简介，使用 Proteus 完成用 74LS197 构成十六进制计数器的设计，即 Proteus 环境下，74LS197 的 CLK1 与 10kHz 的 CLOCK 相连，Q0 与 CLK2 连接，将  $\overline{MR}$  和  $\overline{PL}$  接高电平，则 Q3、Q2、Q1 和 Q0 就是十六进制计数器的输出。观察并记录 CLK1、Q0、Q1、Q2 和 Q3 的波形，分析波形是否符合十六进制计数器逻辑关系。
2. 使用 Proteus 仿真软件静态测试门电路芯片（74LS00、74LS08、74LS20 和 74LS86），仿真结果与各芯片真值表对照并记录；
3. 使用 Proteus 仿真软件动态测试门电路芯片（74LS00、74LS08、74LS20 和 74LS86），并用虚拟逻辑分析仪或虚拟示波器观察门电路芯片输入、输出引脚的波形并记录，分析波形之间的逻辑关系是否正确；

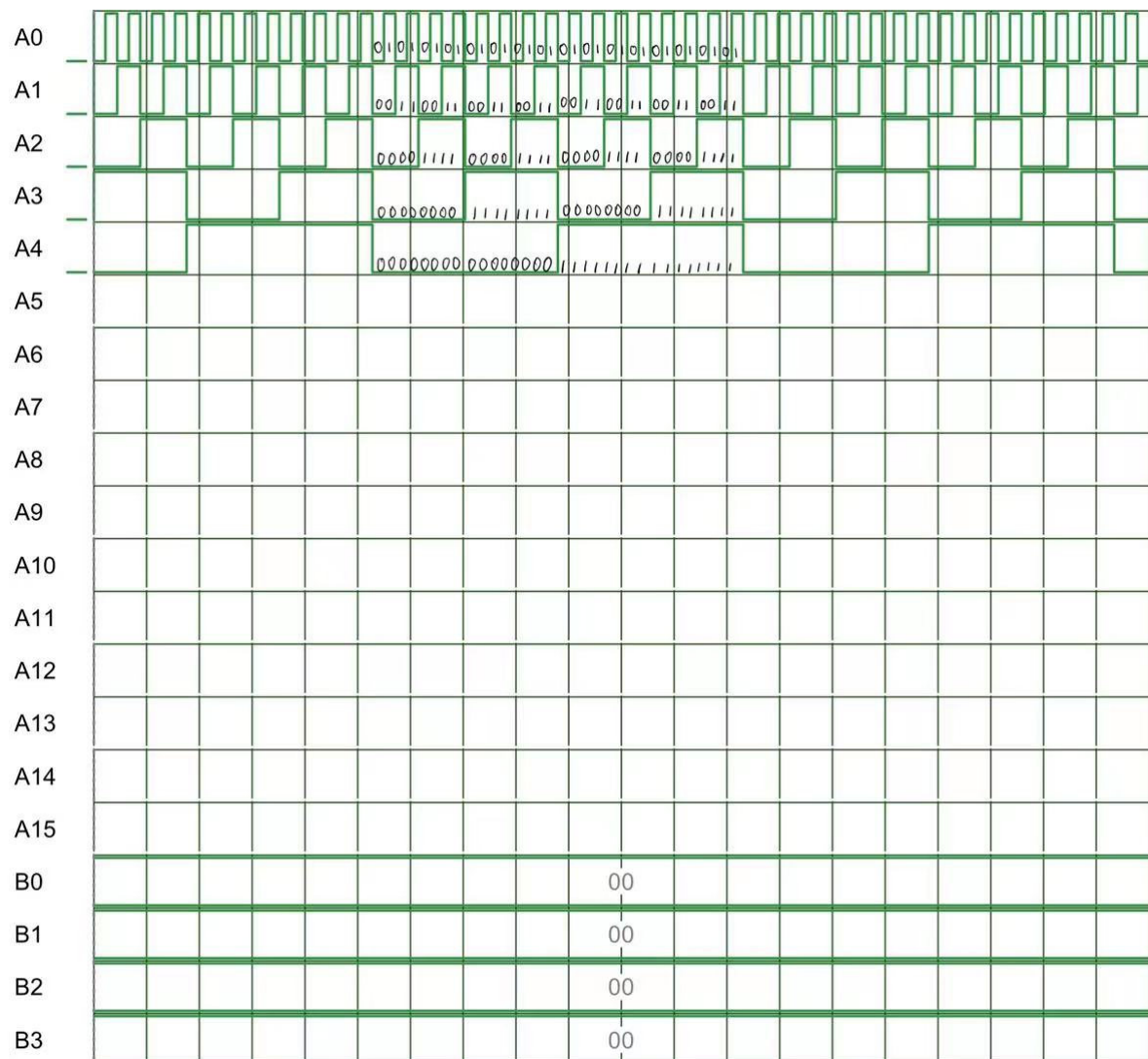
## 实验设计与实验结果分析

### 1.十六进制计数器的设计

Proteus仿真接线如下图



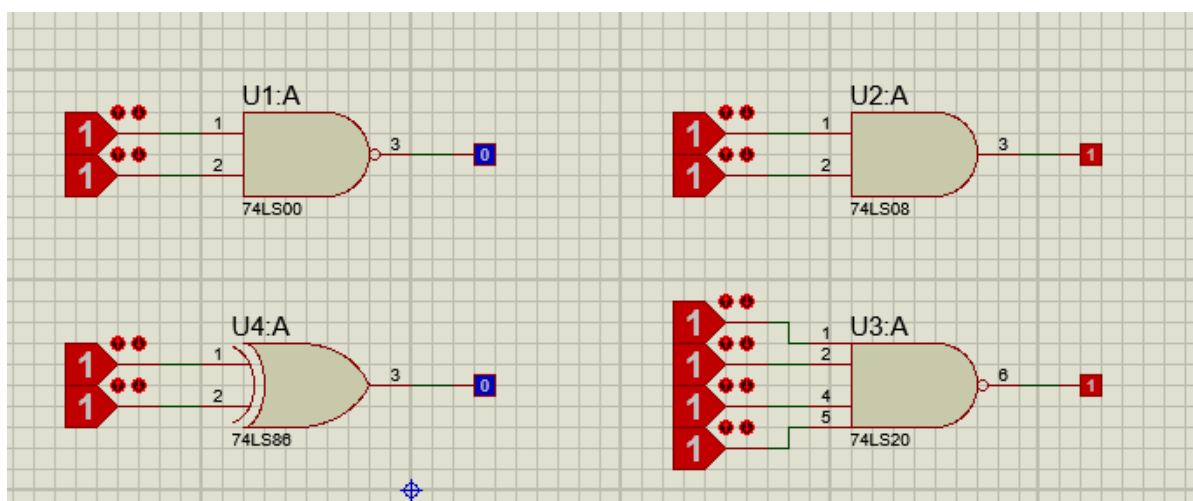
运行的逻辑分析仪如下，A0，A1，A2，A3，A4分别为CLK，Q0，Q1，Q2，Q3的输出结果



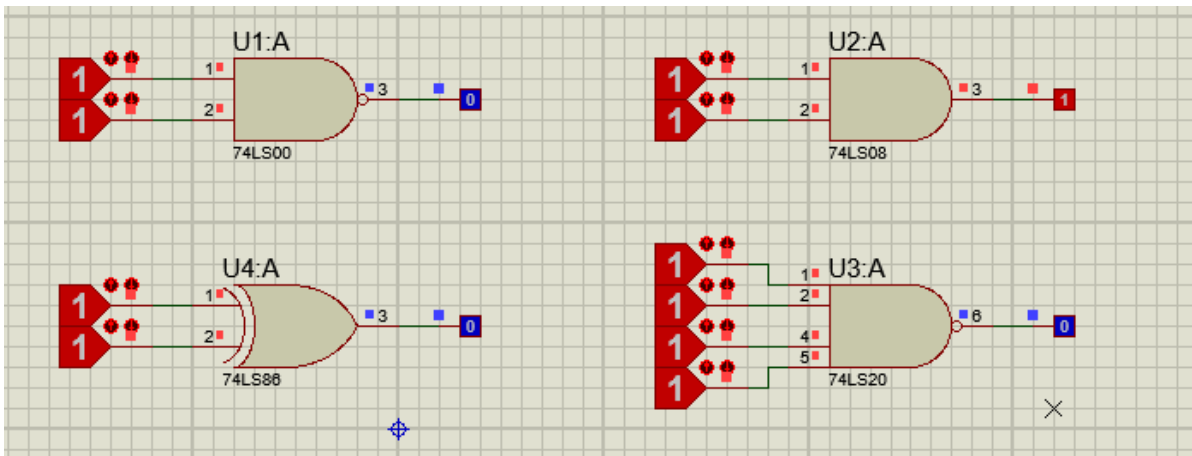
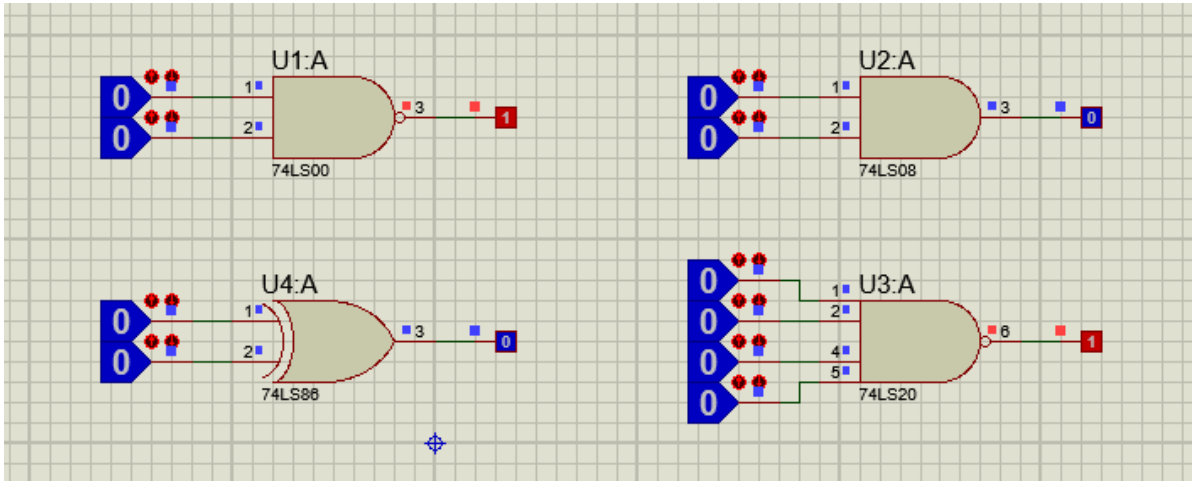
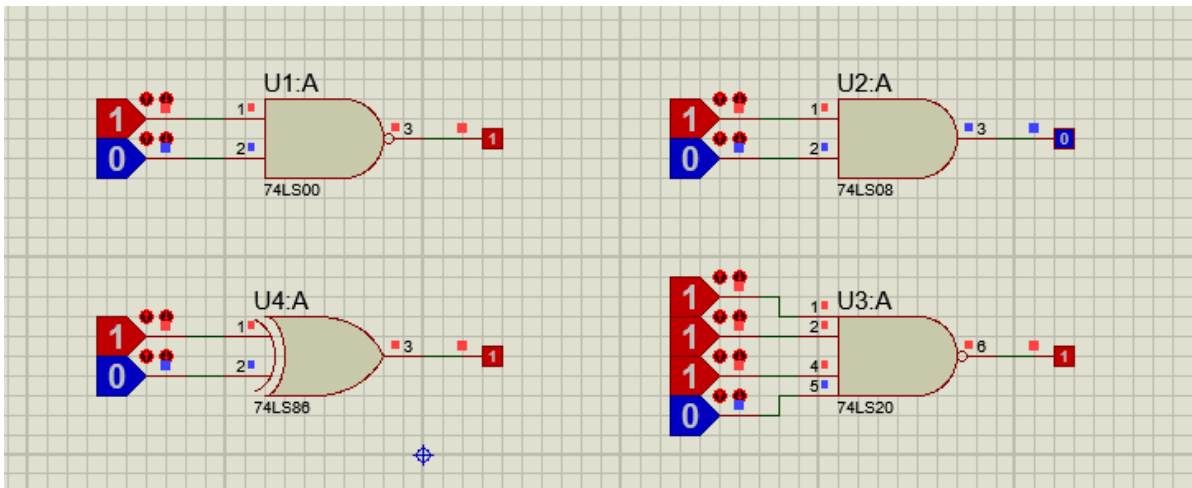
可见符合十六进制计数器的逻辑关系

## 2.静态测试门电路芯片74LS00、 74LS08、 74LS20 和74LS86

Proteus仿真接线如下图



部分仿真运行结果如下



真值表记录如下

74LS00真值表

A	B	OUTPUT
0	0	1
1	0	1
0	1	1
1	1	0

74LS08真值表

A	B	OUTPUT
0	0	0
1	0	0
0	1	0
1	1	1

74LS86真值表

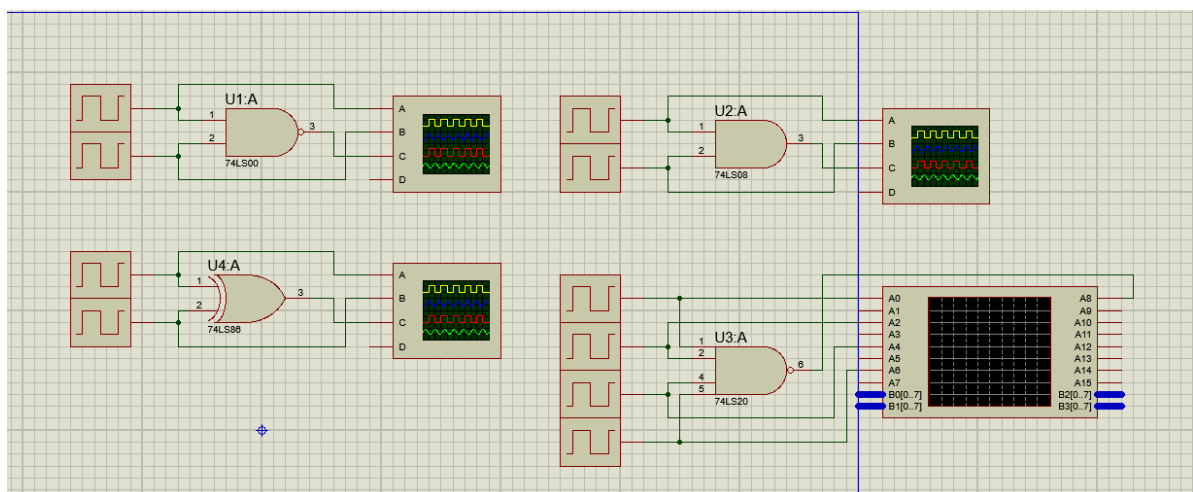
A	B	OUTPUT
0	0	0
1	0	1
0	1	1
1	1	0

74LS020真值表

A	B	C	D	OUTPUT
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

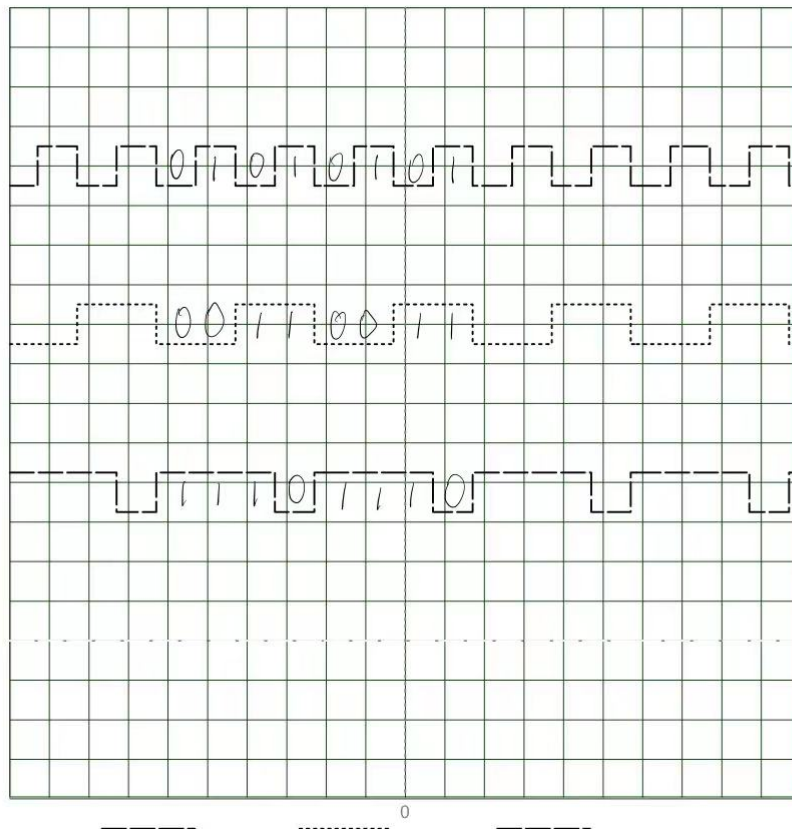
### 3..动态测试门电路芯片74LS00、 74LS08、 74LS20 和74LS86

Proteus仿真接线如下图



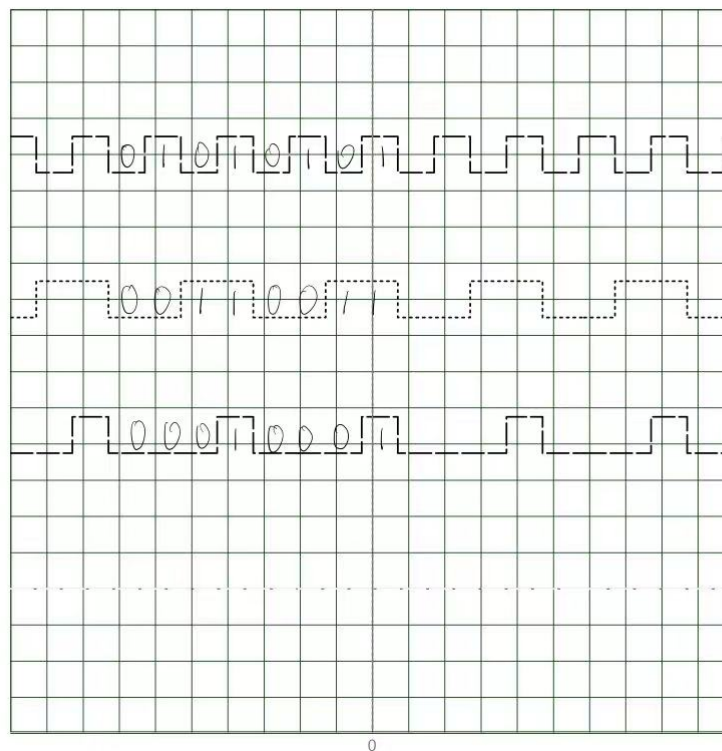
仿真运行结果如下,并打印虚拟示波器与逻辑分析仪结果如下

74LS00 A, B, C分别对应输入A, B与输出OUTPUT, A, B输出频率分别为1kHz, 500Hz



满足仿真真值表，为二输入与非门逻辑

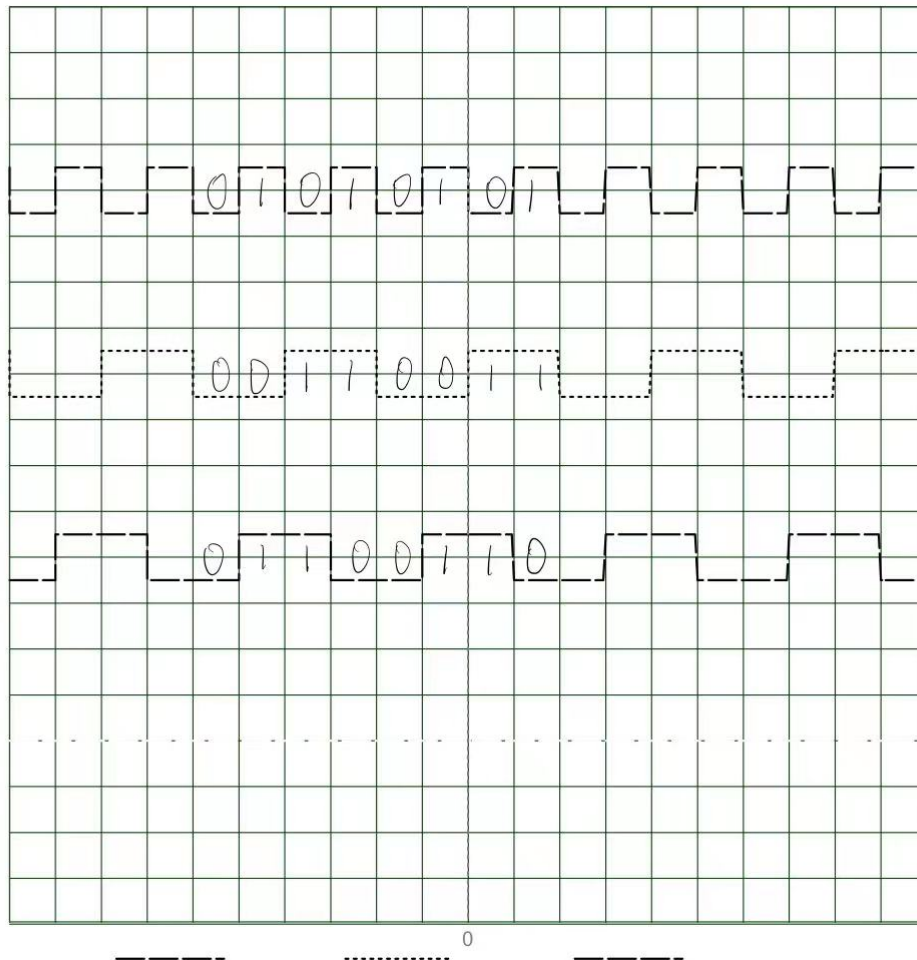
74LS08 A, B, C分别对应输入A, B与输出OUTPUT, A, B输入频率分别为1kHz, 500Hz



满足仿真真值表，为二输入与门逻辑

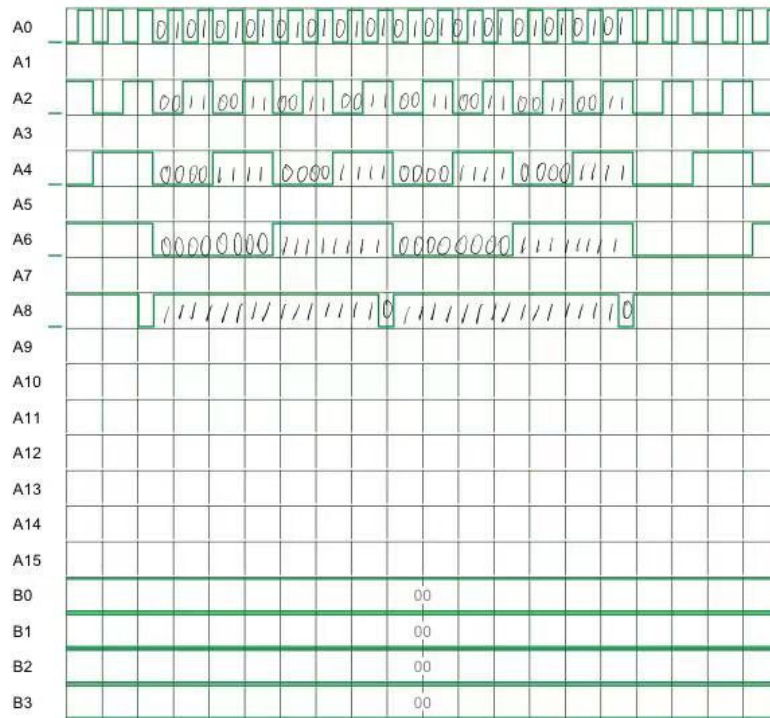


74LS86 A, B, C分别对应输入A, B与输出OUTPUT, A, B输入频率分别为1kHz, 500Hz



满足仿真真值表，为二输入异或门逻辑

74LS20 A0, A2, A4, A6, A8分别对应输入A, B, C, D与输出OUTPUT, A, B, C, D输入频率分别为 2kHz, 1kHz, 500Hz, 250Hz



满足仿真真值表，为四输入与非门逻辑

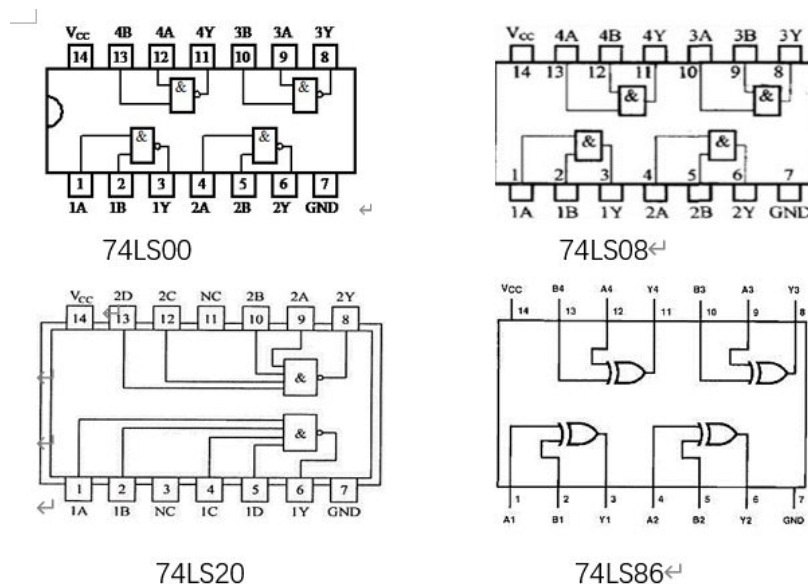
## 实验思考

### 1. 预习实验内容，了解逻辑函数的几种常用表示方法；

逻辑函数的常用表达方法有，真值表，逻辑表达式，逻辑图，波形图，卡诺图等表示方法

### 2. 网上查阅 74LS00、74LS08、74LS20、74LS86 和 74LS197 芯片参考手册，参考网址 <http://www.21ic.com/>，网站右上角通过名称搜索资料；

查询到的芯片引脚图如下



分别为二输入与非门(74LS00)、二输入与门(74LS08)、四输入与非门(74LS20)、二输入异或门(74LS86)

### 3. 逻辑代数的基本运算有哪些？分别代表什么含义？逻辑代数与普通代数的区别是什么？

逻辑代数的基本运算有“与”，“或”，“非”运算。“与”即必须为两个值都为1的时候结果才为1，否则为0，“或”即两个值有一个1及以上的时候结果为1，否则为0。“非”则是将输入的值取反，0变1，1变0。

在普通代数中，变量的取值可以是任意实数，而逻辑代数是一种二值代数系统，即任何逻辑变量的取值只有两种取值，即0或1

#### 4. 数字电路中的二进制数码 0 和 1 分别代表什么含义？

高电平和低电平，做实验使用的为TTL电平，对应高电平范围为2-5V,标准值为3.6V。低电平范围为0-0.8V，标准值为0.2V。

#### 5. 二进制、八进制、十进制、十六进制数码有什么区别？举例说明不同数制之间的转换方法。

二进制、八进制、十进制、十六进制数每一个数的BASE不同，分别为2，4，8，16.即各个位分别满2，4，8，16时进位到下一位。

进制转换皆可以使用相除取余的方法，以十进制转二进制为例，即将一个十进制数不断除2取余数，最后得到的余数即为二进制数的每一位。

下例为十进制173转为二进制数的例子

2		173		1
2		86		0
2		43		1
2		21		1
2		10		0
2		5		1
2		2		0
2		1		1
		0		
$(173)_{10} = (10101101)_2$				

对于二进制转为 $2^M$ 进制，可将二进制数进行分组，每组M个数，不够的从高位补0，将每组的M个数转为 $2^M$ 进制即可完成转换。

#### 6. 74LS197 计数时是对什么进行计数，为什么将二进制计数器的输出接入八进制计数器的时钟就可以形成十六进制计数器？

74LS197 计数时是对接入 CP0 的时钟信号进行二进制计数或对接入 CP1 的时钟信号进行八进制计数。

二进制计数器已经对时钟信号进行二分之一分频，再将二分之一分频的时钟信号接入八进制计数器的时钟就可以形成十六进制计数器。

## 1.4 数字逻辑实验环境入门

### 实验目的

### 实验仪器

1. Xilinx 公司的 Spartan7 系列芯片 XC7S50-CSGA324\_1 作为核心的实验箱
2. 示波器 (Rigol MSO2202A) 逻辑分析仪

# 实验原理

## 1. 门电路的测试

对实验箱上的门电路进行静态测试和动态测试的方法与上一节在 Proteus 仿真环境进行测试的方法类似。以 74LS00（四组二输入与非门）为例，静态测试的步骤如下：

- 1. 找出 74LS00 具有逻辑关系的一组输入输出引脚，例如 A1、B1、Y1。如表 1-10 所示列出待测真值表；
- 2. 用导线将实验箱上的两个模拟开关接入 74LS00 输入引脚 A1、B1；
- 3. 用导线将 74LS00 输出引脚 Y1 接入实验箱 LED“0-1”显示灯；
- 4. 将实验箱上模拟开关按照真值表A1、B1取值顺序依次改变，同时将LED“-”显示灯指示 Y1 的逻辑结果记录。

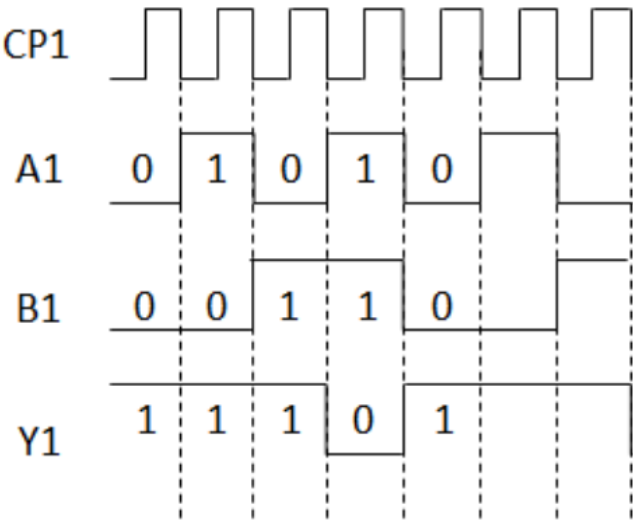
74LS00真值表

输入		输出（LED）
A1	B1	Y1
0	0	1
0	1	1
1	0	1
1	1	0

逐次检查芯片的输入输出逻辑关系是否与 74LS00 待测真值表一致。

74LS00动态测试步骤如下：

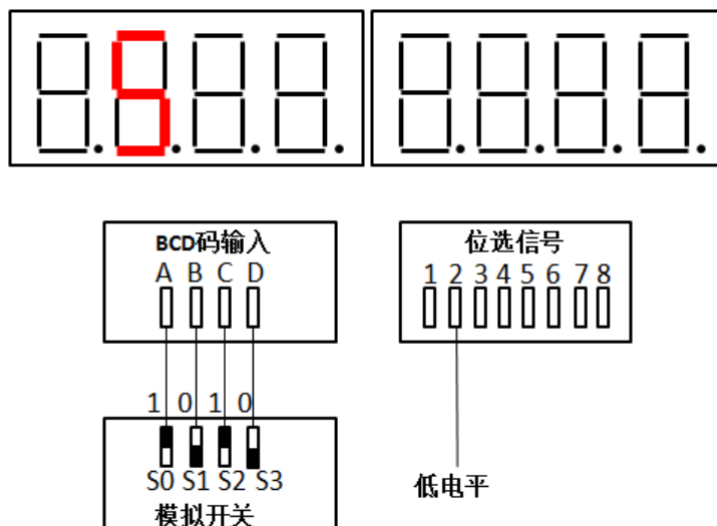
- 1. 找出 74LS00 具有逻辑关系的一组输入输出引脚，例如 A1、B1、Y1；
- 2. 用导线将实验箱上 74LS197 的 CP1 与实验箱上 10kHz 连续脉冲相连，将  $\overline{MR}$  和  $\overline{PL}$  接实验箱上高电平，则 74LS197 的 Q3、Q2、Q1 就是八进制计数器的输出。用导线将 74LS197 的输出引脚 Q1、Q2 依次与74LS00 的输入引脚 A1、B1 相连，则 A1、B1 可获取所有可能取值（通常选择计数器输出引脚数量和待测芯片输入引脚数量一致的计数器作为芯片动态测试的输入信号）；
- 3. 将 74LS197 的 CP1 和 74LS00 的输入、输出引脚 A1、B1、Y1 均接入示波器的逻辑探头，在示波器屏幕上观测波形。



最终，检查波形之间是否符合与非逻辑关系。

## 2.数码管的显示

以在实验箱数码管2号位置显示数字5为例，连线方法如下图所示：



实验箱采用共阴极七段数码管，因此需将数码管2号位置的位选信号接低电平，然后用导线将数码管的BCD码输入端A、B、C、D依次接实验箱的模拟开关 S0、S1、S2、S3相连，并将S3~S0开关置位0101（5的BCD码），注意BCD码输入端高低位的排序和位选信号与数码管每一位的对应关系。最终可观测到数码管 从左向右第2位显示数字5。

## 实验内容

1. 将实验箱上 74LS197 接成十六进制计数器（参考实验 1.3 实验原理），即将 74LS197 的 CP0 与 10kHz 连续脉冲相连，Q0 与 CP1 连接，将  $\overline{MR}$  和  $\overline{PL}$  接高电平，则 Q3、Q2、Q1 和 Q0 就是十六进制计数器的输出。使用示波器数字通道同时观察 CP0、Q0、Q1、Q2 和 Q3 波形，调节示波器，使示波器屏幕上波形按 CP0、Q0、Q1、Q2、Q3 顺序自上到下排列，并关闭无信号通道，记录波形并分析验证 CP0、Q0、Q1、Q2、Q3 波形是否满足十六进制计数器真值表。
2. 参考实验原理部分提供的方法，对实验箱上门电路（74LS08、74LS20 和 74LS86 等，门电路引脚说明见附录 1）进行静态测试填写真值表，动态测试截图记录输入、输出波形。将实验结果与上一节 Proteus 环境下的测量结果相比较，并验证门电路逻辑。
3. 参考实验原理部分数码管的显示示例，完成实验箱连线，实现在实验箱数码管从左到右逐位依次显示自己学号。（实验报告需附连线说明与显示效果图片）。

## 实验设计与实验结果分析

### 74LS197十六进制计数器设计

原理图



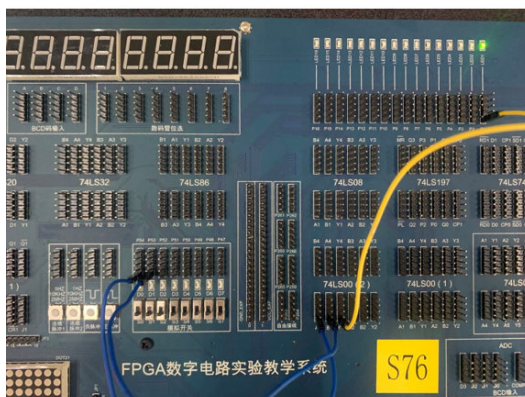




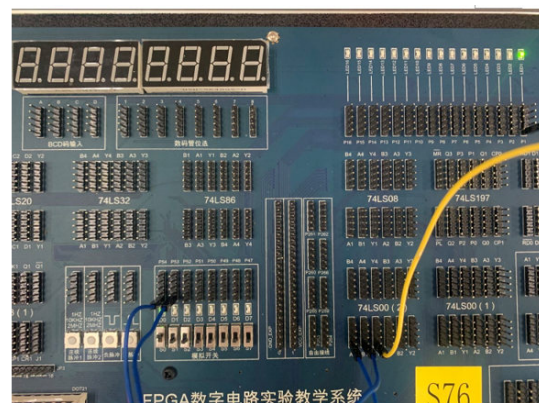
## 74LS00、74LS08、74LS20 和 74LS86静态测试

74LS00

接线图



A=0、B=0、Y=1



A=1、B=0、Y=1



A=0、B=1、Y=1



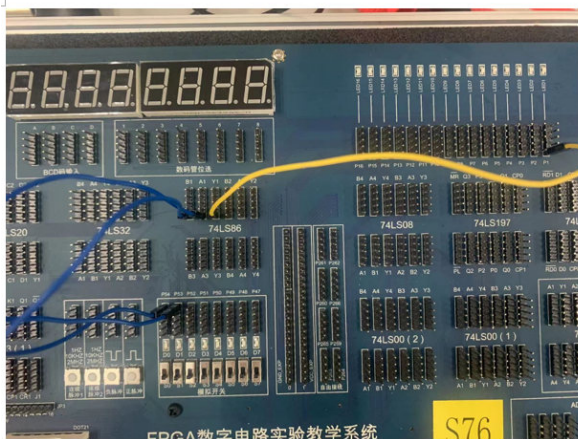
A=1、B=1、Y=0

与仿真真值表一致，为二输入与非门逻辑。

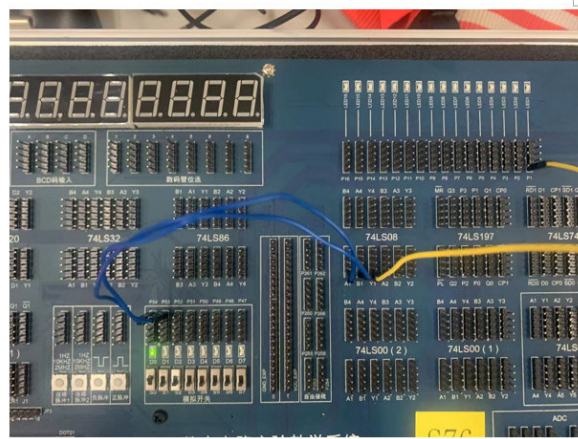
74LS08

接线图

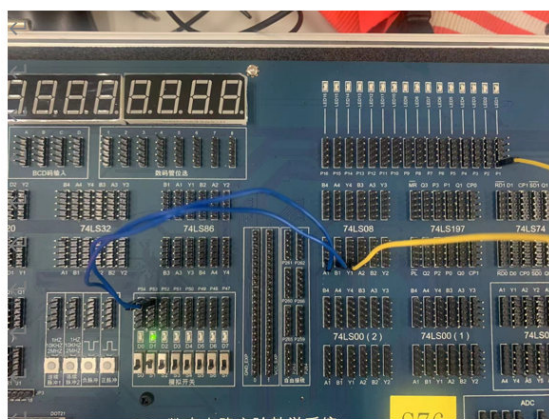




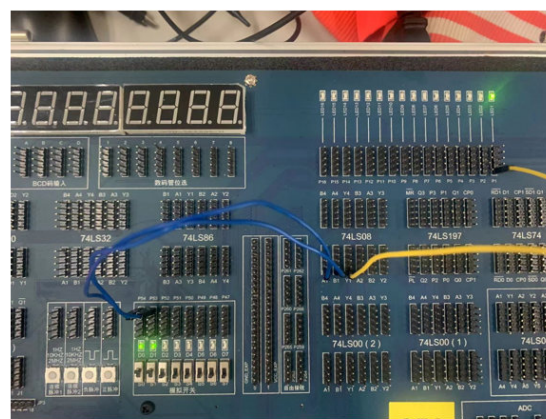
A=0、B=0、Y=0



A=1、B=0、Y=0



A=0、B=1、Y=0

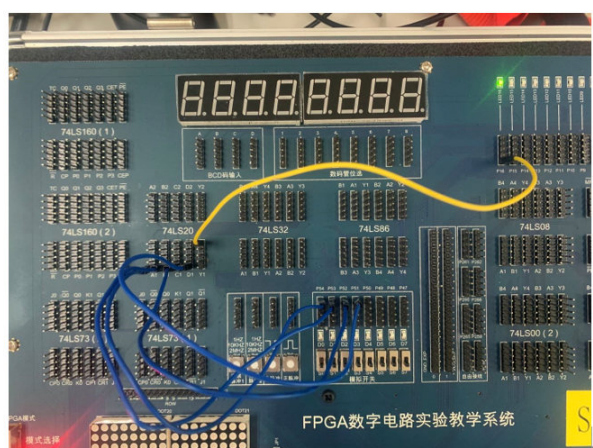


A=1、B=1、Y=1

与仿真真值表一致，为二输入与门逻辑

74LS20

由于实验报告篇幅有限，仅展示如下情况



A=0、B=0、C=0、D=0、Y=1

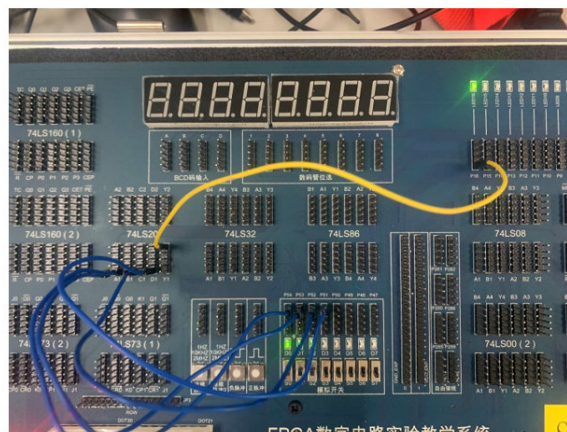


A=1、B=0、C=0、D=0、Y=1

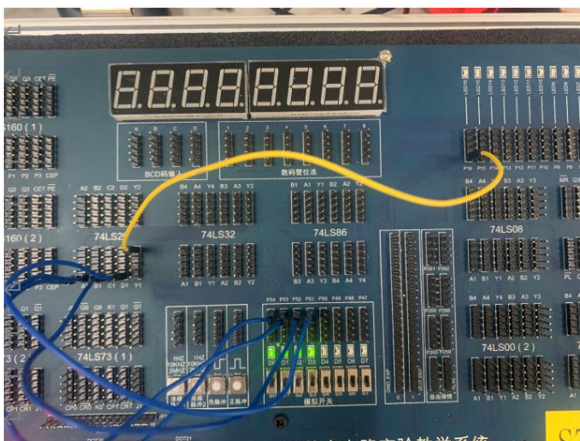




A=1、B=1、C=0、D=0、Y=1



A=1、B=1、C=1、D=0、Y=1 ←

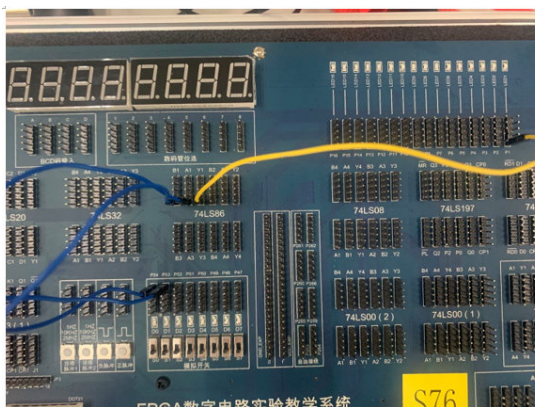


A=1、B=1、C=1、D=1、Y=0

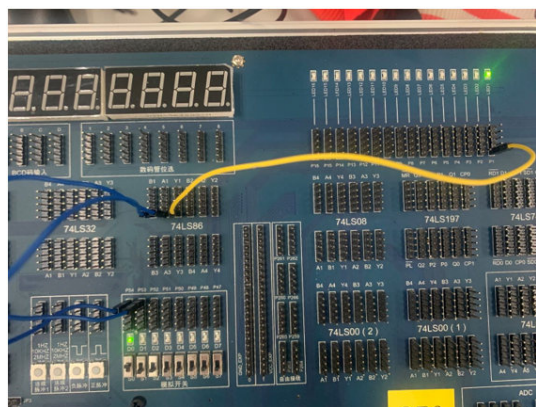
实验得到的真值表与仿真结果一致，为四输入与非门逻辑

74LS86

### 接线图

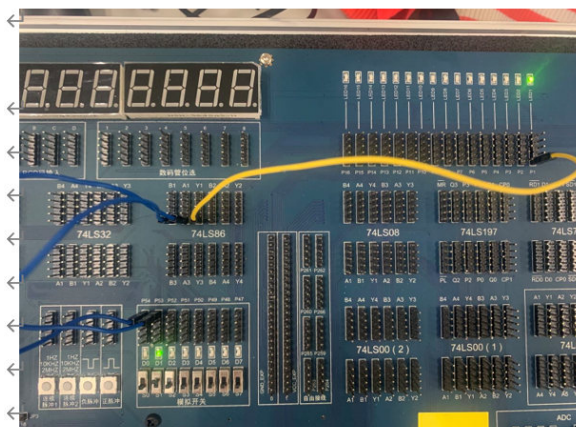


↓  
A=0、 B=0、 Y=0

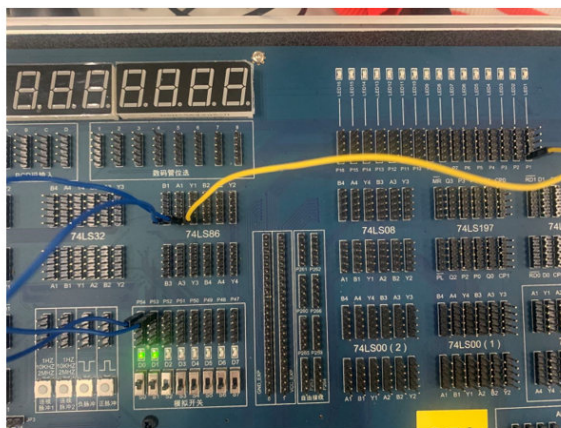


A=1、 B=0、 Y=1 ←





A=0、B=1、Y=1

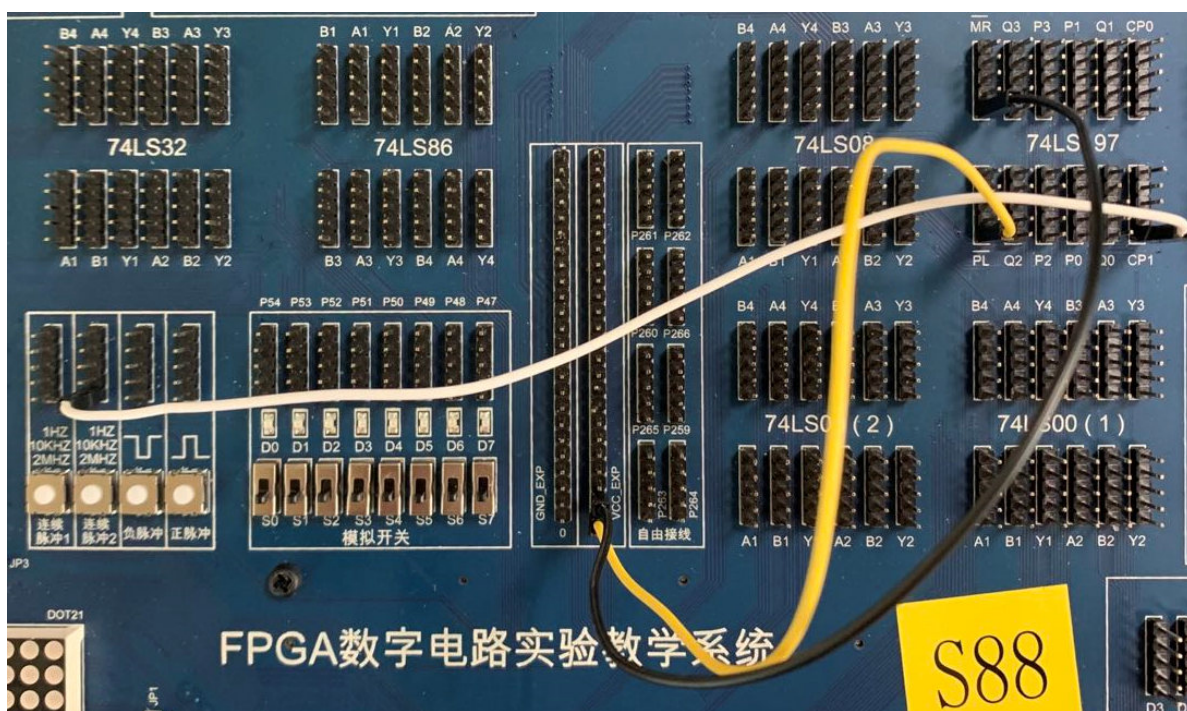


A=1、B=1、Y=0

与仿真真值表一致，为二输入异或门逻辑

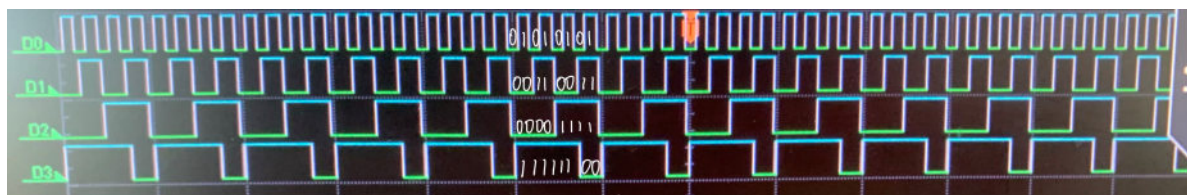
## 74LS00、74LS08、74LS20 和 74LS86动态测试

八进制计数器接线图



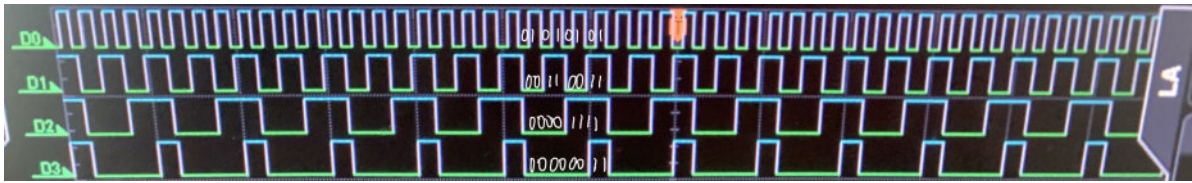
由于实验报告篇幅有限，仅展示有波形部分

74LS00，D0为CP1信号，D1为A输入，D2为B输入，D3为Y输出



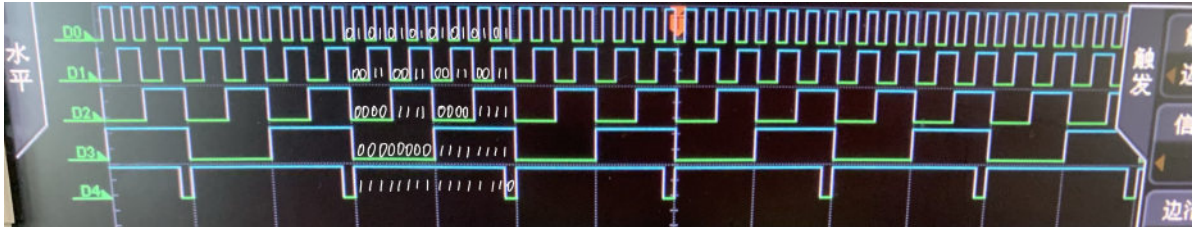
满足仿真真值表，为二输入与非门逻辑

74LS08，D0为CP1信号，D1为A输入，D2为B输入，D3为Y输出



满足仿真真值表，为二输入与门逻辑

74LS20，D0为CP1信号同时作为A输入，D1为B输入，D2为C输入，D3为D输入，D4为Y输出



满足仿真真值表，为四输入与门逻辑

74LS86，D0为CP1信号，D1为A输入，D2为B输入，D3为Y输出



满足仿真真值表，为二输入亦或门逻辑

## 数码管显示自己学号

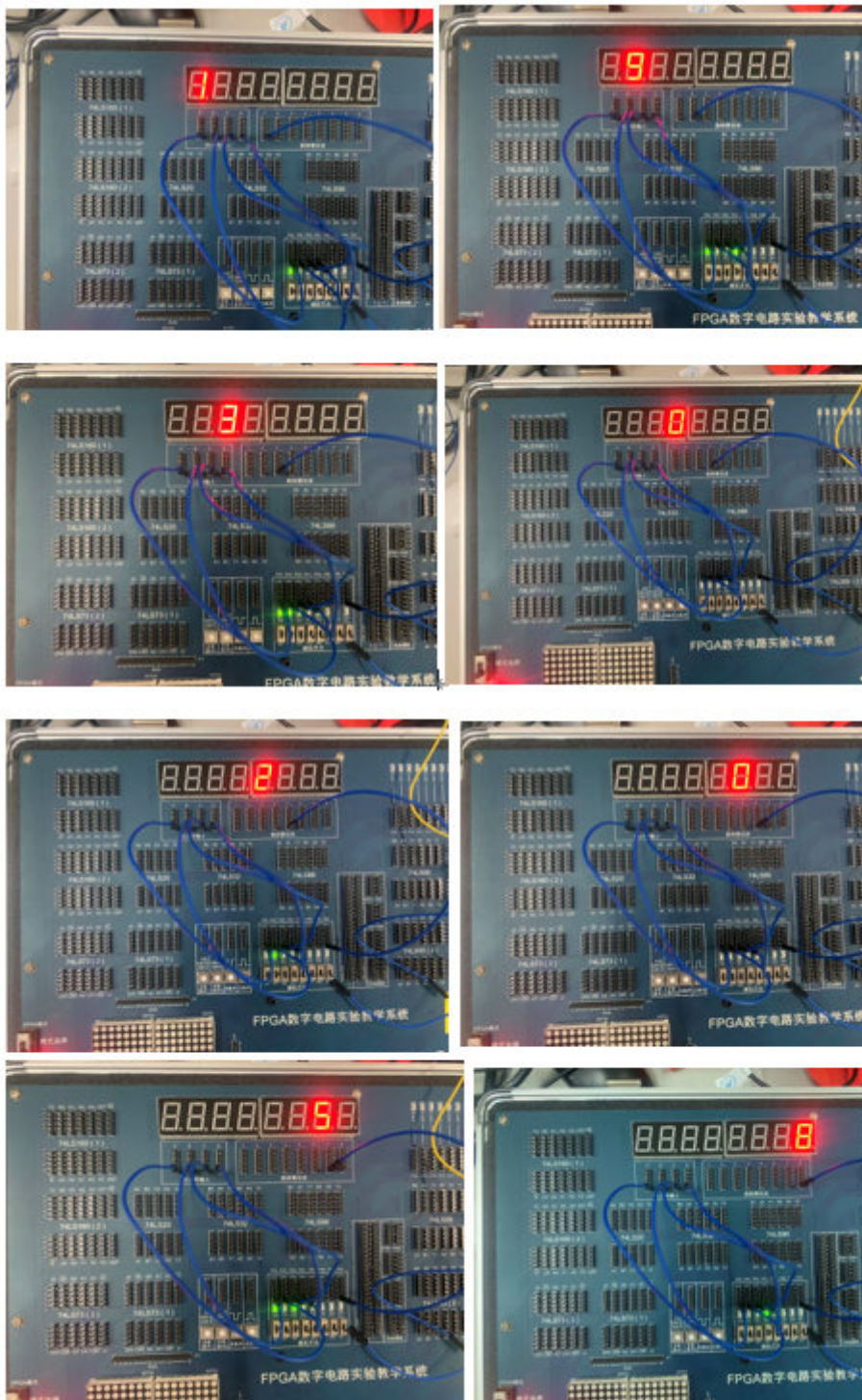
学号为19302058

连线说明：输入BCD码分别为0001、1001、0011、0000、0010、0000、0101、1000

将BCD码的四个输入口与四个模拟开关相连，以达到控制输入的效果。并用一根导线连接位选与高电平端，来控制哪一位数码管亮起。

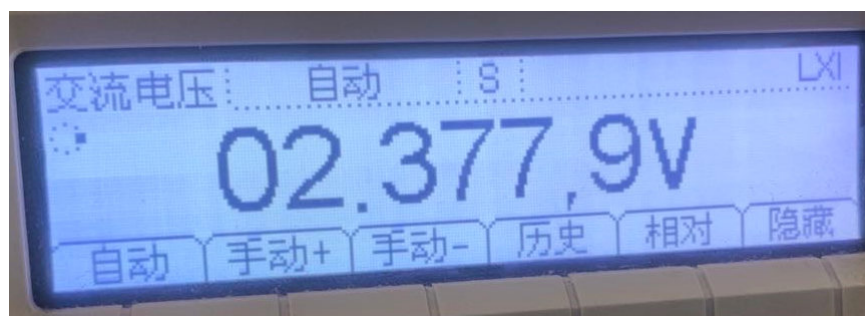
显示如下图





## 实验思考

1. 使用万用表分别测量实验箱上的高低电平的电压值，分析其电压值与逻辑电平值的关联。



用万用表分别测得连续脉冲信号的幅值如上图。由于示波器中采用TTL电平判决，故在2V~5V为高电平，0~0.8V为低电平。

2. 示波器的数字通道和模拟通道有什么区别？

模拟通道得到的是“模拟”信号，具有“连续”变化的幅值的信号，数字通道得到的是数字信号，在信号处理后得到仅有“0”，“1”的幅值的信号。

**3. 门电路测试为什么要先做静态测试再做动态测试？静态测试所得真值表和动态测试所得波形图有什么关联？**

静态逻辑功能测试用来检查门电路的真值表，确认门电路的逻辑功能正确与否。动态测试用于数字系统运行中逻辑功能的检查。即需要先得到门电路的真值表再对逻辑功能进行检查，故要先做静态测试再做动态测试。有些数字电路只需进行静态测试即可，有些数字电路则必须进行动态测试。一般地说，时序电路应进行动态测试。

在动态测试得到的波形图中，可以得到输出和输入的逻辑关系，进而得到真值表。

**4. 门电路动态测试时为什么不仅需要记录门电路输入、输出波形，还需记录时钟波形？**

- 1.可以验证计数器产生的信号是否满足想要的计数器结果。
- 2.时钟信号有时候也需接入门电路中，故需记录。

**5. 什么是共阴极数码管？**

共阴极数码管是一类数字形式的显示屏,通过对其不同的管脚输入相对的电流会使其发亮，从而显示出数字。LED显示器有共阴极和共阳极两种结构，在共阴极结构中，各段发光二极管的阴极连在一起，将此公共点接地，某一段发光二极管的阴极为高电平时，该段发光。