

19302058汪奕晖数字电路第二次实验实验报告

3.2 组合逻辑电路分析与设计

组合逻辑电路中不包含存储单元，电路的输出历史状态无关。组合逻辑电路的分析与设计均可采用通用的步骤进行。对于组合逻辑电路的分析是指通过化简函数式或列出真值表找出给定电路的逻辑功能。对于组合逻辑电路的设计是指根据给出的实际逻辑问题设计出逻辑电路。掌握了通用的组合逻辑电路的分析方法和设计方法，就可以进一步正确地使用被分析的电路，或设计出能满足逻辑功能和技术指标要求的电路。

一、实验目的

- 1. 掌握组合逻辑电路的分析方法，并验证其逻辑功能。
- 2. 掌握组合逻辑电路的设计方法，并能用最少的逻辑门实现之。
- 3. 掌握编码器原理和常用 4 位二进制编码特点。
- 4. 熟悉示波器与逻辑分析仪的使用

二、实验仪器及器件

- 1. 数字电路实验箱、数字万用表、示波器。
- 2. 虚拟器件：74LS00，74LS86，74LS197

三、实验预习

- 1. 阅读实验原理，复习组合逻辑电路的分析方法，对于输出逻辑表达式为 $\overline{F_1AB} \overline{F_2AB} \overline{F_3AB} \overline{F_4A} \overline{B}$ 的电路，列出 $F_4F_3F_2F_1$ 取不同组合时，A、B、Y 真值表，从而分析该电路功能。

化简表达式为SOP式

$$Y = \overline{F_1AB} \overline{F_2AB} \overline{F_3AB} \overline{F_4A} \overline{B} = F_1AB + F_2\overline{AB} + F_3A\overline{B} + F_4\overline{A} \overline{B}$$

$F_4F_3F_2F_1$ 有16种情况

$F_4F_3F_2F_1 = 0000$

$Y = 1$

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	1

$F_4F_3F_2F_1 = 0001$

$Y = \overline{AB}$

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

$$F_4F_3F_2F_1 = 0011$$

$$Y = \overline{B}$$

A	B	Y
0	0	1
0	1	0
1	0	1
1	1	0

$$F_4F_3F_2F_1 = 0010$$

$$Y = \overline{\overline{AB}}$$

A	B	Y
0	0	1
0	1	0
1	0	1
1	1	1

$$F_4F_3F_2F_1 = 0100$$

$$Y = \overline{\overline{AB}}$$

A	B	Y
0	0	1
0	1	1
1	0	0
1	1	1

$$F_4F_3F_2F_1 = 0101$$

$$Y = \overline{A}$$

A	B	Y
0	0	1
0	1	1
1	0	0
1	1	0

$$F_4F_3F_2F_1 = 0110$$

$$Y = \overline{\overline{AB} + A\overline{B}}$$

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

$$F_4F_3F_2F_1 = 0111$$

$$Y = \overline{A + B}$$

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

$$F_4F_3F_2F_1 = 1000$$

$$Y = \overline{\overline{A} \overline{B}}$$

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

$$F_4F_3F_2F_1 = 1001$$

$$Y = \overline{AB + \overline{A} \overline{B}}$$

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

$$F_4F_3F_2F_1 = 1010$$

$$Y = A$$

A	B	Y
0	0	0
0	1	0
1	0	1
1	1	1

$$F_4F_3F_2F_1 = 1011$$

$$Y = \overline{\overline{A} + B}$$

A	B	Y
0	0	0
0	1	0
1	0	1
1	1	0

$$F_4F_3F_2F_1 = 1100$$

$$Y = B$$

A	B	Y
0	0	0
0	1	1
1	0	0
1	1	1

$$F_4F_3F_2F_1 = 1110$$

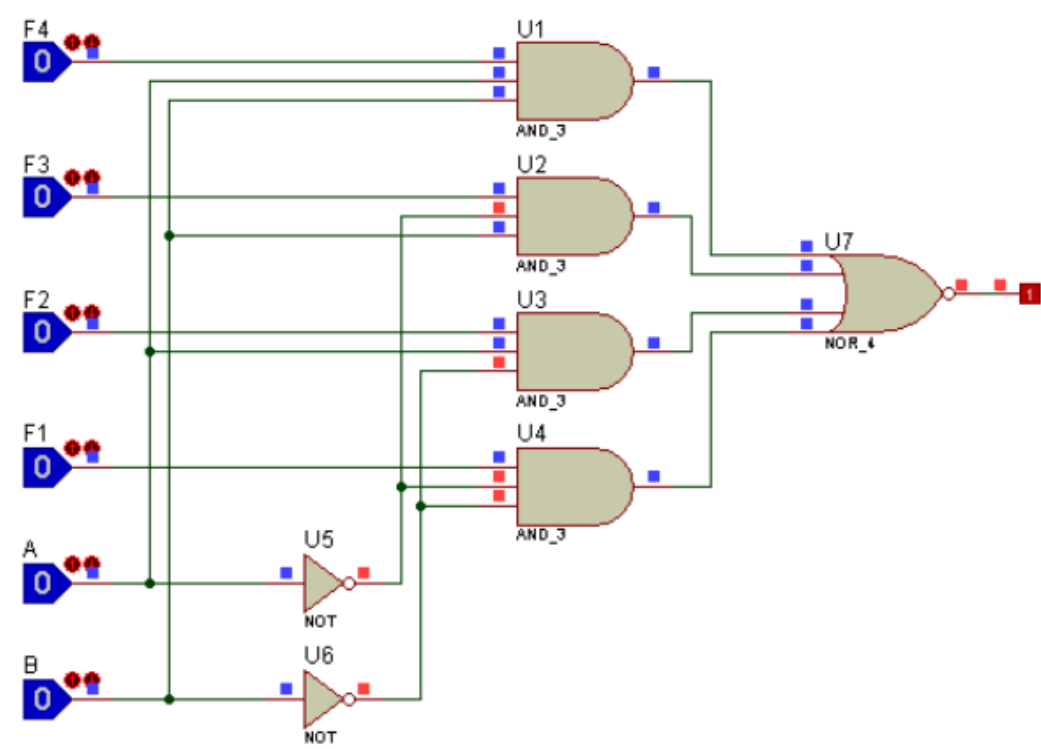
$$Y = \overline{\overline{A} + \overline{B}}$$

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

$F_4F_3F_2F_1 = 1111$
 $Y = 0$

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	0

Proteus仿真如下



当 $F_4F_3F_2F_1$ 仅有一个值取1时，起到的效果为类似数据选择器的效果，选通相应的电路。

2. 4-2线编码器

真值表

I_3	I_2	I_1	I_0	Y_1	Y_0
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

其余的输入输出皆为0，故没有必要给出

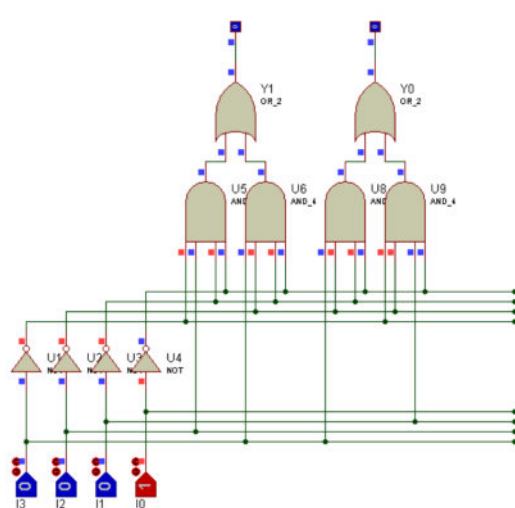
由真值表可以得到输出函数的逻辑表达式

$$Y_1 = \overline{I_3} I_2 \overline{I_1} \overline{I_0} + I_3 \overline{I_2} \overline{I_1} \overline{I_0}$$

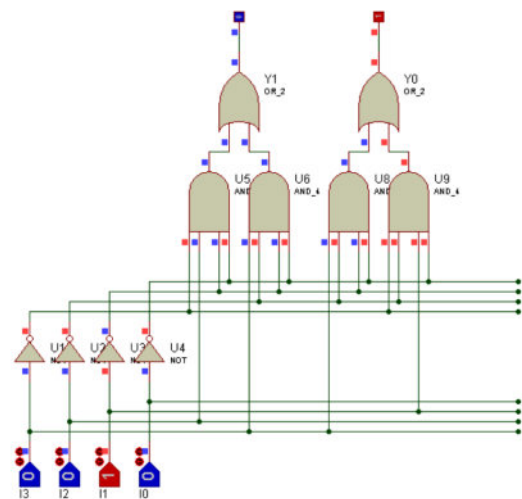
$$Y_0 = I_3 \overline{I_2} \overline{I_1} \overline{I_0} + \overline{I_3} \overline{I_2} I_1 \overline{I_0}$$

利用四输入与门、两输入或门、非门仿真如下

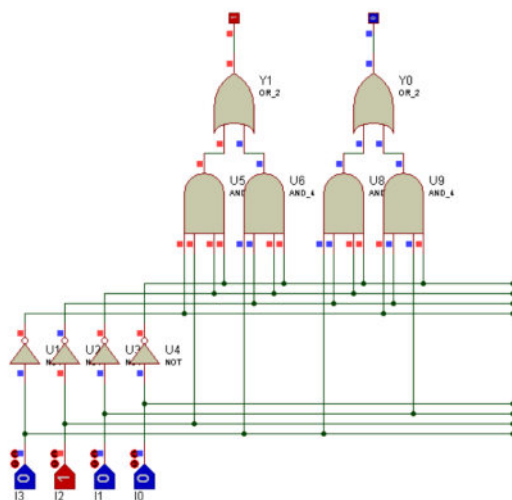
静态测试：



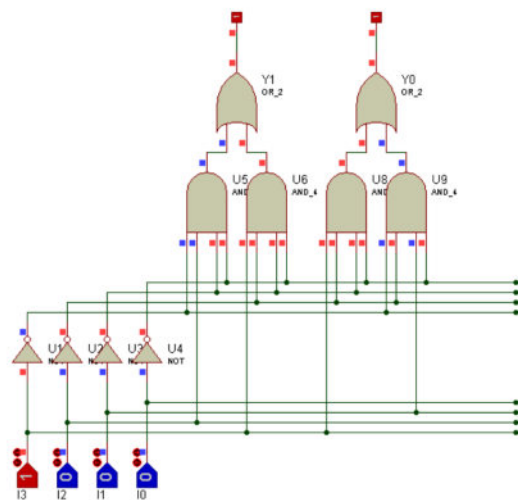
$I_3 I_2 I_1 I_0 = 0001$



$I_3 I_2 I_1 I_0 = 0010$



$I_3 I_2 I_1 I_0 = 0100$



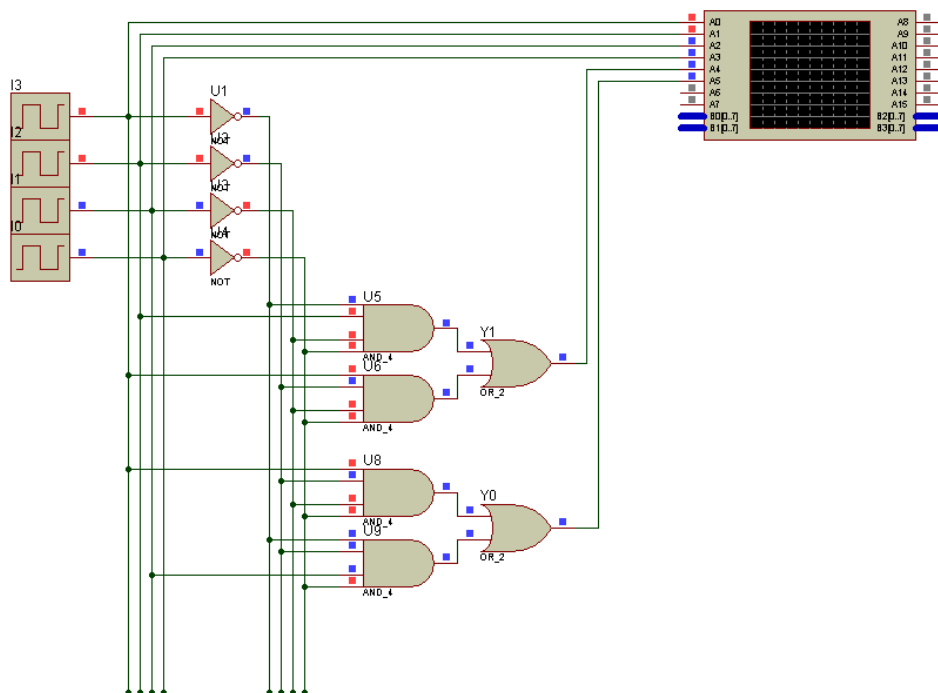
$I_3 I_2 I_1 I_0 = 1000$

可见，静态测试符合4-2线编码器的真值表

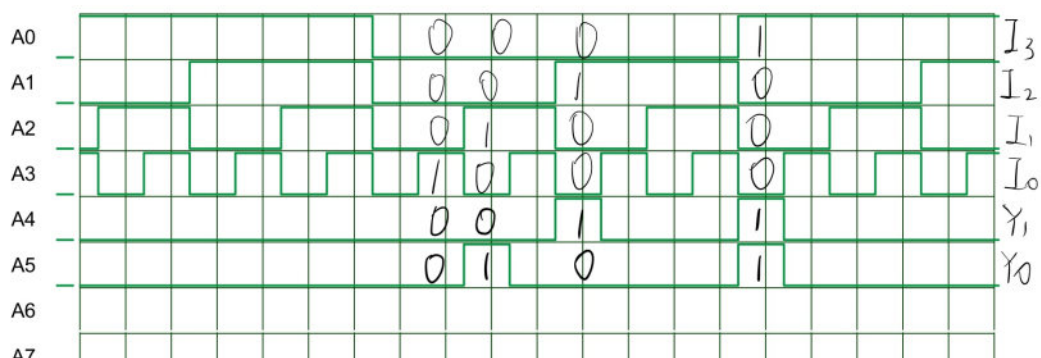
动态测试：

Proteus仿真接线如下:

其中I3,I2,I1,I0的频率分别为125Hz, 250Hz, 500Hz, 1000Hz.Y1为输出高位,Y0为输出低位,



动态仿真结果如下:



四、实验原理

1. 组合逻辑电路的分析: 对已给定的组合逻辑电路分析其逻辑功能。

步骤: (1) 由给定的组合逻辑电路写函数式;

(2) 对函数式进行化简或变换;

(3) 根据最简式列真值表;

(4) 确认逻辑功能。

2. 组合逻辑电路的设计: 就是按照具体逻辑命题设计出最简单的组合电路。

步骤: (1) 根据给定事件的因果系列出真值表;

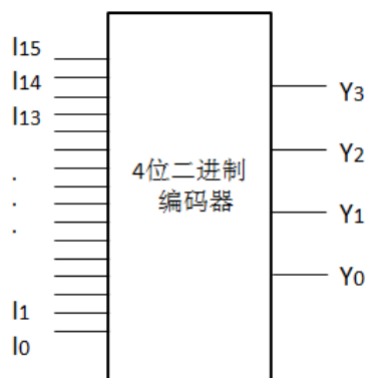
(2) 由真值表写函数式;

(3) 对函数式进行化简或变换;

(4) 画出逻辑图, 并测试逻辑功能。

3. 编码器

编码器电路是一种组合逻辑电路，它能将输入的每一个高、低电平信号编成一个对应的二进制代码输出。如下图所示为 4 位二进制编码器（16-4 线编码器）的逻辑符号，该编码器输入端高电平有效，对应每一个输入端的有效输入电平（高电平），编码器输出一个二进制码。



如下表 3-1 所示为 4 位二进制编码器的真值表。

输入																输出			
I ₀	I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇	I ₈	I ₉	I ₁₀	I ₁₁	I ₁₂	I ₁₃	I ₁₄	I ₁₅	Y ₃	Y ₂	Y ₁	Y ₀
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	1
0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	1	0
0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1	1
0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1
0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	1	0
0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0	1	1
0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0	1
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1

编码器分为普通编码器和优先编码器，如上述真值表所对应电路为采用 4 位二进制编码的普通编码器。普通编码器电路要求任何时刻只能输入一个有效编码信号，即当有一个以上的输入信号为高电平，则编码器没有输出（输出无效）。要解决这个问题就要采用优先编码器，关于优先编码器的工作原理和功能此处不作讲解，请自行查阅相关书籍。

4. 常用编码

对于逻辑电平可根据需要选定不同的规则进行编码，例如上述编码器的输出,可以采用 8421 码，也可采用格雷码。考虑到信息的交换，有时还需要进行代码

(1) 8421 码，也称为 BCD 码 (Binary Coded Decimal) 是最常用的一种十进制代码。由于代码从左到右的每一位二进制数 1 依次表示 8、4、2、1，所以这种代码被称为 8421 码。将 8421 码每一位二进制数 1 代表的十进制数加起来得到的结果就是其所代表的十进制数码，因此非常容易与十进制数码进行转换。

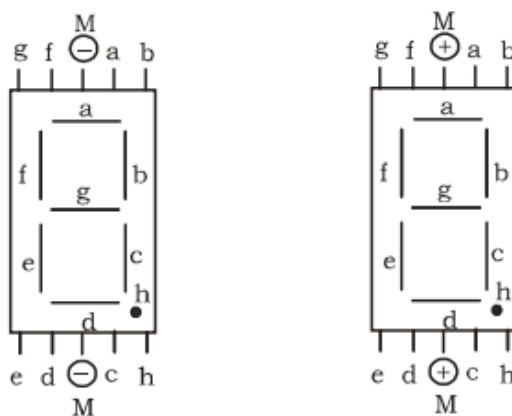
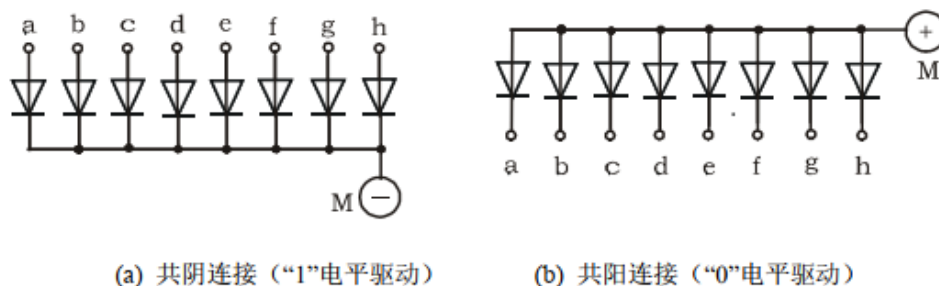
(2) 格雷码 (Gray Code)，也称为循环码，从下表 3-2 可看出格雷码每一位的状态变化都按一定顺序循环。例如当格雷码按照下表顺序从 0000 状态开始依次变化，则 G_0 是按 0110 顺序循环， G_1 是按 00111100 顺序循环， G_2 是按 000011111110000 顺序循环，即格雷码自右向左，每位状态循环中连续的 0、1 数码都翻倍，因此很容易编码。另外，格雷码相邻两个代码之间只有一位发生变化，避免了过渡“噪声”。

四位二进制码转格雷码真值表

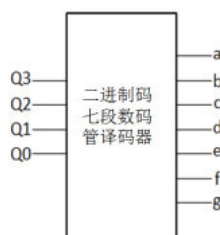
I_3	I_2	I_1	I_0	G_3	G_2	G_1	G_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

5. 译码器

译码器也是一种组合逻辑电路，它能将输入的二进制代码译成对应的高低电平信号或者另一种代码。译码是编码的反操作。例如用于驱动七段数码管的 8421 码七段译码驱动器就是一种译码器。七段发光二极管(LED)数码管是目前最常用的数字显示器，如下图 (a)、(b) 为共阴管和共阳管的电路，(c) 为两种不同出线形式的引出脚功能图。（注：数字电路实验箱上数码管为共阴极七段数码管）一个 LED 数码管可用来显示一位 0~9 十进制数和一个小数点。小型数码管（0.5 寸和 0.36 寸）每段发光二极管的正向压降，随显示光（通常为红、绿、黄、橙色）的颜色不同略有差别，通常约为 2~2.5V，每个发光二极管的点亮电流在 5~10mA。LED 数码管要显示 8421 码所表示的十进制数字就需要有一个专门的译码器，该译码器不但要完成译码功能，还要有相当的驱动能力。



如下图所示为二进制码七段数码管译码器的逻辑符号，该译码器将输入的 4 位二进制码转换为驱动七段数码管 a~g 发光二极管的二进制码。



如下表所示为一种 4 位二进制码七段数码管译码器的真值表，可驱动共阴极七段数码管。（实验指导书中的真值表有误，对于“d”显示，abcdefg对应的值应该为 0111101；将表修改如下）

输入				输出							七段数码管
Q3	Q2	Q1	Q0	a	b	c	d	e	f	g	显示内容
0	0	0	0	1	1	1	1	1	1	0	“0”
0	0	0	1	0	1	1	0	0	0	0	“1”
0	0	1	0	1	1	0	1	1	0	1	“2”
0	0	1	1	1	1	1	1	0	0	1	“3”
0	1	0	0	0	1	1	0	0	1	1	“4”
0	1	0	1	1	0	1	1	0	1	1	“5”
0	1	1	0	1	0	1	1	1	1	1	“6”
0	1	1	1	1	1	1	0	0	0	0	“7”
1	0	0	0	1	1	1	1	1	1	1	“8”
1	0	0	1	1	1	1	1	0	1	1	“9”
1	0	1	0	1	1	1	0	1	1	1	“A”
1	0	1	1	0	0	1	1	1	1	1	“b”
1	1	0	0	1	0	0	1	1	1	0	“C”
1	1	0	1	0	1	1	1	1	0	1	“d”
1	1	1	0	1	0	0	1	1	1	1	“E”
1	1	1	1	1	0	0	0	1	1	1	“F”

五、实验内容

1. 设计一个代码转换电路，输入为 4 位二进制码输出为 4 位循环码。4 位二进制码与格雷码的对照关系如实验原理表格所示。
2. 对代码转换电路进行静态测试。使用实验箱上的模拟开关作为电路的 4 位二进制码输入，并把输出接 LED“ - ”显示器，按照真值表对电路进行静态测试，检查电路是否正常工作。
3. 使用实验箱上 74LS197 构成的十六进制计数器作为代码转换电路的输入信号源，接线参考实验 1.3 实验原理。将 74LS197 的输出 Q3、Q2、Q1 和 Q0 接“0 - 1”显示器，CP0 接手动负脉冲（74LS197 是下降沿触发的异步计数器），测试十六进制计数器是否工作正常。
4. 对代码转换电路进行动态测试。将 10KHz 的连续脉冲接入 74LS197 的 CP0 端，作为 74LS197 计数脉冲。将 74LS197 的 Q3、Q2、Q1 和 Q0 连接到代码转换电路的输入端，作为 8421 码输入。用示波器数字通道观察并记录 CP、Q3、Q2、Q1、Q0 和 G3、G2、G1、G0 的波形。注意电压波形图之间的相位关系。

六、实验设计与实验结果分析

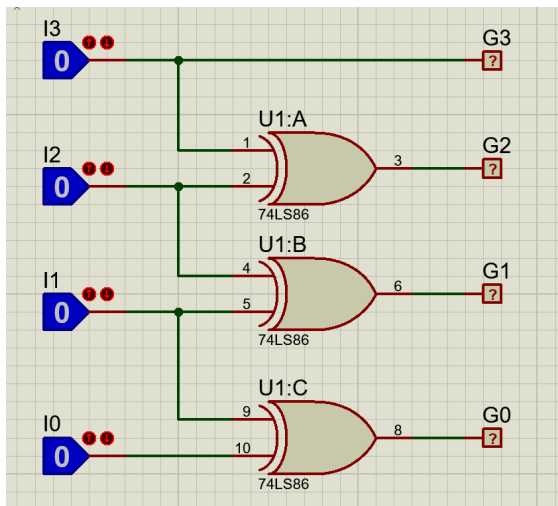
1. 代码转换电路设计

依据真值表可给出四位输出的逻辑表达，考虑使用异或门即74LS86实现电路。

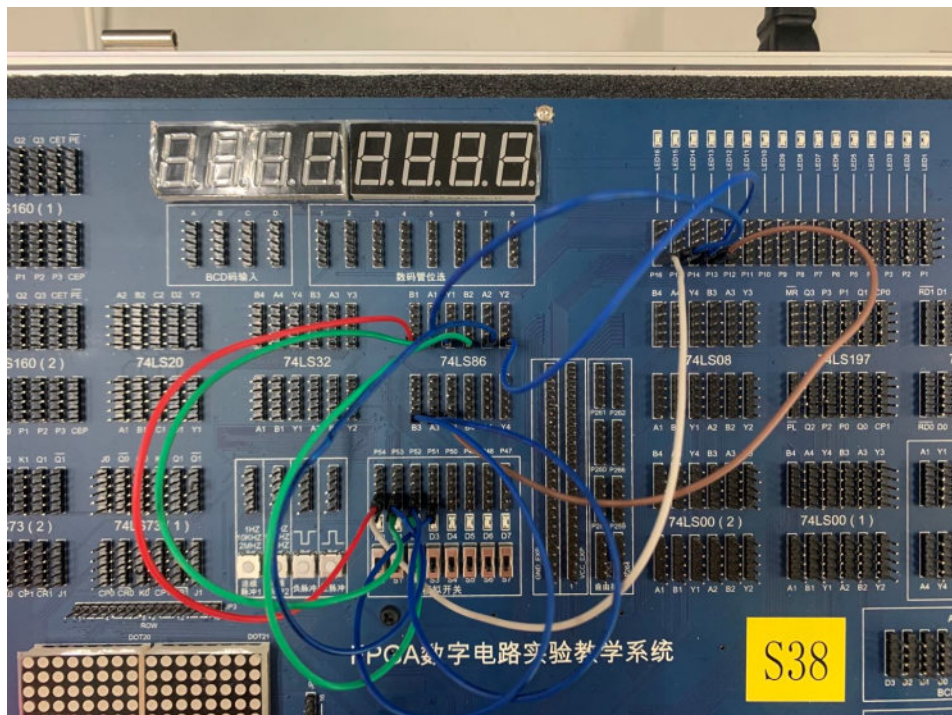
逻辑表达如下

$$\begin{aligned}G_3 &= I_3 \\G_2 &= \overline{I_3}I_2 + I_3\overline{I_2} = I_3 \oplus I_2 \\G_1 &= \overline{I_2}I_1 + I_2\overline{I_1} = I_2 \oplus I_1 \\G_0 &= \overline{I_1}I_0 + I_1\overline{I_0} = I_1 \oplus I_0\end{aligned}$$

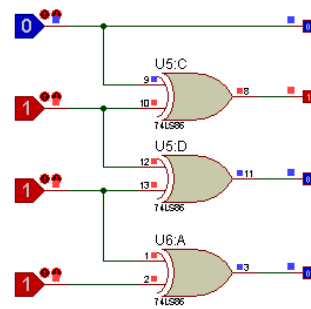
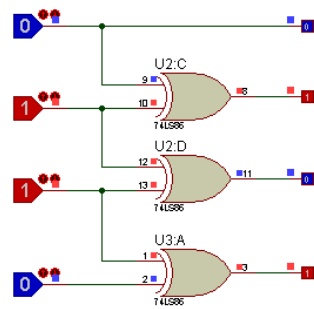
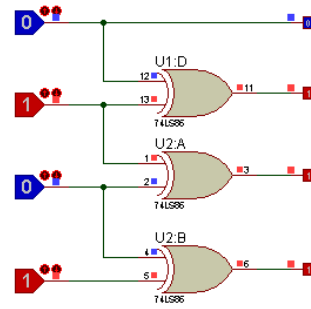
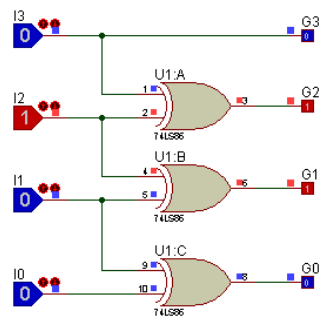
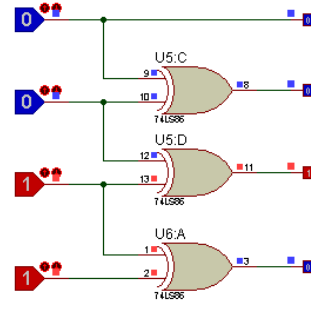
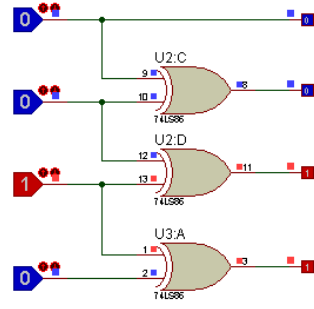
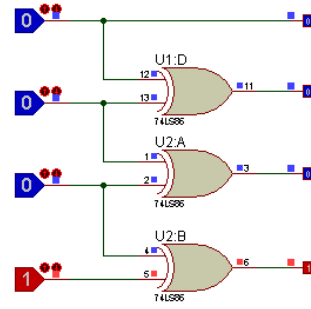
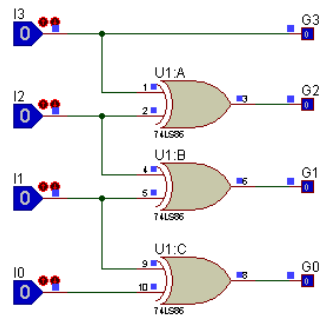
静态测试用Proteus仿真电路图如下

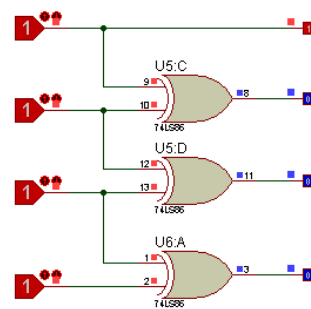
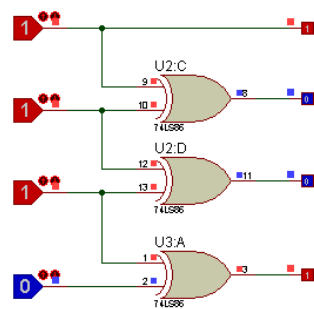
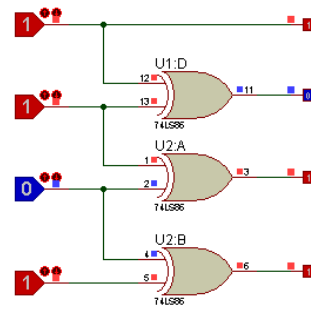
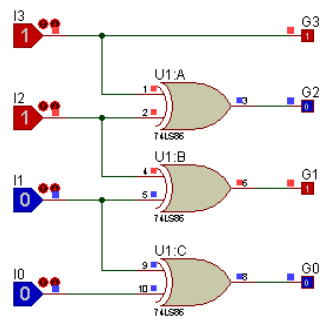
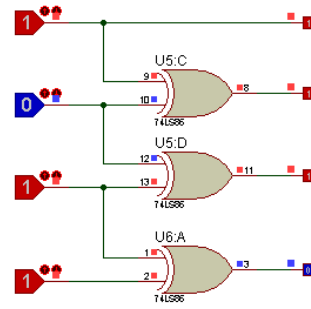
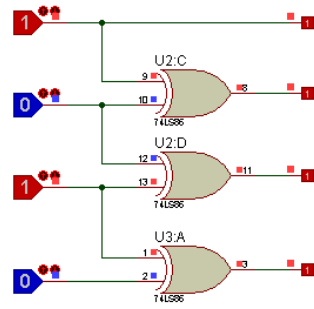
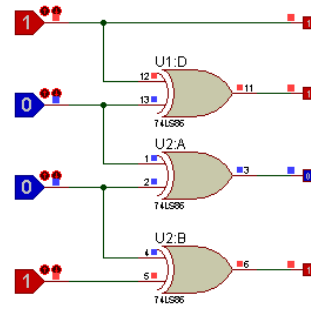
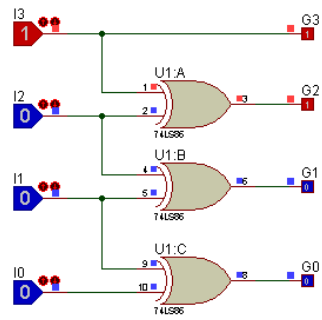


静态测试接线如下

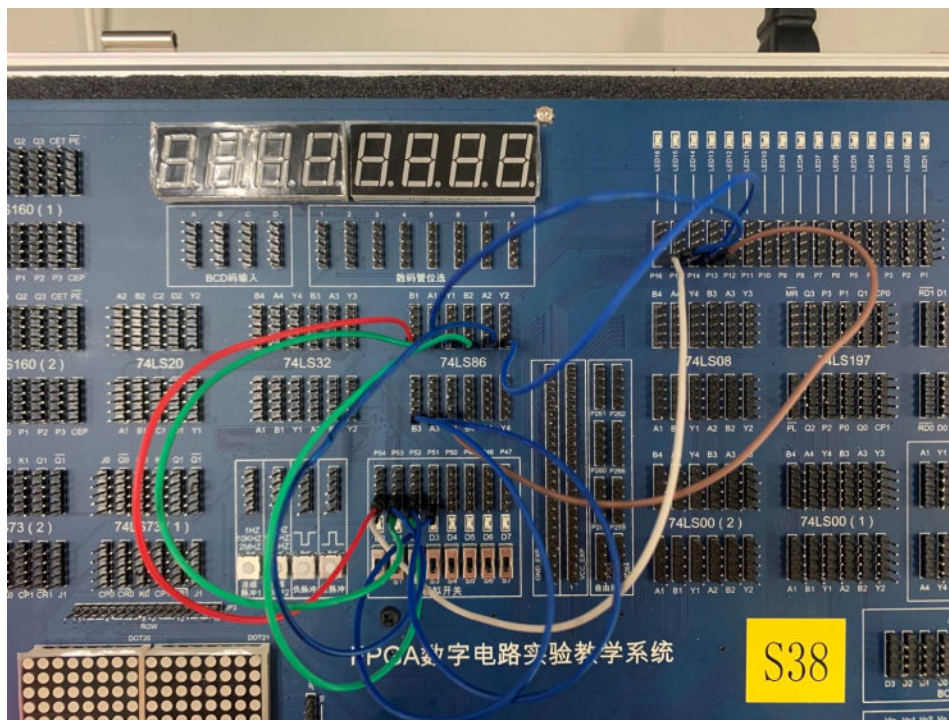


动态测试用Proteus仿真电路图如下



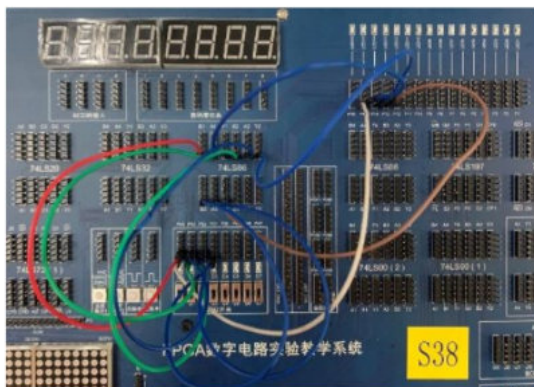


符合4位二进制转格雷码真值表，既符合电路逻辑
实验箱静态接线如下

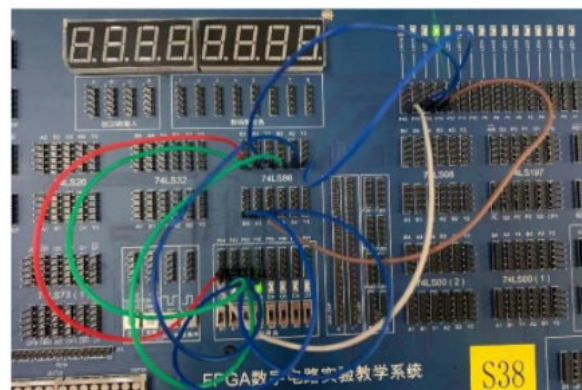


接线细节：模拟开关S1,S2,S3,S4为信号输入。其中S1为最高位，S4为最低位。
LED16,LED15,LED14,LED13为信号输出，LED16为最高位，LED13为最低位。由二进制与格雷码转换逻辑可知，最高位相同，故S1直接与LED16相连。S1,S2经过74LS86运算后输出接到LED15，S2,S3经过74LS86运算后输出接到LED14，S3,S4经过74LS86运算后输出接到LED13。从而构成静态检测电路。

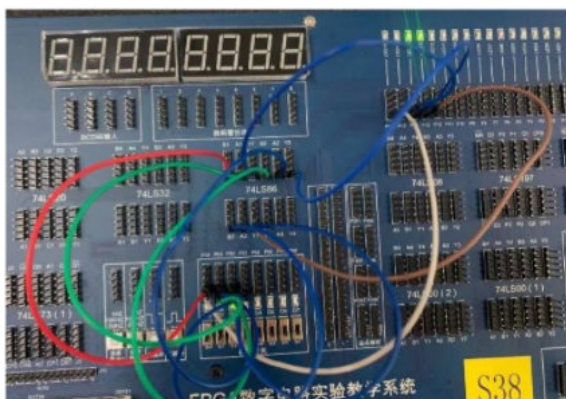
输出结果如下：



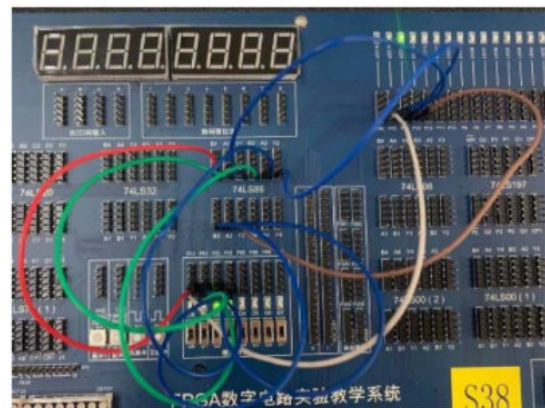
输入：0000 输出：0001



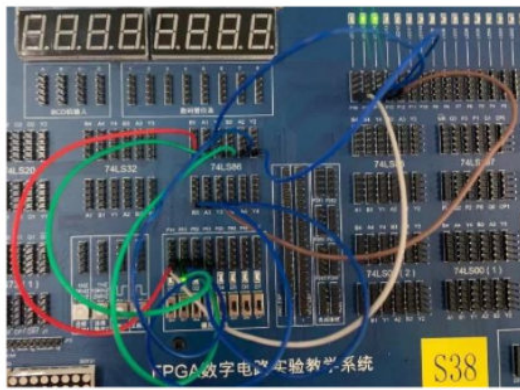
输入：0001 输出：0001



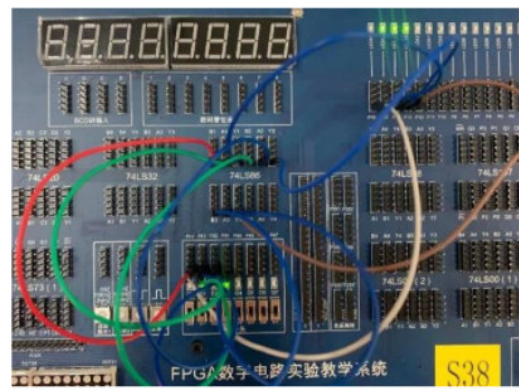
输入：0010 输出：0011



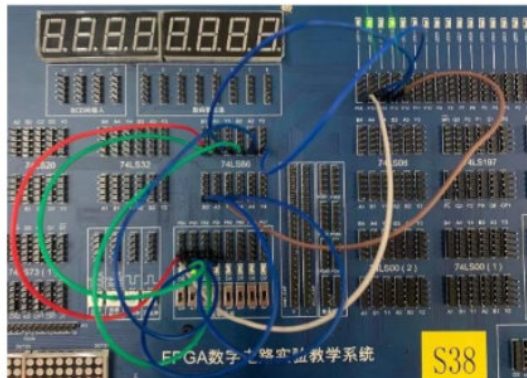
输入：0011 输出：0010



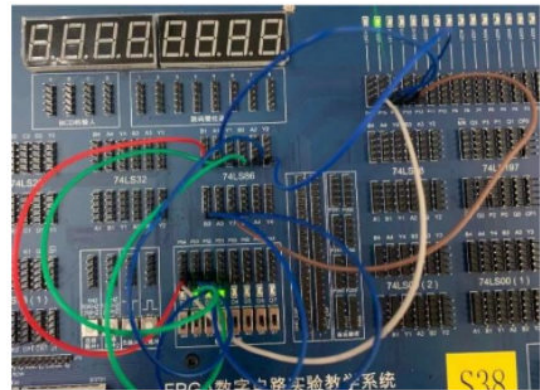
输入：0100 输出：0110



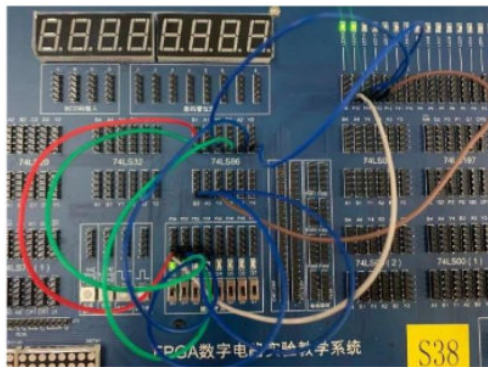
输入：0101 输出：0111



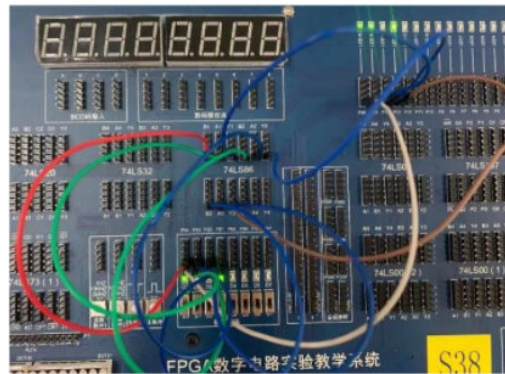
输入：0110 输出：0101



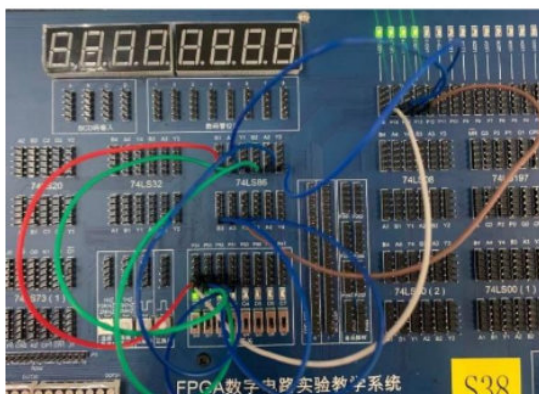
输入：0111 输出：0100



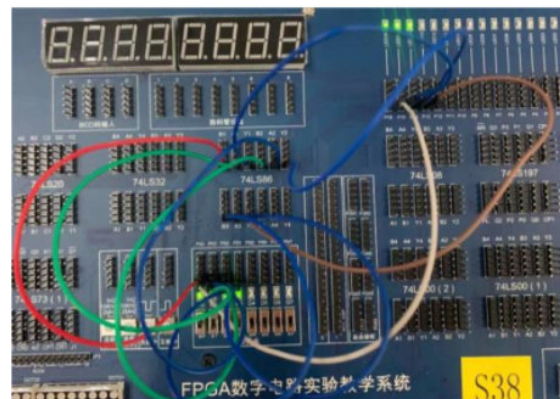
输入：1000 输出：1100



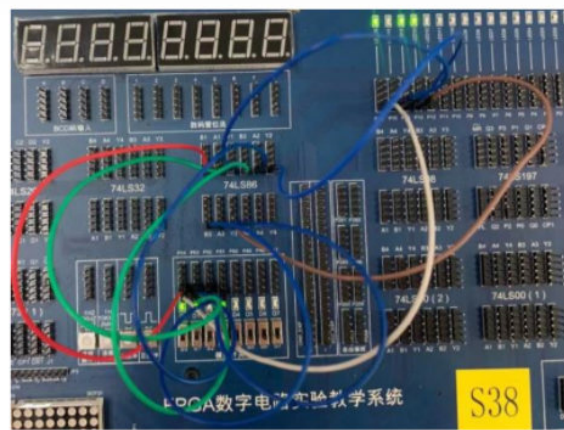
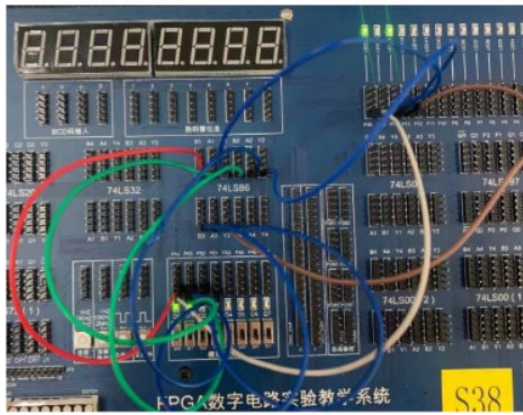
输入：1001 输出：1101



输入：1010 输出 1111



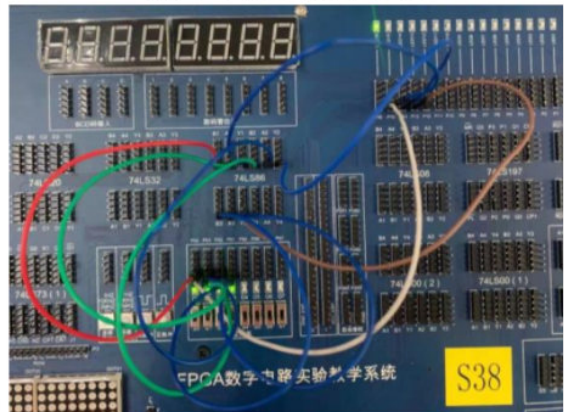
输入：1011 输出 1110



输入: 1100 输出 1010



输入: 1101 输出 1011



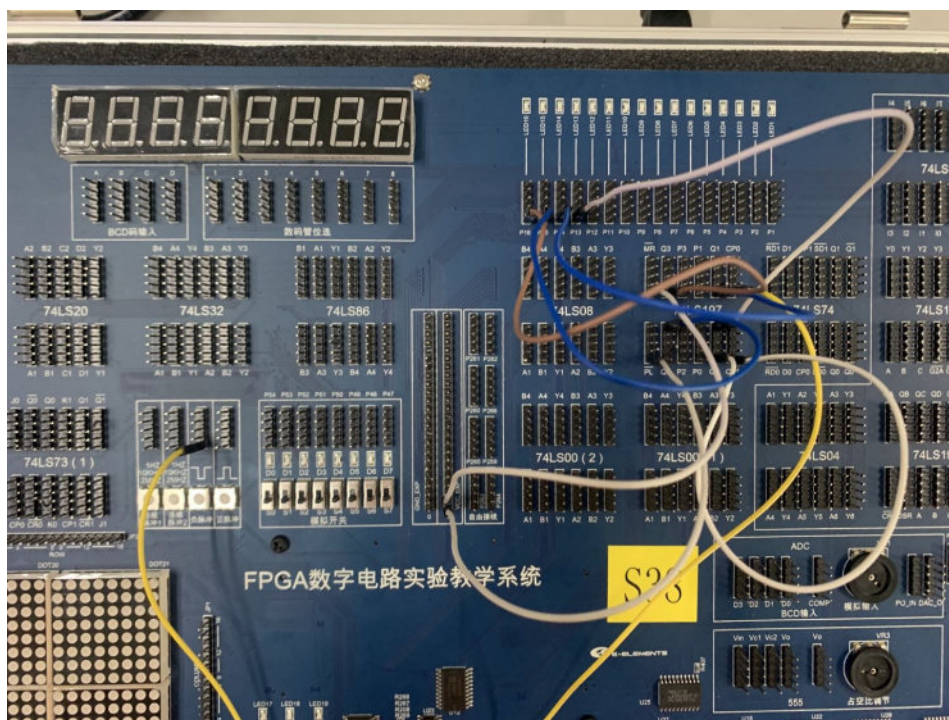
输入: 1110 输出 1001

输入: 1111 输出 1000

输出与真值表相同

3.将74LS197改造成十六进制计数器并测试是否工作正常

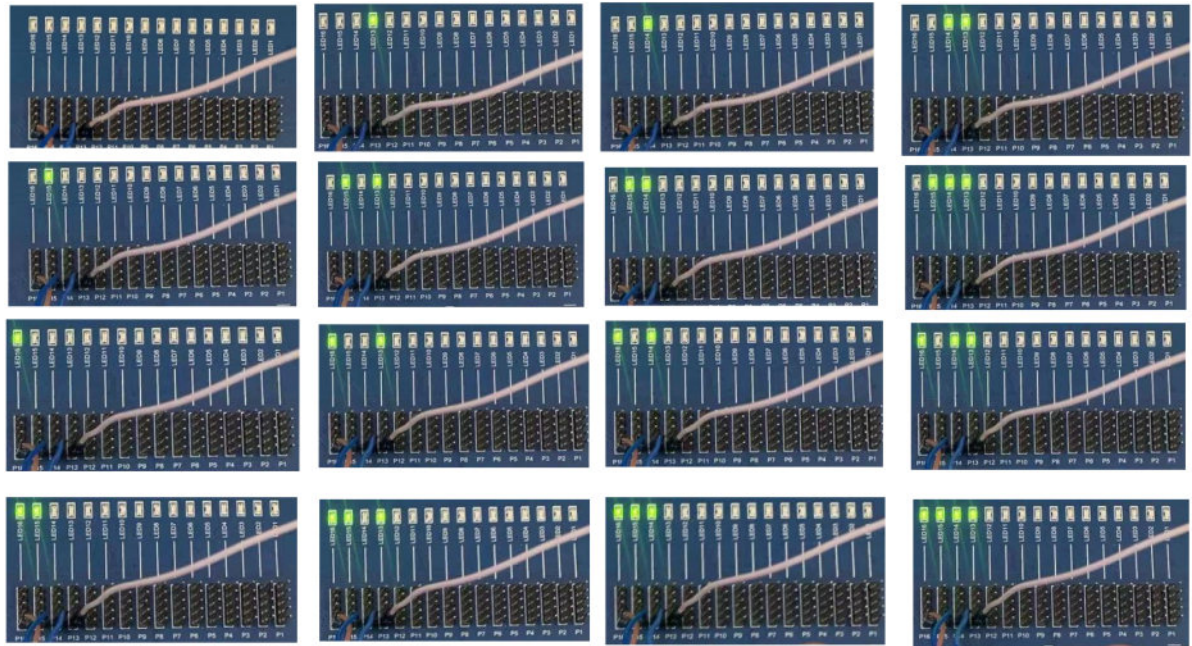
接线为



接线细节: CP0接负脉冲, CP1与Q0相接, \overline{MR} 和 \overline{PL} 接高电平。Q3,Q2,Q1,Q0分别接 LED16,LED15,LED14,LED13。

按下负脉冲即可改变LED输出值。

每一次按下负脉冲得到的结果如下

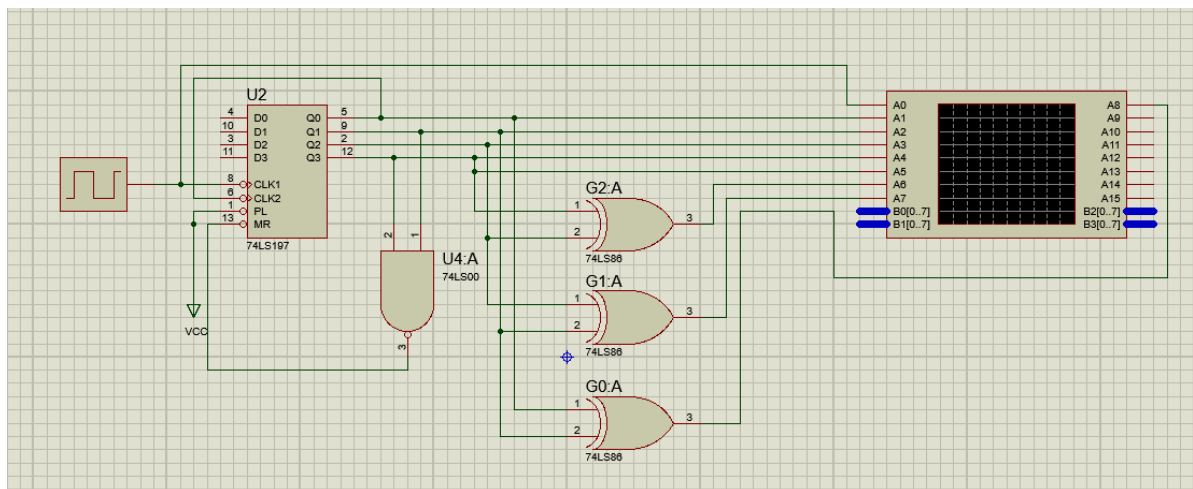


可见符合16进制计数器工作规律，故计数器工作无问题

4.动态测试代码转换电路

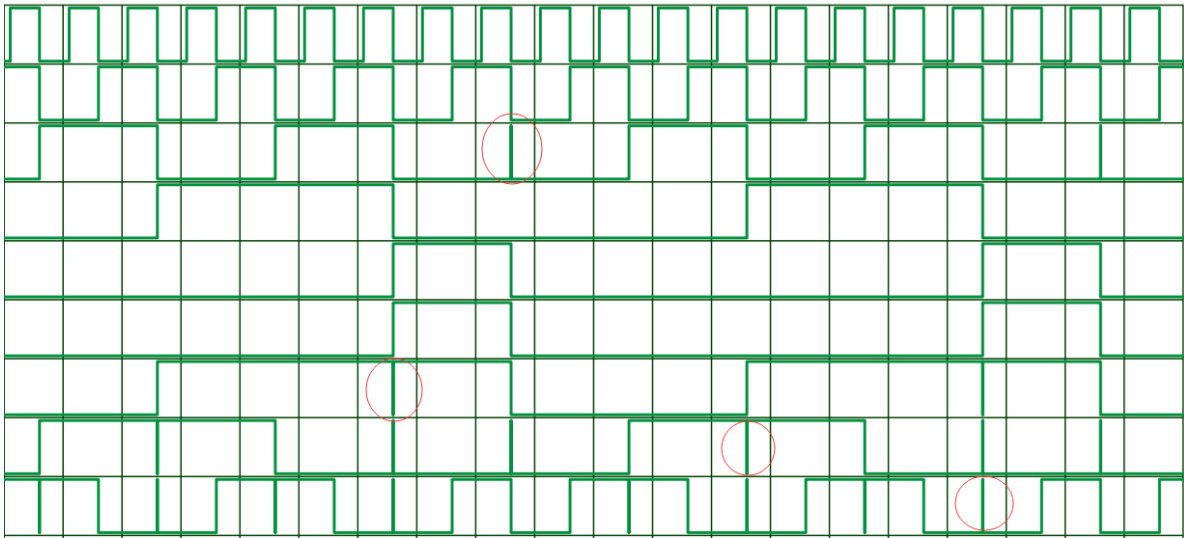
首先需将十六进制计数器改造成BCD码输出。改造过程为：在十六进制计数器的基础上将Q1与Q3接入74LS00即与非门，与非门的输出接异步清零端 \overline{MR} 即可将其改造为BCD码输出。

Proteus仿真接线如下

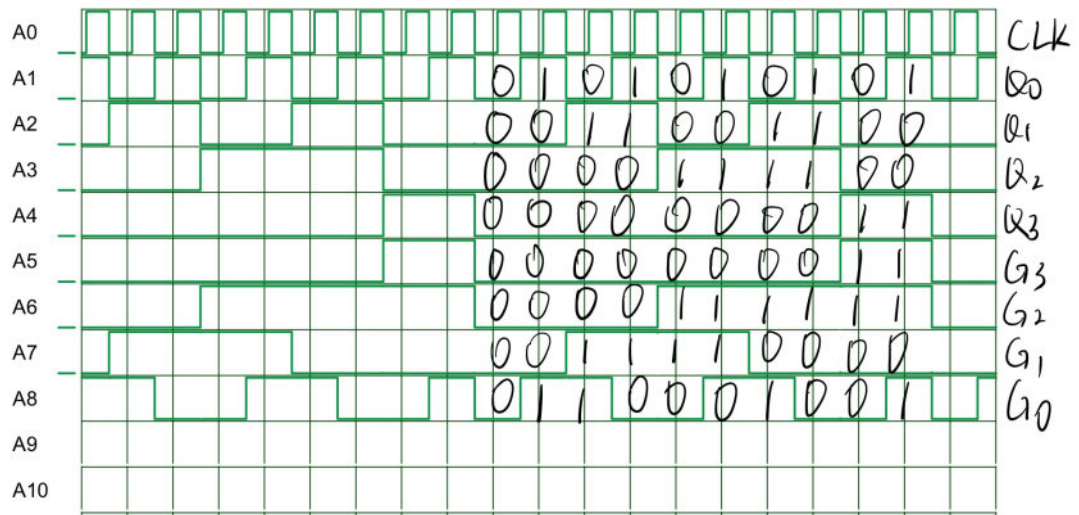


Q3为最高位输入，Q0为最低位输入。Q3=G3为最高位输出，G0为最低位输入。

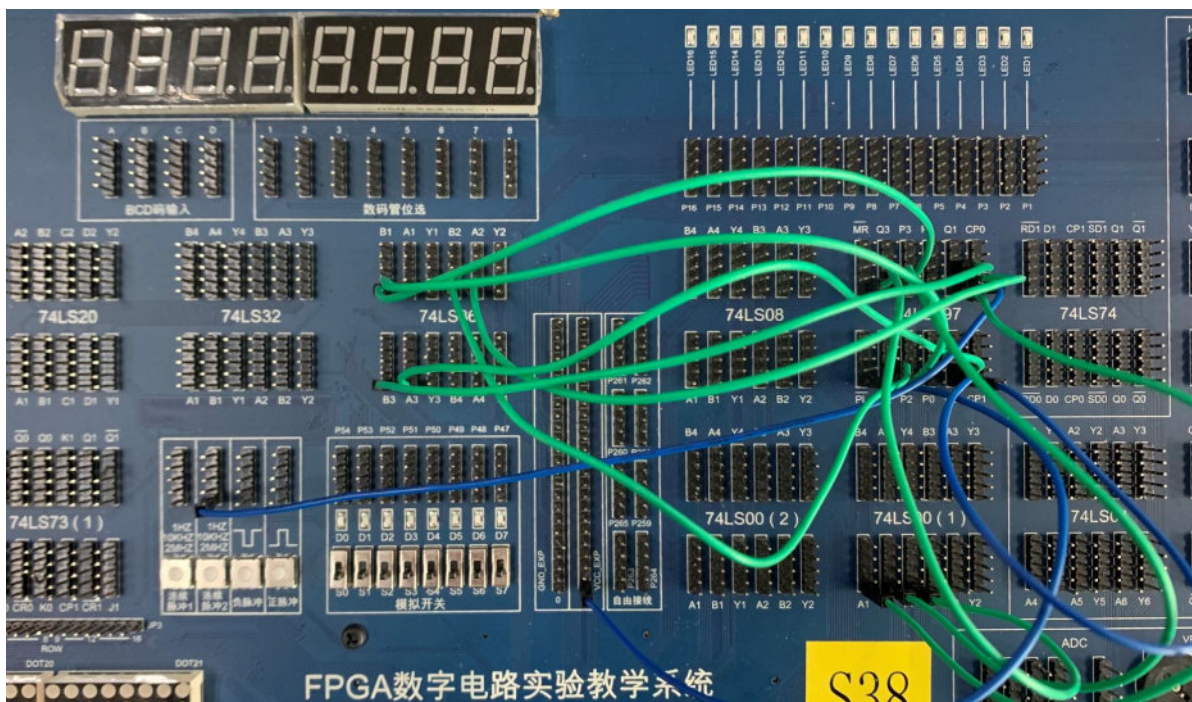
仿真输出如下



为了展示输出，毛刺擦除后的图像为：



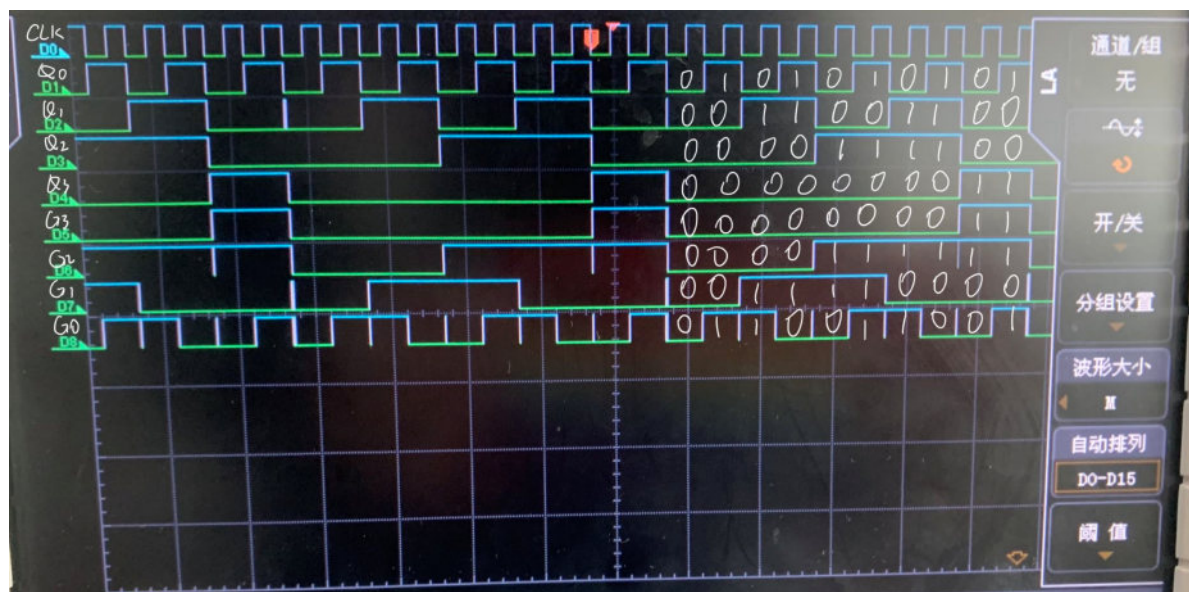
实验箱接线如下



接线细节：

\overline{PL} 端接高电平，CP0接10kHz脉冲，CP1和Q0相接构成16进制计数器。Q1与Q3分别与74LS00(1)的A1,B1相接，74LS00(1)的Y1与 \overline{MR} 相连，构成BCD码生成器。CLK与示波器D0口相连，Q0,Q1,Q2,Q3分别与示波器的D1,D2,D3,D4相连。Q3与D5相连，为格雷码的G3输出，Q3,Q2与74LS86的B1,A1口相连，Y1与D6相连，为格雷码的G2输出，Q2,Q1与74LS86的B2,A2口相连，Y2与D7相连，为格雷码的G2输出，Q1,Q0与74LS86的B3,A3口相连，Y3与D8相连，为格雷码的G0输出。

输出波形如下：D1-D8分别为时钟信号，Q0-Q3,G3-G0的输出



可见，满足格雷码转换电路的真值表。

同时，发现示波器中出现了毛刺，将波形放大，得到下图



从而知，毛刺是由传输延迟产生的

六、思考与提高

1. 在 Proteus 环境下，设计实现输入、输出如实验原理中二进制码七段数码管译码器真值表的组合逻辑电路。并将译码器电路的输出接共阴极七段数码管，仿真验证电路功能。

由修正后的真值表可得到a、b、c、d、e、f、g的逻辑表达

segment a:

$$\overline{Q_3}\overline{Q_2}\overline{Q_1}Q_0 + \overline{Q_3}Q_2\overline{Q_1}\overline{Q_0} + Q_3\overline{Q_2}Q_1Q_0 + Q_3Q_2\overline{Q_1}Q_0$$

segment b:

$$\overline{Q_3}Q_2\overline{Q_1}Q_0 + \overline{Q_3}Q_2Q_1\overline{Q_0} + Q_3\overline{Q_2}Q_1Q_0 + Q_3Q_2\overline{Q_1}\overline{Q_0} + Q_3Q_2Q_1$$

segment c:

$$\overline{Q_3}\overline{Q_2}Q_1\overline{Q_0} + Q_3Q_2\overline{Q_1}\overline{Q_0} + Q_3Q_2Q_1$$

segment d:

$$\overline{Q_3}\overline{Q_2}\overline{Q_1}Q_0 + \overline{Q_3}Q_2\overline{Q_1}\overline{Q_0} + Q_3\overline{Q_2}Q_1\overline{Q_0} + Q_2Q_1Q_0$$

segment e:

$$\overline{Q_3}Q_2Q_1Q_0 + \overline{Q_3}\overline{Q_2}Q_0 + \overline{Q_3}Q_2\overline{Q_1} + Q_3\overline{Q_2}\overline{Q_1}Q_0$$

segment f:

$$\overline{Q_3}\overline{Q_2}Q_1\overline{Q_0} + \overline{Q_3}Q_2Q_1Q_0 + \overline{Q_3}\overline{Q_2}Q_0 + Q_3Q_2\overline{Q_1}Q_0$$

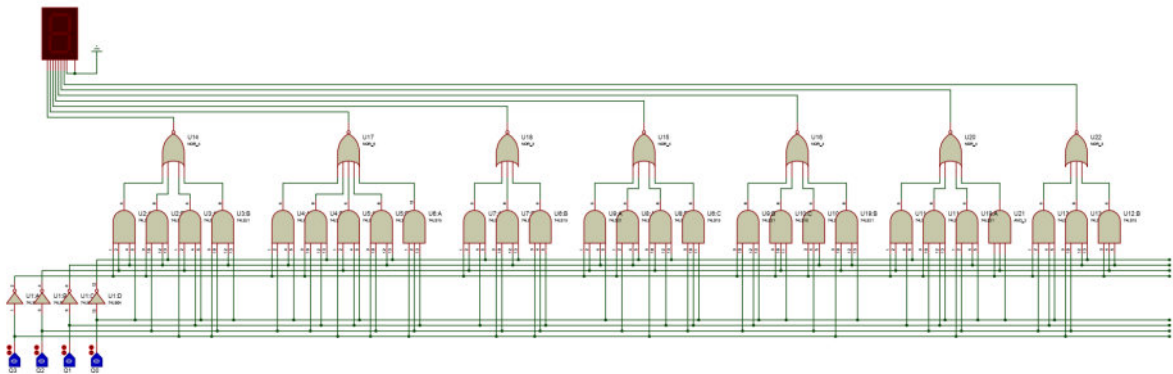
segment g:

$$\overline{Q_3}Q_2Q_1Q_0 + Q_3Q_2\overline{Q_1}\overline{Q_0} + \overline{Q_3}\overline{Q_2}\overline{Q_1}$$

考虑使用非门、与门和或非门实现组合逻辑电路

Proteus仿真接线如下

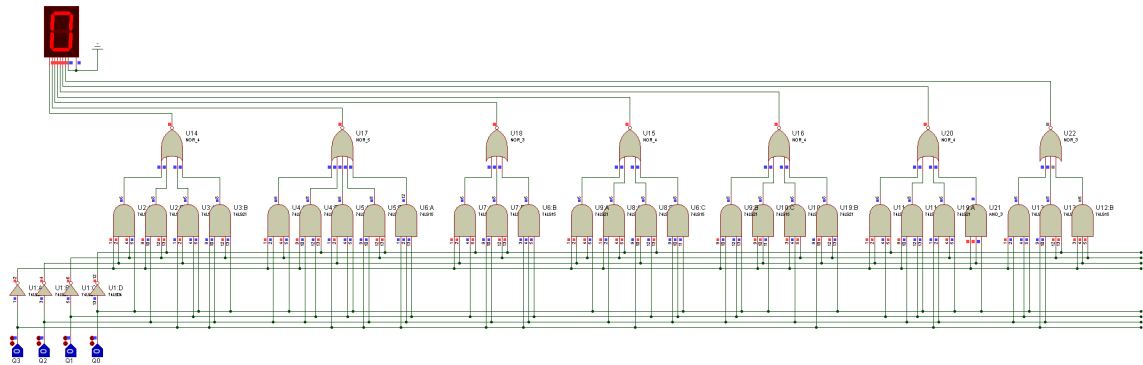
从左至右分别为a, b, c, d, e, f, g



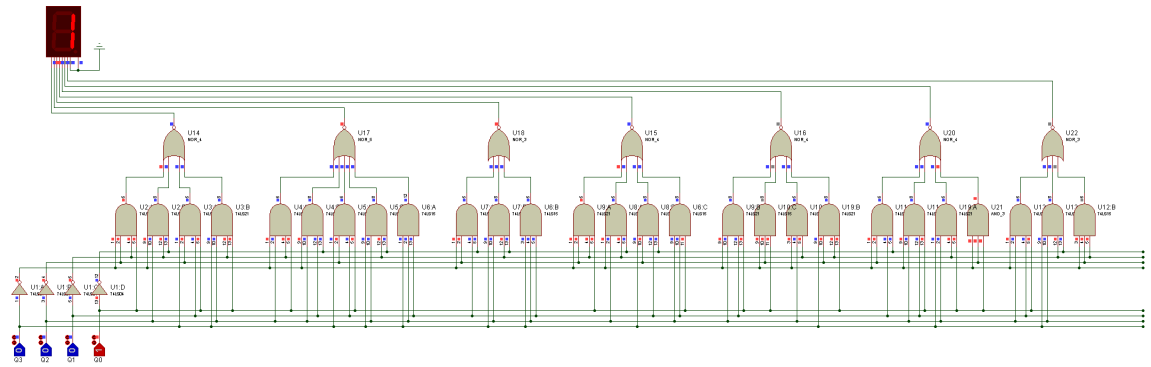
其中Q3Q2Q1Q0为二进制输出。

运行结果如下

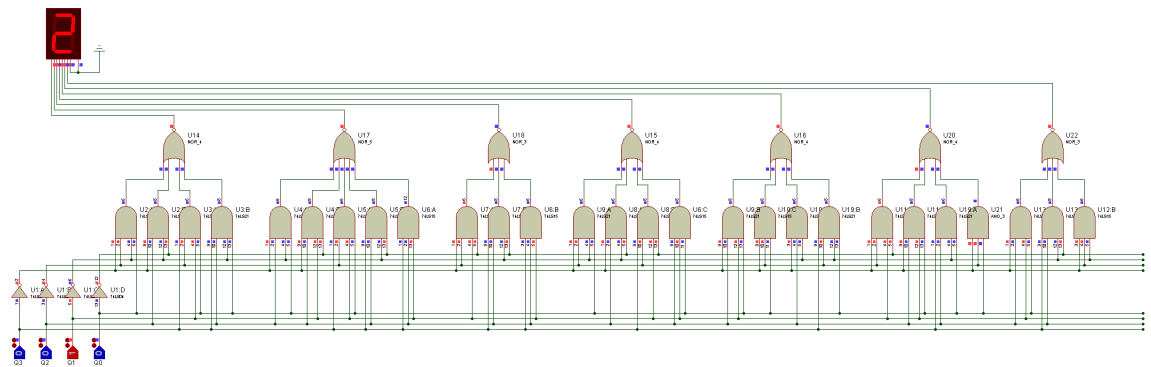
输入0000 数码管显示0



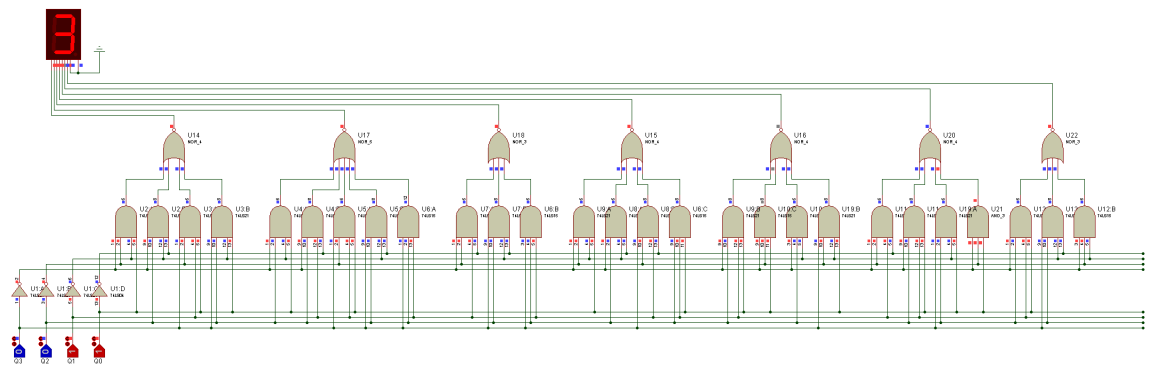
输入0001 数码管显示1



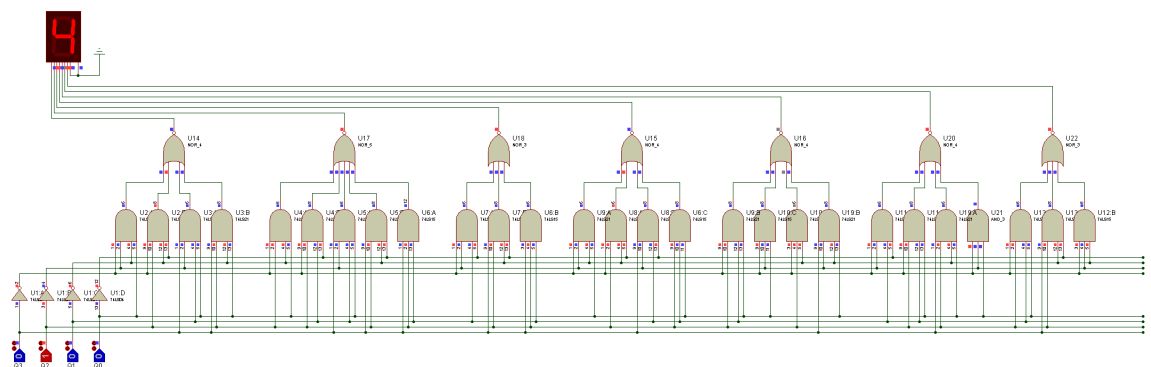
输入0010 数码管显示2



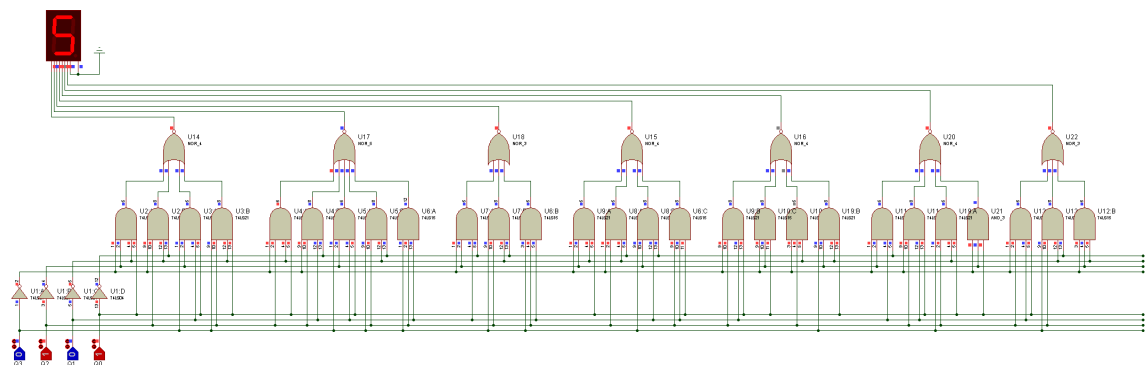
输入0011 数码管显示3



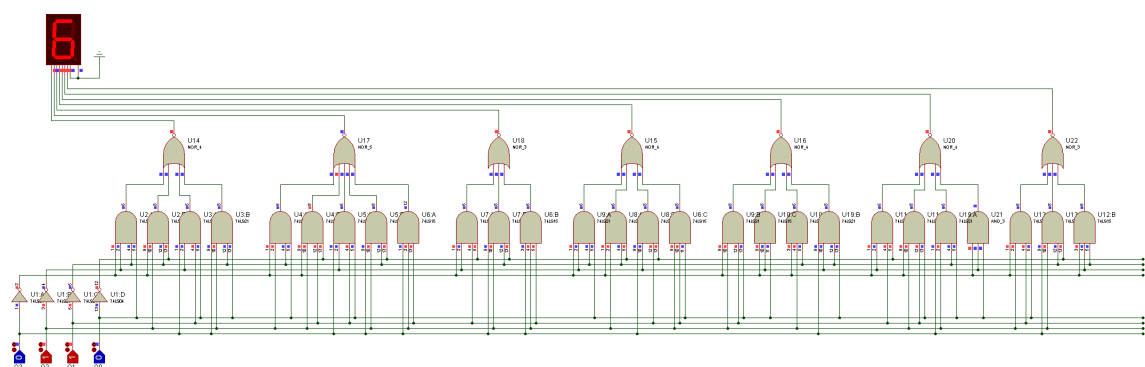
输入0100 数码管显示4



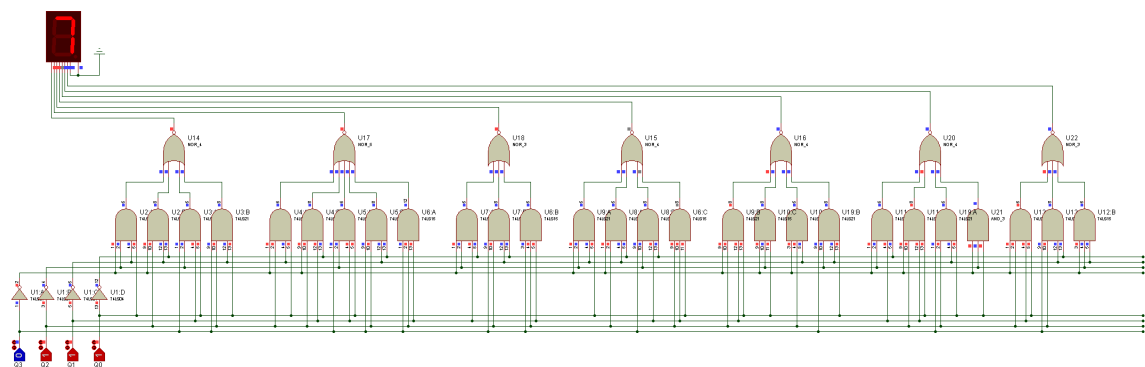
输入0101 数码管显示5



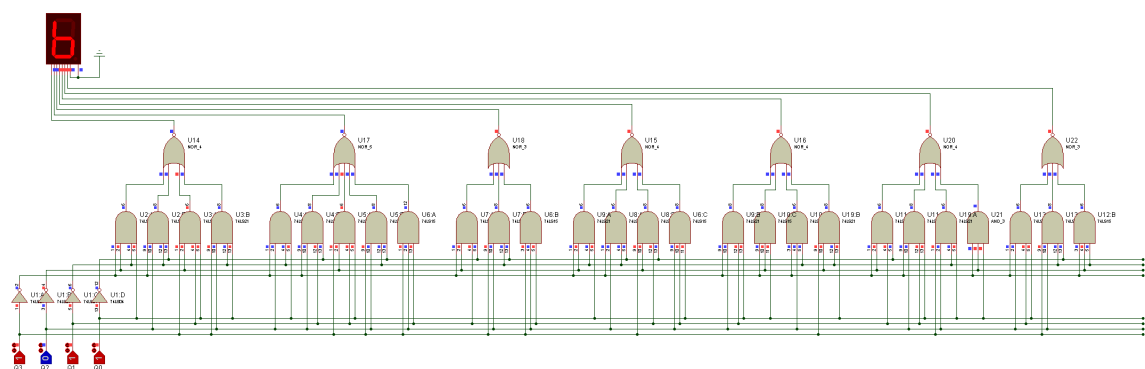
输入0110 数码管显示6



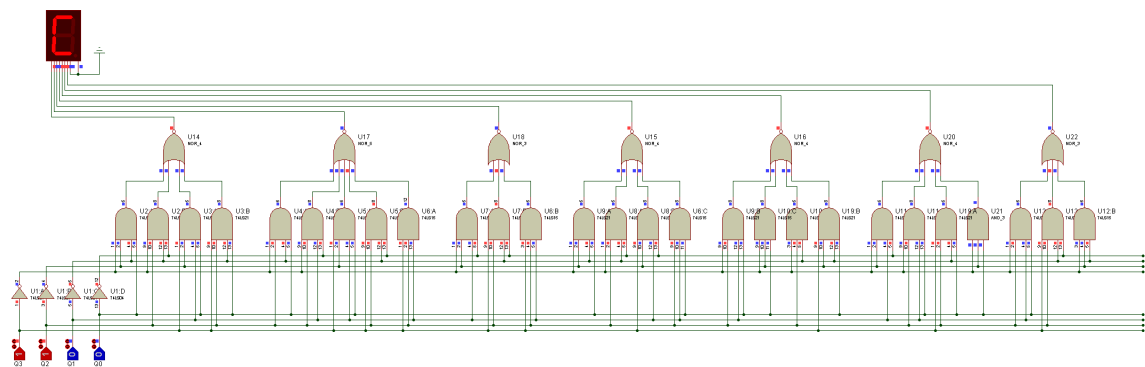
输入0111 数码管显示7



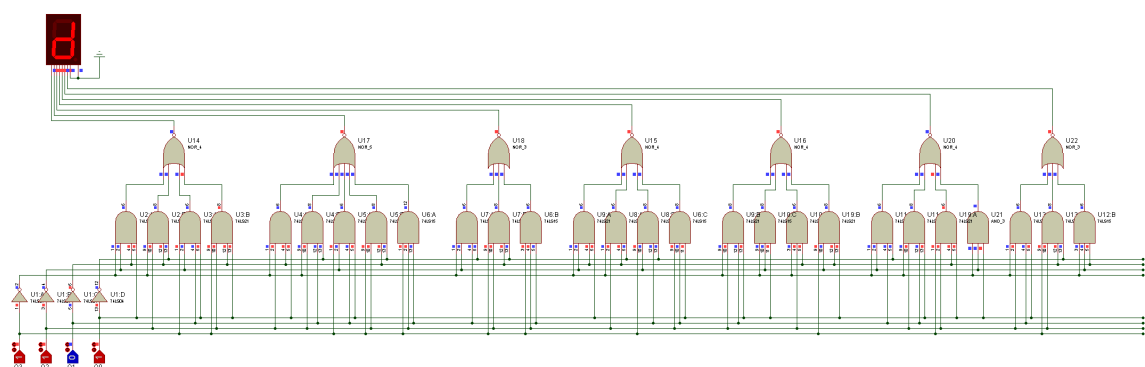
输入1000 数码管显示8



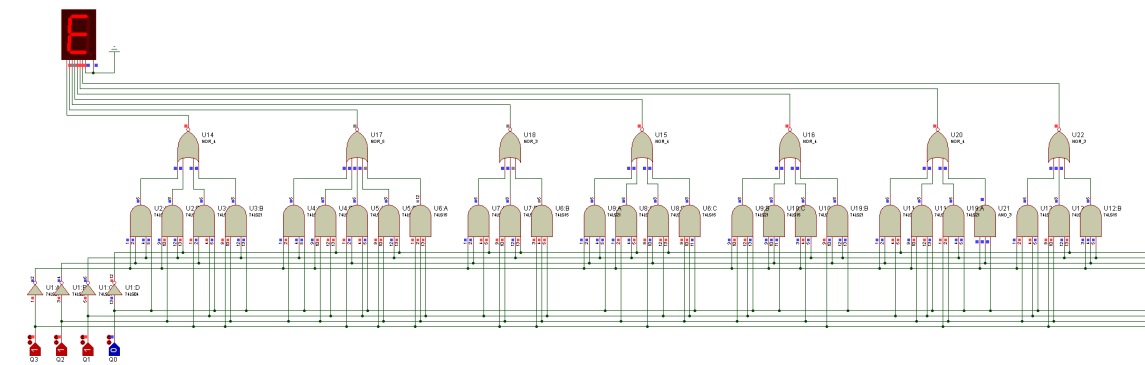
输入1100 数码管显示C



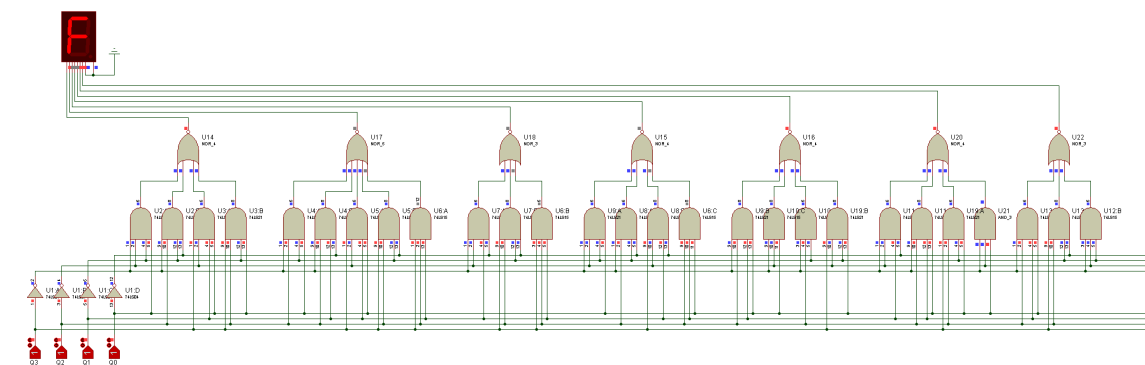
输入1101 数码管显示d



输入1110 数码管显示E

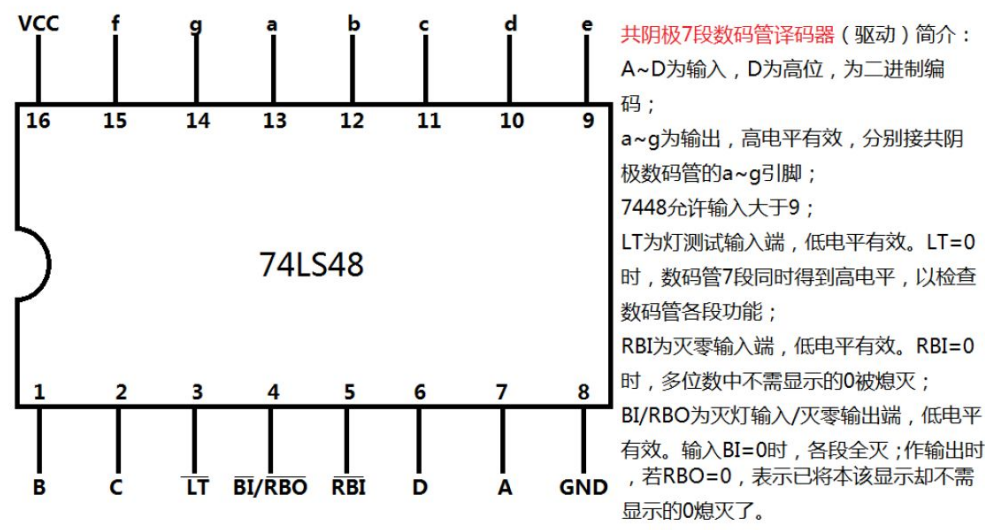


输入1111 数码管显示F



2. 在 Proteus 环境下，对芯片 74LS48（8421 码七段数码管译码器，可驱动共阴极七段数码管）进行仿真测试，分析对比其译码显示功能和实验原理中所述二进制码七段数码管译码器、以及数字电路实验箱上已经实现的 8421 码七段数码管译码功能有何异同。

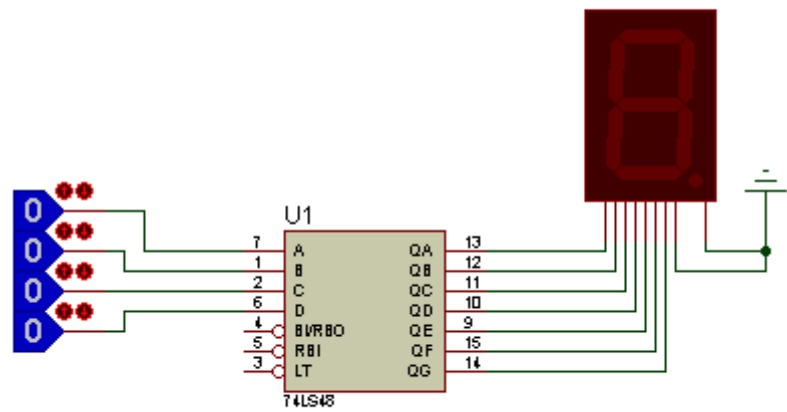
查阅74LS48的引脚图如下：



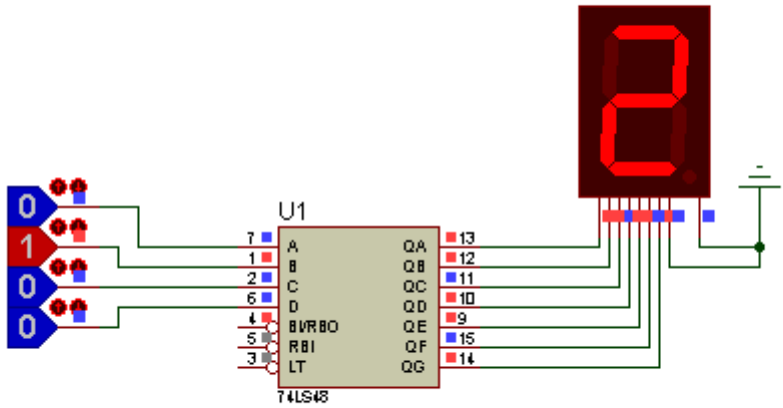
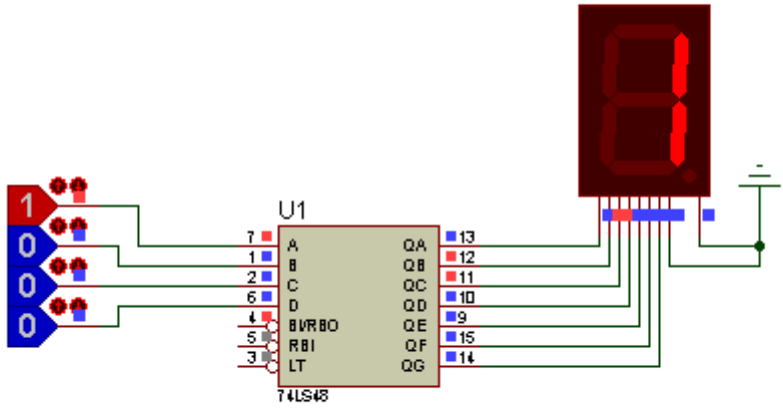
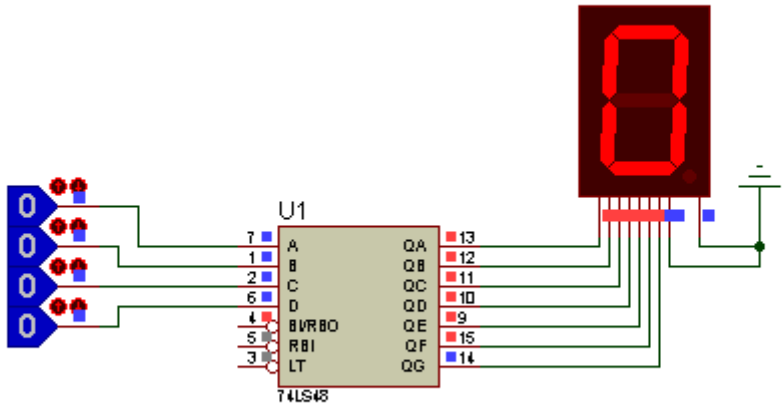
真值表及对应的显示如下图：

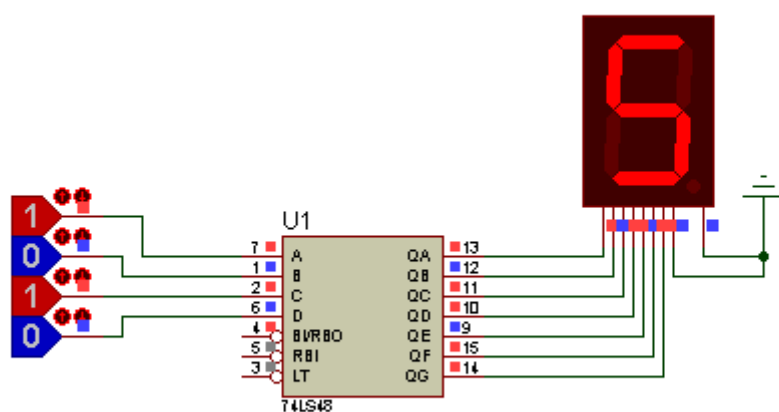
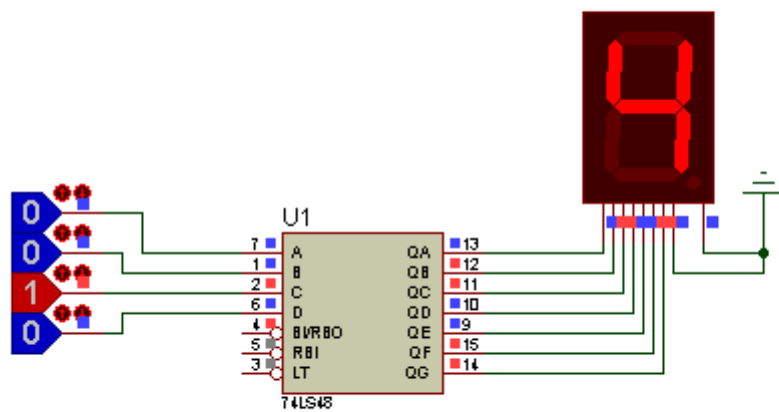
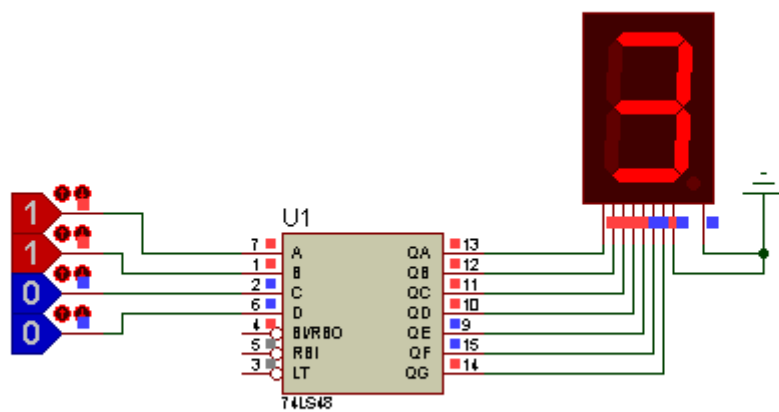
十进制数	输入			BI/RBO	输出						
或功能	LT	RBI	D C B A		a	b	c	d	e	f	g
0	H	H	0 0 0 0	H	1	1	1	1	1	1	0
1	H	x	0 0 0 1	H	0	1	1	0	0	0	0
2	H	x	0 0 1 0	H	1	1	0	1	1	0	1
3	H	x	0 0 1 1	H	1	1	1	1	0	0	1
4	H	x	0 1 0 0	H	0	1	1	0	0	1	1
5	H	x	0 1 0 1	H	1	0	1	1	0	1	1
6	H	x	0 1 1 0	H	0	0	1	1	1	1	1
7	H	x	0 1 1 1	H	1	1	1	0	0	0	0
8	H	x	1 0 0 0	H	1	1	1	1	1	1	1
9	H	x	1 0 0 1	H	1	1	1	0	0	1	1
10	H	x	1 0 1 0	H	0	0	0	1	1	0	1
11	H	x	1 0 1 1	H	0	0	1	1	0	0	1
12	H	x	1 1 0 0	H	0	1	0	0	0	1	1
13	H	x	1 1 0 1	H	1	0	0	1	0	1	1
14	H	x	1 1 1 0	H	0	0	0	1	1	1	1
15	H	x	1 1 1 1	H	0	0	0	0	0	0	0
BI	x	x	x x x x	L	0	0	0	0	0	0	0
RBI	H	L	0 0 0 0	L	0	0	0	0	0	0	0
LT	L	x	x x x x	H	1	1	1	1	1	1	1

Proteus仿真接线如下

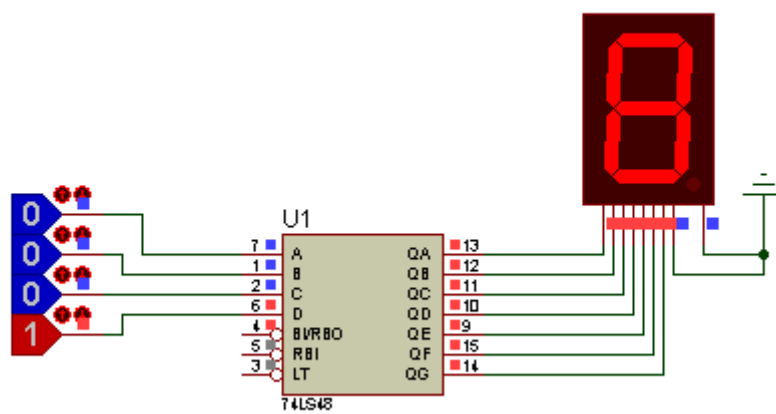
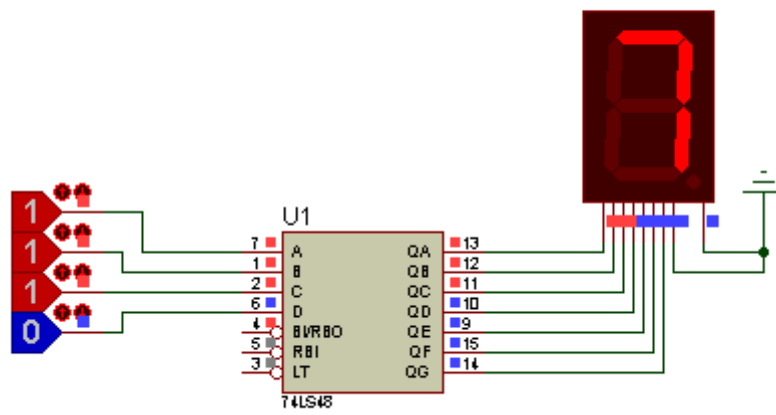
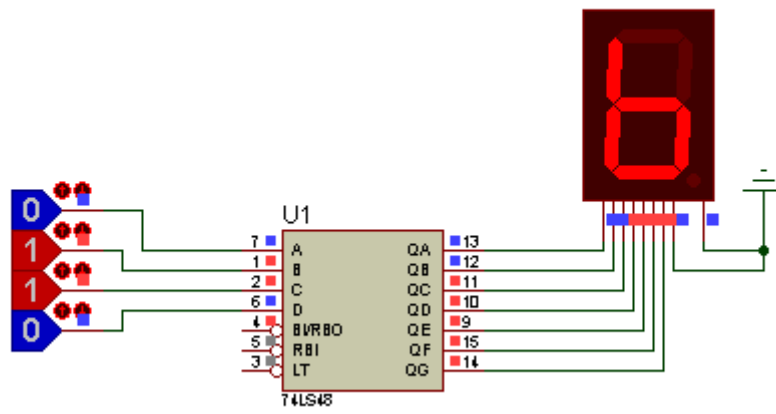


运行结果为

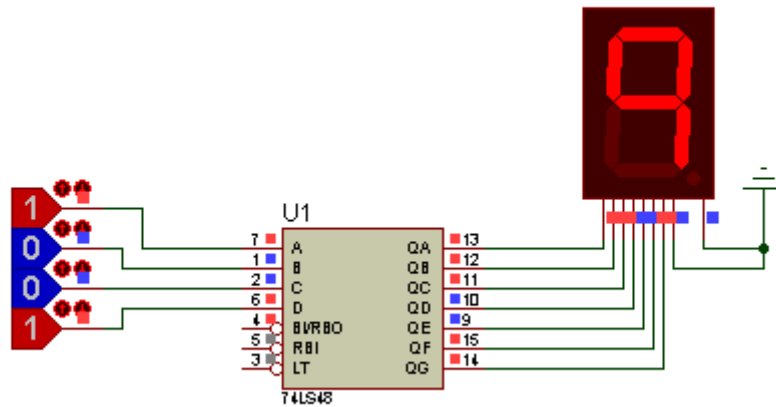




74LS48 6的输出不同



74LS48 9的输出也不同



由于74LS48为BCD转7段数码管译码器，故其余的四位二进制数为无效码，由于篇幅所限，不在仿真结果中给出。

74LS48与实验原理中所述二进制码七段数码管译码器的异同：

相同点：都可以做BCD码转七段数码管显示的译码器

不同点：74LS48与实验原理中所述二进制码七段数码管译码器在数字6和9的显示结果不同

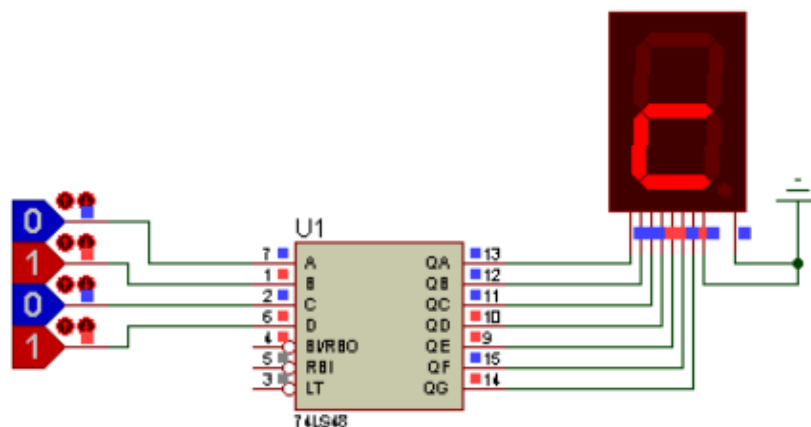
74LS48在输入BCD四位二进制数无效码的显示为无效显示，实验原理中所述二进制码七段数码管译码器输入BCD四位二进制数无效码的显示为"A"，"b"，"C"，"d"，"E"，"F"的字母

74LS48与数字电路实验箱上已经实现的 8421 码七段数码管译码器的异同：

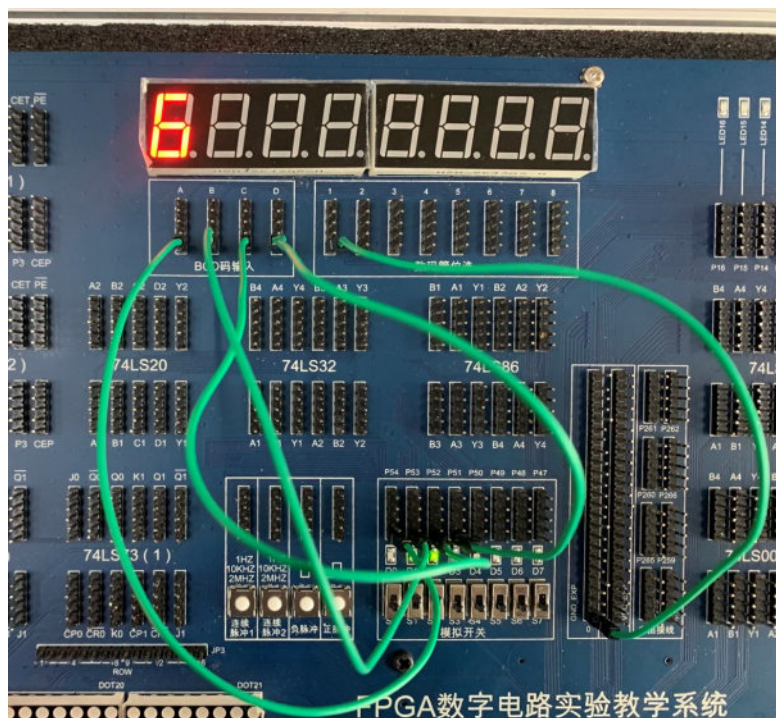
相同点：都可以做BCD码转七段数码管显示的译码器。

不同点：74LS48与数字电路实验箱上已经实现的 8421 码七段数码管译码器在数字6和9的显示结果不同，实验箱上的8421 码七段数码管译码器在输入为无效BCD码时，数码管不显示。而74LS48会显示一系列乱码

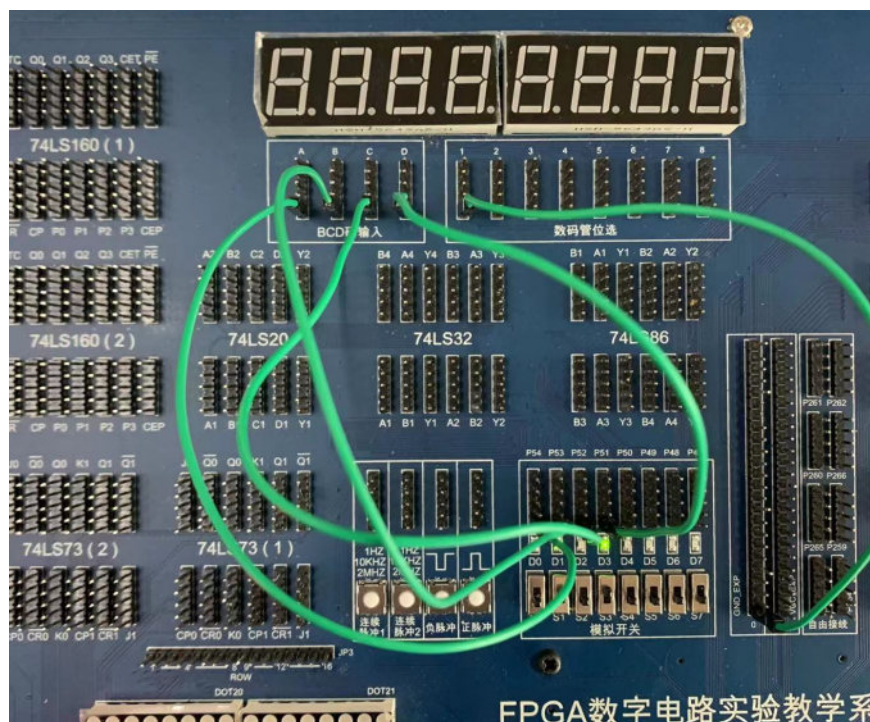
输入为1010



BCD输入为0110时，数码管的显示

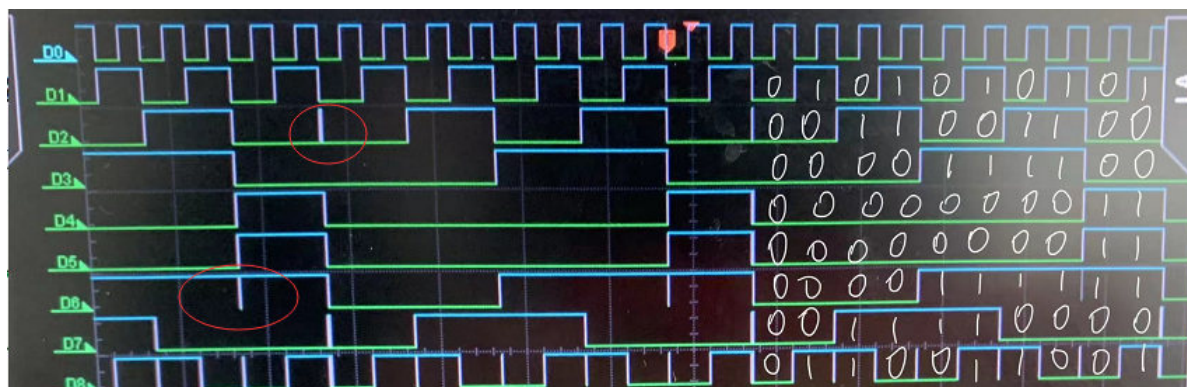


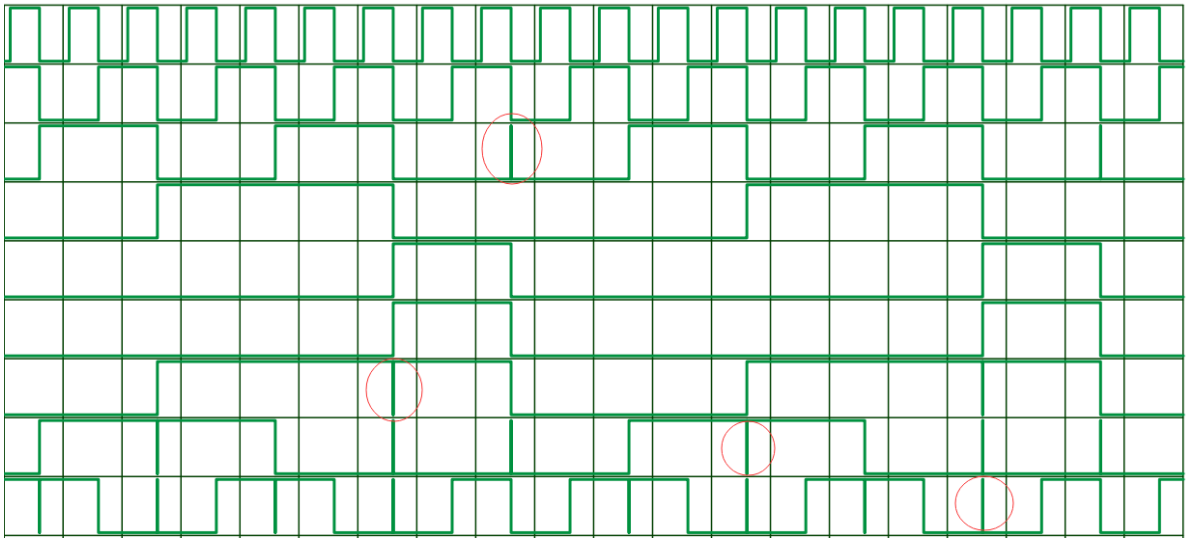
BCD输入为1010(无效码)时,数码管的显示



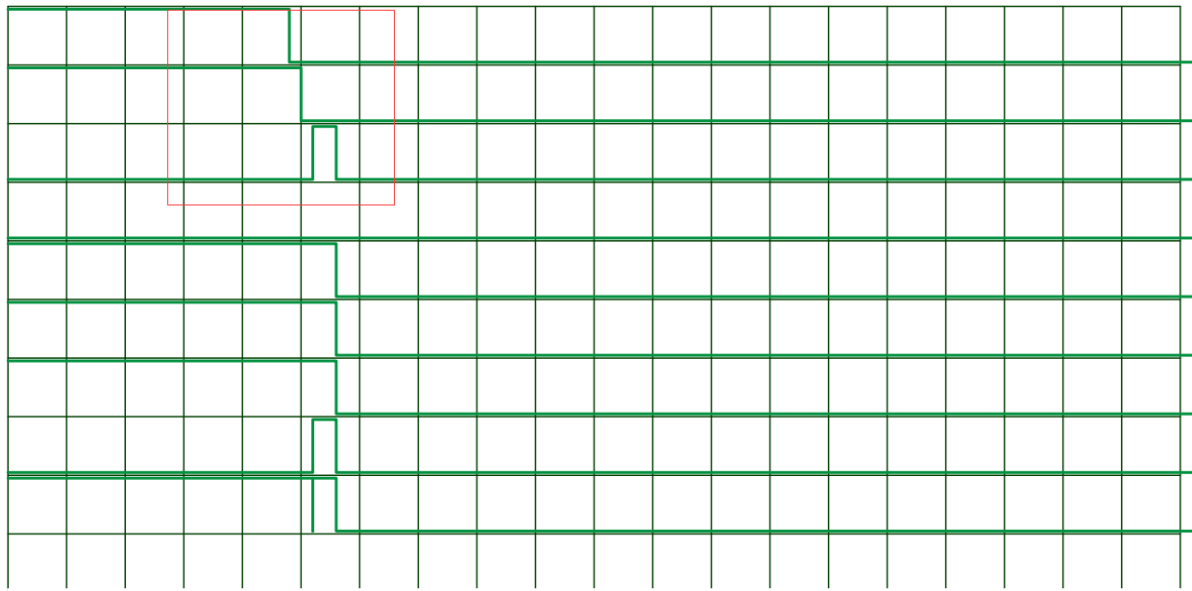
七、实验中出现的问題

在实验过程中得到的示波器图像以及仿真测试中的逻辑分析仪图像中都会出现波形的毛刺即“假信号”。



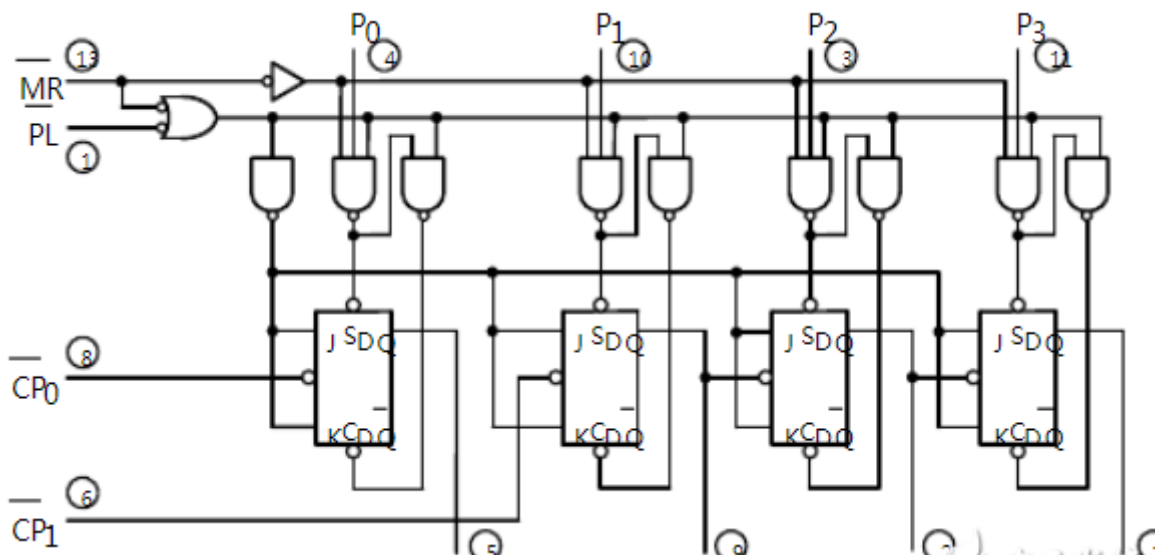


将波形放大



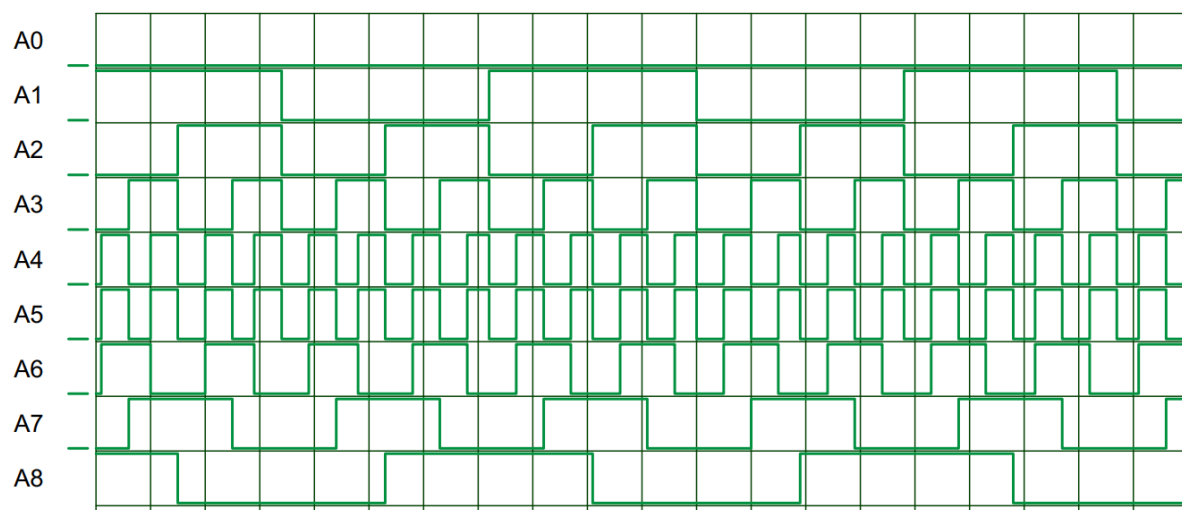
可见，这里是存在由于传输延迟导致的。

由74LS197的内部结构知



存在4个J-K触发器，故而将其改造为八进制和十六进制计数器时容易产生毛刺现象。

将74LS197换成四个CLOCK之后，输出结果不存在毛刺。



消除竞争冒险现象的方法：(1) 接入滤波电路，在输出端并接入一个很小的滤波电容 C_f ，足可把尖峰脉冲的幅度削弱至门电路的阈值电压以下。(2) 引入选通脉冲；对输出引进选通脉冲，避开险象。(3) 修改逻辑设计；在逻辑函数化简选择乘积项时，按照判断组合电路是否存在竞争冒险的方法，选择使逻辑函数不会使逻辑函数产生竞争冒险的乘积项。也可采用增加冗余项方法。

八、实验心得

仿真部分：

虽然仿真时，器件皆是处于理想状态，无现实中的误差干扰。但使用异或门或异步电路时仍会在波形产生中产生毛刺现象，虽然在一定情况下可以通过改变逻辑分析仪的分辨率去除，但竞争冒险现象依旧存在。应该使用上文提及的方法尝试去除。

虽然仿真软件中原件库十分齐全，但在仿真时，还需考虑现实中实验室各个元器件的情况。如四输入与门等门电路实在实验室使用的实验箱上所没有的，并且实验箱中能使用的器件有限。故在仿真设计时也应考虑实际情况，不能一下子用一堆元器件，要进行统筹设计。

在使用中规模器件前要查阅相应的引脚图和真值表，不能仅根据中规模器件的名称就用门电路直接实现，容易出现功能上的不同。

实验部分：

实验时，有时会需要大量的接线，如果使用的杜邦线颜色，长短不一。很可能接线看起来凌乱，出现问题时也不知从何下手进行改正。应尽量同一输出采用相同颜色的杜邦线，长度尽量一致。这样不仅看起来美观，而且出了问题也好找错。

拆除杜邦线时，要从根部拔出，直接抓着导线拔出很可能导致实验箱引脚歪斜，进而损坏整个实验箱。