

# 19302058汪奕晖数字电路第三次实验实验报告

## 3.3 译码器电路原理及应用

74LS138 是一种常见的普通 3-8 线译码器，它将输入的二进制代码译成低电平信号在对应的引脚输出。同时 74LS138 也是一种中规模集成电路器件（MSI），它本身是为实现译码的逻辑功能而设计的，但由于它的输入、输出关系的一些特点，我们也可以用它来实现任意三输入变量的组合逻辑电路。

### 一、实验目的

- 1. 熟悉译码器的功能与使用方法。
- 2. 掌握用中规模集成电路（MSI）设计的组合逻辑电路的方法。

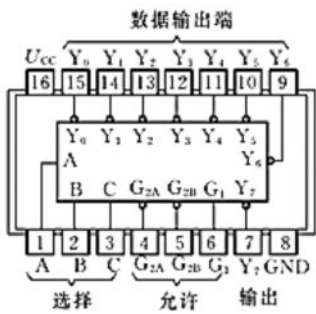
### 二、实验仪器及器件

- 1. 数字电路实验箱、数字万用表、示波器。
- 2. 虚拟器件：74LS00，74LS197，74LS138。

### 三、实验预习

- 1. 阅读实验原理，查阅芯片数据手册掌握 74LS138 工作原理、功能表及其使用方法。

引脚图



74LS138工作原理：74LS138 为3 线 - 8 线译码器，共有 54/74S138和 54/74LS138两种线路结构型式，其工作原理如下：

- ①当一个选通端（E1）为高电平，另两个选通端（ $\overline{E2}$ ）和（ $\overline{E3}$ ）为低电平时，可将地址端（A0、A1、A2）的二进制编码在Y0至Y7对应的输出端以低电平译出。（即输出为Y0至Y7的非）比如：A2A1A0=110时，则Y6输出端输出低电平信号。
- ②利用 E1、E2和E3可级联扩展成 24 线译码器；若外接一个反相器还可级联扩展成 32 线译码器。
- ③若将选通端中的一个作为数据输入端时，74LS138还可作数据分配器。
- ④可用在8086的译码电路中，扩展内存。

任何时刻要么全为高电平1—芯片处于不工作状态，要么只有一个为低电平0，其余7个输出引脚全为高电平1。如果出现两个输出引脚同时为0的情况，说明该芯片已经损坏。

3-8译码器真值表为

$I_2$	$I_1$	$I_0$	$Y_7$	$Y_6$	$Y_5$	$Y_4$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	1	1	1	1	1	1	1	0
0	0	1	1	1	1	1	1	1	0	1
0	1	0	1	1	1	1	1	0	1	1
0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	1	1	0	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1
1	1	0	1	0	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1

逻辑表达式为

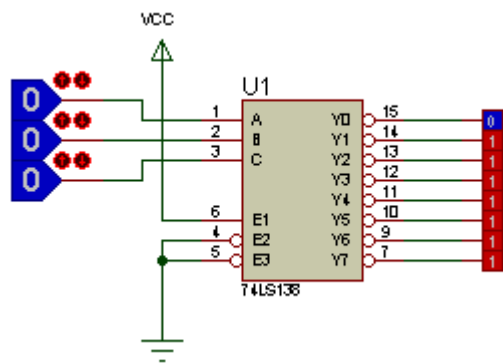
$$\begin{aligned}\overline{Y_0} &= \overline{I_2}\overline{I_1}\overline{I_0} \\ \overline{Y_1} &= \overline{I_2}\overline{I_1}I_0 \\ \overline{Y_2} &= \overline{I_2}I_1\overline{I_0} \\ \overline{Y_3} &= \overline{I_2}I_1I_0 \\ \overline{Y_4} &= I_2\overline{I_1}\overline{I_0} \\ \overline{Y_5} &= I_2\overline{I_1}I_0 \\ \overline{Y_6} &= I_2I_1\overline{I_0} \\ \overline{Y_7} &= I_2I_1I_0\end{aligned}$$

由上式可以看出，同时又是这三个变量的全部最小项的译码输出，所以也把这种译码器叫做最小项译码器。

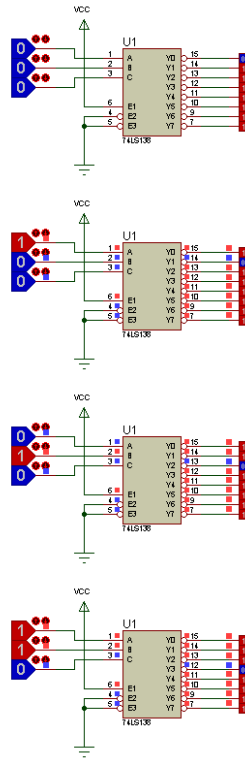
74LS138有三个附加的控制端、和。当、时，输出为高电平，译码器处于工作状态。否则，译码器被禁止，所有的输出端被封锁在高电平这三个控制端也叫做“片选”输入端，利用片选的作用可以将多篇连接起来以扩展译码器的功能。带控制输入端的译码器又是一个完整的数据分配器。如果把G1作为“数据”输入端（同时），而将ABC作为“地址”输入端，那么从送来的数据只能通过所指定的一根输出线送出去。

2. 在 Proteus 环境下，对 74LS138 进行静态测试和动态测试。

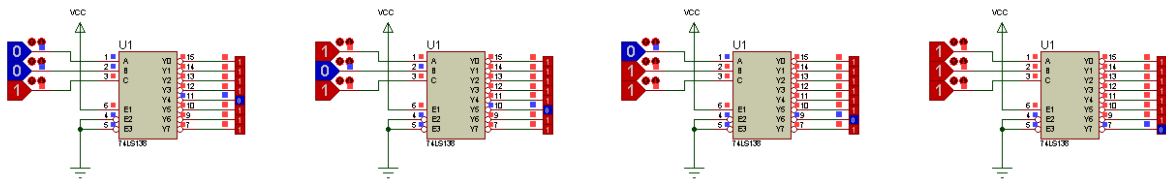
静态测试：仿真接线如图：



输出为



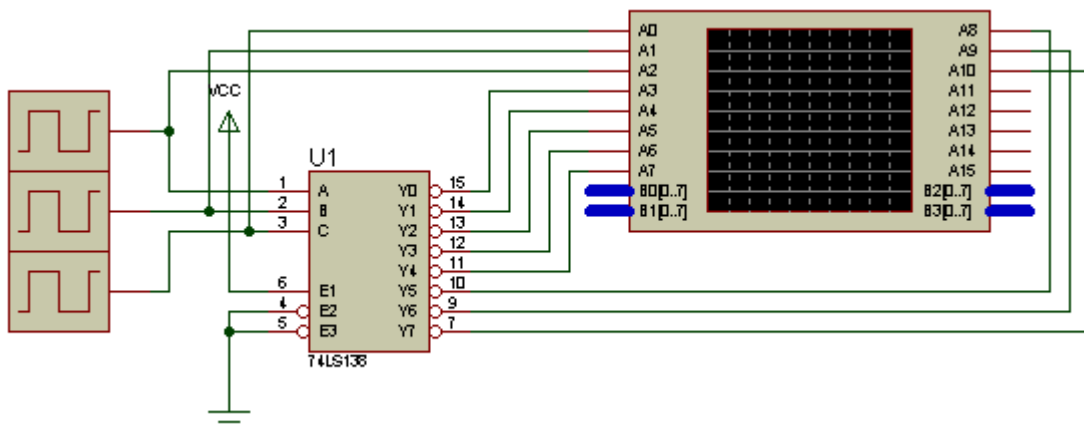
输入000,  $Y_0$ 输出0    输入001,  $Y_1$ 输出0    输入010,  $Y_2$ 输出0    输入011,  $Y_3$ 输出0



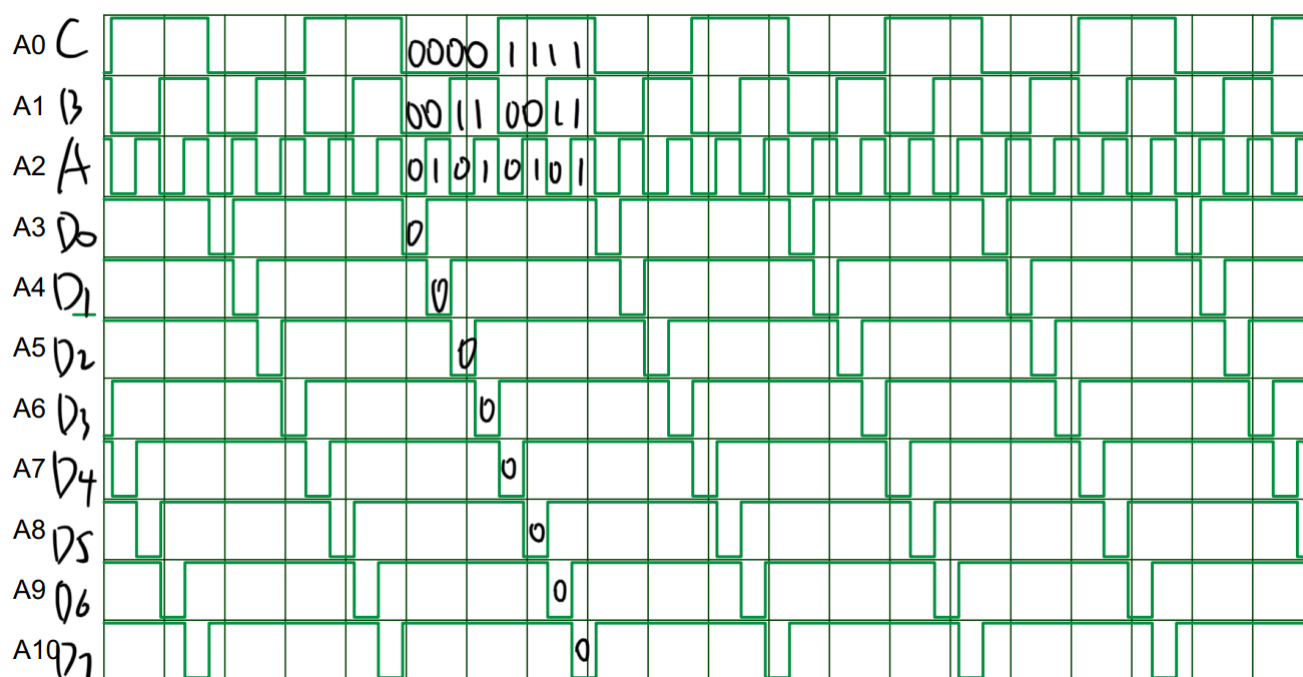
输入100,  $Y_4$ 输出0    输入101,  $Y_5$ 输出0    输入110,  $Y_6$ 输出0    输入111,  $Y_7$ 输出0

动态测试：

仿真接线如下, CLK从上到下为2kHz, 1kHz, 500Hz



逻辑分析仪输出为: A0,A1,A2为C,B,A, A4-A10为Y0-Y7



3. 在 Proteus 环境下，使用门电路搭建一个普通 3-8 线译码器电路（无需添加使能端  $\overline{G2A}$ 、 $\overline{G2B}$  和  $G1$ ），功能同 74LS138。并通过静态测试和动态测试，在仿真环境下验证电路功能的正确性。

由逻辑表达式

$$\overline{Y}_0 = \overline{I}_2 \overline{I}_1 \overline{I}_0$$

$$\overline{Y}_1 = \overline{I}_2 \overline{I}_1 I_0$$

$$\overline{Y}_2 = \overline{I}_2 I_1 \overline{I}_0$$

$$\overline{Y}_3 = \overline{I}_2 I_1 I_0$$

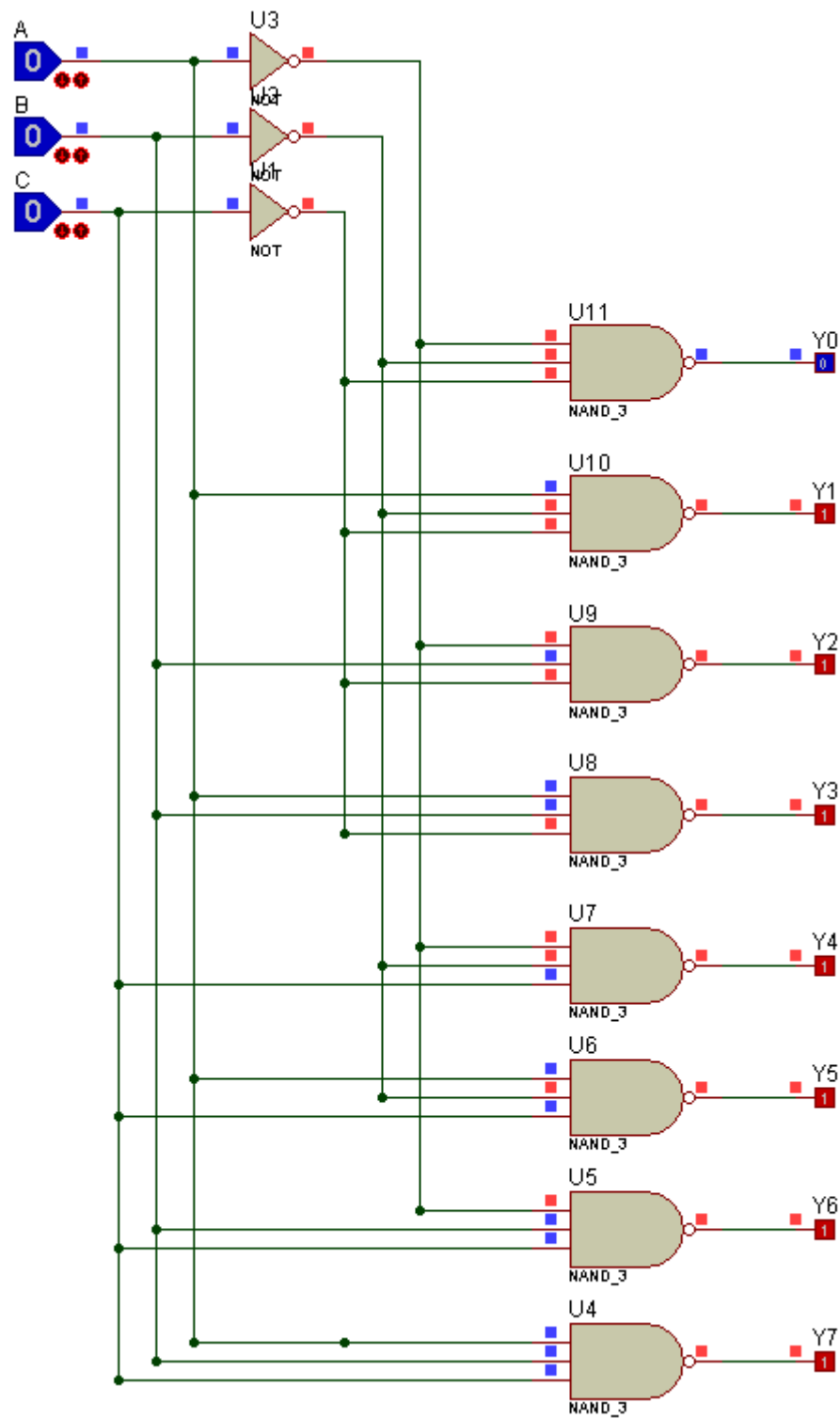
$$\overline{Y}_4 = I_2 \overline{I}_1 \overline{I}_0$$

$$\overline{Y}_5 = I_2 \overline{I}_1 I_0$$

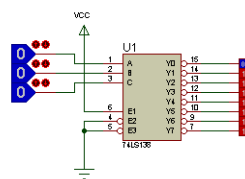
$$\overline{Y}_6 = I_2 I_1 \overline{I}_0$$

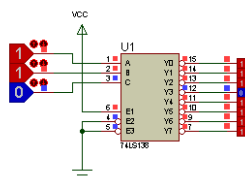
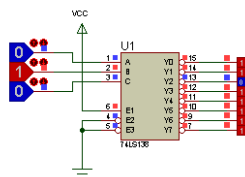
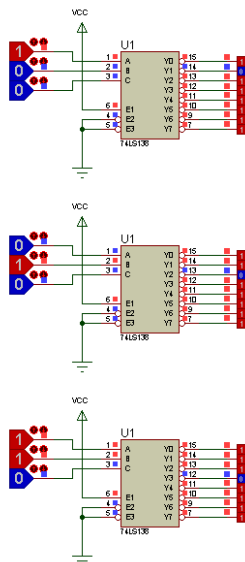
$$\overline{Y}_7 = I_2 I_1 I_0$$

静态测试接线如下，使用非门，三输入与非门即可实现

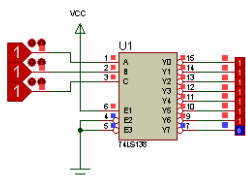
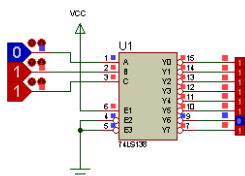
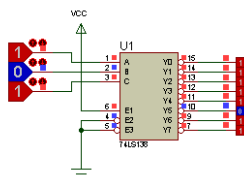
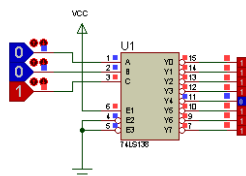


输出如下



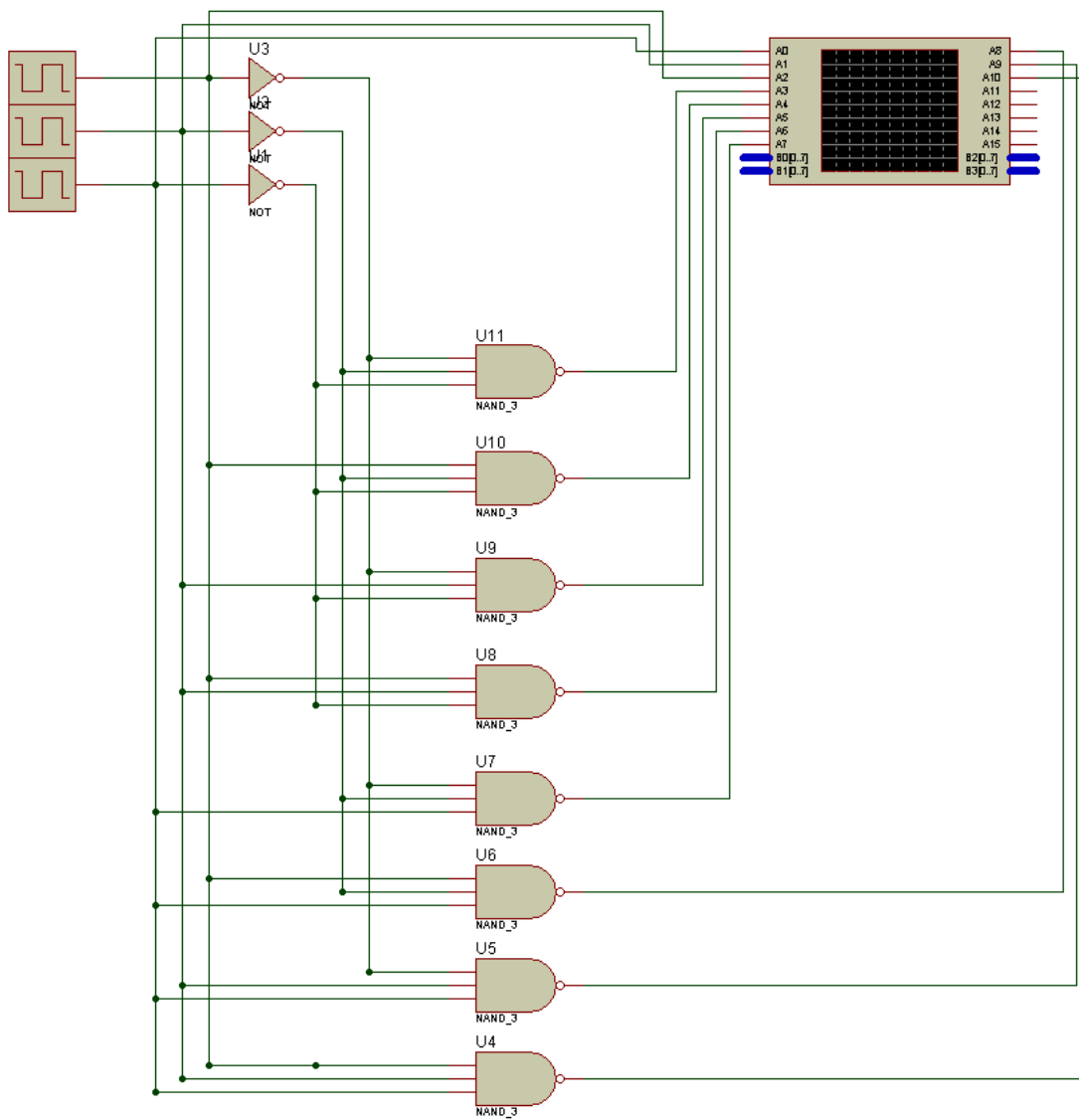


输入000,  $Y_0$ 输出0    输入001,  $Y_1$ 输出0    输入010,  $Y_2$ 输出0    输入011,  $Y_3$ 输出0

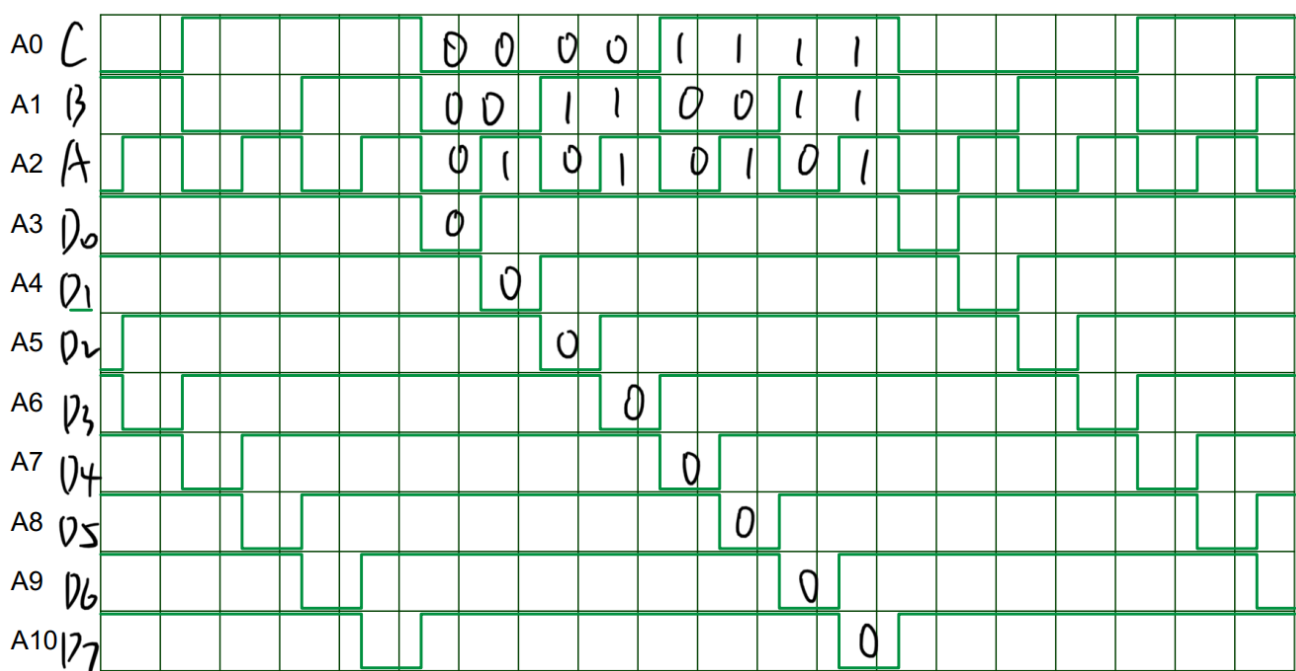


输入100,  $Y_4$ 输出0    输入101,  $Y_5$ 输出0    输入110,  $Y_6$ 输出0    输入111,  $Y_7$ 输出0

动态测试接线如下, CLK频率从上到下依次为2kHz, 1kHz, 500Hz, 分别为输入A,B,C。三输入与非门的输出从上到下依次为Y0-Y7



逻辑分析仪输出为



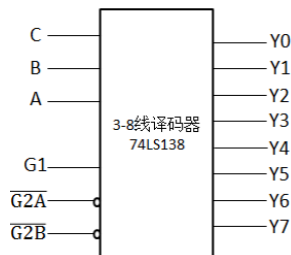
4. 阅读实验原理，掌握采用 74LS138（中规模集成电路）实现组合逻辑电路的方法。

## 四、实验原理

### 1. 74LS138（3-8 线译码器）

译码器可将每个输入的二进制代码译成对应的输出高、低电平信号。如下图

所示为 3-8 线译码器 74LS138 的逻辑符号。 $\overline{G2A}$ 、 $\overline{G2B}$  是 74LS138 的使能端，低电平有效。C、B、A 和 G1 是 74LS138 的输入引脚，与输出引脚 Y0-Y7 满足真值表所列 3-8 线译码器逻辑关系。（下图有点问题，输出应该是低电平输出）



如下表所示为 3-8 线译码器 74LS138 的真值表，此时  $\overline{G2A}$ 、 $\overline{G2B}$  是接低电平，G1 接输入（数据）信号 D。

输入			输出							
C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	$\overline{D}$	1	1	1	1	1	1	1
0	0	1	1	$\overline{D}$	1	1	1	1	1	1
0	1	0	1	1	$\overline{D}$	1	1	1	1	1
0	1	1	1	1	1	$\overline{D}$	1	1	1	1
1	0	0	1	1	1	1	$\overline{D}$	1	1	1
1	0	1	1	1	1	1	1	$\overline{D}$	1	1
1	1	0	1	1	1	1	1	1	$\overline{D}$	1
1	1	1	1	1	1	1	1	1	1	$\overline{D}$

从上表可以看出，当  $\overline{G2A}$ 、 $\overline{G2B}$  接低电平时，即芯片的使能端接有效选通信号时，74LS138 将 G1 送来的输入（数据）信号 D 通过 C、B、A 输入（地址）信号所指定的一根输出线反相后送出去。

### 2. 利用 74LS138 实现组合逻辑电路的设计方法

根据 74LS138 真值表，当  $\overline{G2A}$ 、 $\overline{G2B}$  接低电平，G1 接高电平时，74LS138 的 Y0-Y7 输出表达式如下。

$$Y_0 = \overline{\overline{C} \overline{B} \overline{A}} = \overline{m_0}$$

$$Y_1 = \overline{\overline{C} \overline{B} A} = \overline{m_1}$$

$$Y_2 = \overline{\overline{C} B \overline{A}} = \overline{m_2}$$

$$Y_3 = \overline{\overline{C} B A} = \overline{m_3}$$

$$Y_4 = \overline{C \overline{B} \overline{A}} = \overline{m_4}$$

$$Y_5 = \overline{C \overline{B} A} = \overline{m_5}$$

$$Y_6 = \overline{C B \overline{A}} = \overline{m_6}$$

$$Y_7 = \overline{C B A} = \overline{m_7}$$



从上式可看出，此时 74LS138 的  $Y_0$ - $Y_7$  是 C、B、A 这三个变量的全部最小项的译码输出，因此这种译码器也被称为最小项译码器。如果将 C、B、A 当作逻辑函数的输入变量，再利用附加的门电路将这些最小项适当的组合起来，便可产生任何形式的三变量组合逻辑函数。

以使用 3-8 线译码器 74LS138 实现全加器为例，介绍利用 74LS138 实现组合逻辑电路的设计方法。

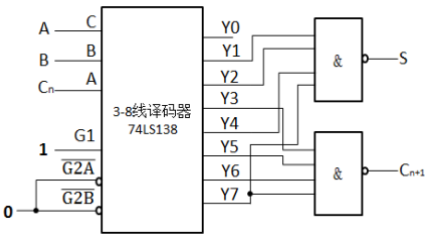
(1) 列出如下表 3-5 所示全加器真值表。其中 A、B 是加数与被加数， $C_n$  是低位向本位的进位，S 为本位和， $C_{n+1}$  位是本位向高位的进位。

输入			输出	
A	B	$C_n$	S	$C_{n+1}$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

(2) 由上述真值表可分别得到全加器输出 S 和  $C_{n+1}$  关于输入 A、B、 $C_n$  的最小项之和表达式，并进一步将其化简为与非形式的输出表达式。

$$S = \overline{A} \overline{B} C_n + \overline{A} B \overline{C}_n + A \overline{B} \overline{C}_n + A B C_n = \overline{m_1} \overline{m_2} \overline{m_4} \overline{m_7}$$
$$C_{n+1} = \overline{A} B C_n + A \overline{B} C_n + A B \overline{C}_n + A B C_n = \overline{m_3} \overline{m_5} \overline{m_6} \overline{m_7}$$

(3) 令 74LS138 的输入 C、B、A 作为全加器的输入 A、B、 $C_n$ ，通过对比 74LS138 与全加器的输出表达式，可见只需在 74LS138 的输出端附加两个与非门，并按上述全加器 S 和  $C_{n+1}$  的输出表达式连接，即可实现全加器功能，如下图所示。



## 五、实验内容

1. 对 74LS138 进行静态测试。将 74LS138 的使能端、接低电平，使用实验箱上的模拟开关作为 74LS138 的输入 C、B、A 和 G1，并把 74LS138 的输出  $Y_0$ - $Y_7$  接 LED“-”显示器，按照真值表对电路进行静态测试，检查 74LS138 是否正常工作。
2. 对 74LS138 进行动态测试。
  - (1) 将实验箱上 74LS197 构成的十六进制计数器作为 74LS138 的输入信号源，接线参考实验 1.3 实验原理。将 74LS197 的输出 Q3、Q2、Q1 和 Q0 接“-”显示器，CP0 接手动负脉冲（74LS197 是下降沿触发的异步计数器），测试十六进制计数器是否工作正常。
  - (2) 将 74LS138 的使能端  $\overline{G2A}$ 、 $\overline{G2B}$  接低电平；
  - (3) 将 74LS197 的 CP0 接 10KHz 连续脉冲，74LS197 的输出端 Q3、Q2、Q1、Q0 依次与 74LS138 的输入端 G1、C、B、A 相连。使用示波器数字通道观测并记录 CP0、G1、C、B、A 和  $Y_0$ 、 $Y_1$ 、 $Y_2$ 、 $Y_3$ 、 $Y_4$ 、 $Y_5$ 、 $Y_6$ 、 $Y_7$  波形，分析波形之间的相位关系；

(4) 将 74LS197 的 CP0 接 10KHz 连续脉冲，将 74LS138 的 G1 接高电平， $\overline{G2A}$ 、 $\overline{G2B}$  均与 74LS197 的输出端 Q3 相连，74LS197 输出端 Q2、Q1、Q0 依次与 74LS138 输入端 C、B、A 相连。使用示波器数字通道观测并记录 CP0、 $\overline{G2A}$ 、 $\overline{G2B}$ 、C、B、A 和 Y0、Y1、Y2、Y3、Y4、Y5、Y6、Y7 波形，分析波形之间的相位关系。

3. 在数字电路实验箱上实现 AU(Arithmetic Unit, 算术单元)设计。设计一个带控制端的半加半减器，输入为 S、A、B，其中 S 为功能选择口。当 S=0 时，输出 Y 为 A+B 及进位  $C_n$ ；当 S=1 时，输出 Y 为 A-B 及借位  $C_n$ 。

S	输入 1	输入 2	输出 Y	进/借位 $C_n$
0	A	B	A+B	进位
1	A	B	A-B	借位

提示：画出真值表。根据真值表可用两种方法实现。

(1) 利用卡诺图化简后只使用门电路实现。

(2) 使用 74LS138 实现，可参照实验原理中全加器的设计方法。

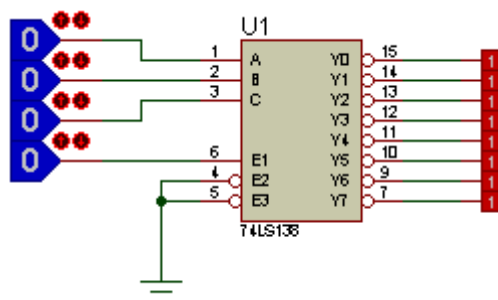
在数字电路实验箱环境下，通过静态测试和动态测试，验证电路功能的正确性。

动态测试时要求使用示波器数字通道观测并记录 CP（时钟）、S、A、B、Y、 $C_n$  波形，并分析波形之间的相位关系。

## 六、实验设计与结果分析

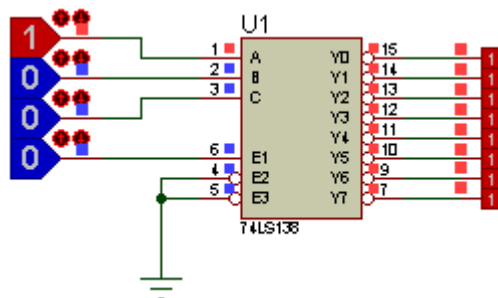
### 对 74LS138 进行静态测试。

仿真接线如图：

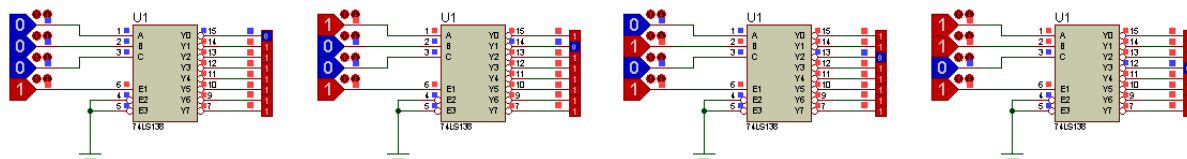


调节LogicState的得到仿真结果如下所示

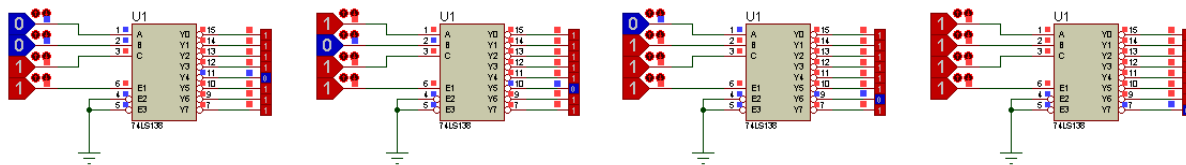
当E1为0时，使能端没有打开，故Y0-Y7所有输出皆为1，篇幅所限，仅展示一个



使能端为1时，输出结果如下



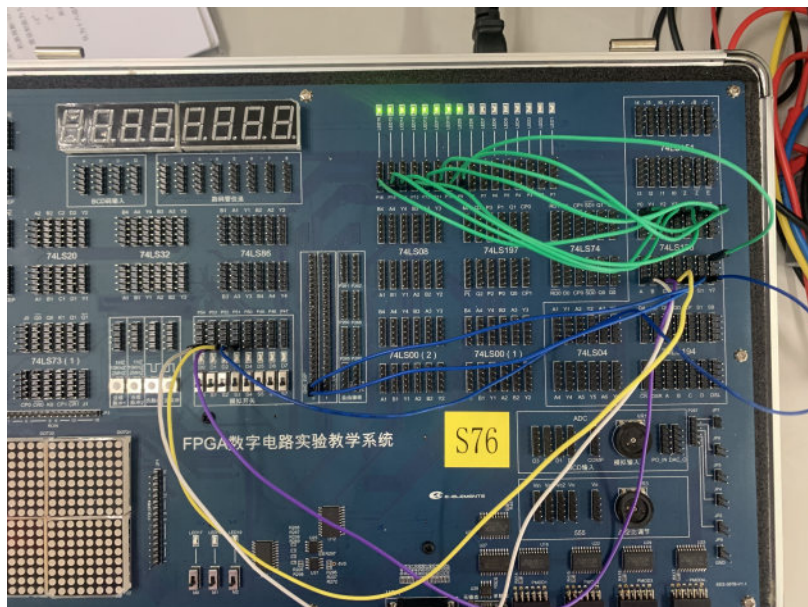
输入000, Y<sub>0</sub>输出0    输入001, Y<sub>1</sub>输出0    输入010, Y<sub>2</sub>输出0    输入011, Y<sub>3</sub>输出0



输入100,  $Y_4$ 输出0    输入101,  $Y_5$ 输出0    输入110,  $Y_6$ 输出0    输入111,  $Y_7$ 输出0

与预习内容中所查的3-8译码器真值表相同, 故仿真静态测试正确。

实验箱接线如图:



接线细节: A,B,C分别接模拟开关S0,S1,S2.  $\overline{G2A}$ 、 $\overline{G2B}$ 接GND,  $G1$ 接模拟开关S3作为输入  
 $Y_0$ - $Y_7$ 作为输出接LED16-LED9

实验结果如下:

由于 $G1$ 为使能端, 与仿真相同, 在 $G1$ 为0时 $Y_0$ - $Y_7$ 皆为高电平输出, 受篇幅所限, 仅展示一张。

$S_0, S_1, S_2$ 输入为001时的输出结果

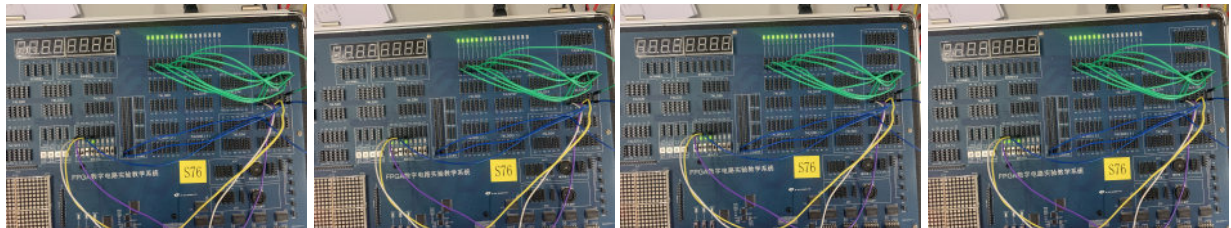


$G1$ 为1时, 改变 $S_0, S_1, S_2$ , 输出如下





输入000,  $Y_0$ 输出0    输入001,  $Y_1$ 输出0    输入010,  $Y_2$ 输出0    输入011,  $Y_3$ 输出0



输入100,  $Y_4$ 输出0    输入101,  $Y_5$ 输出0    输入110,  $Y_6$ 输出0    输入111,  $Y_7$ 输出0

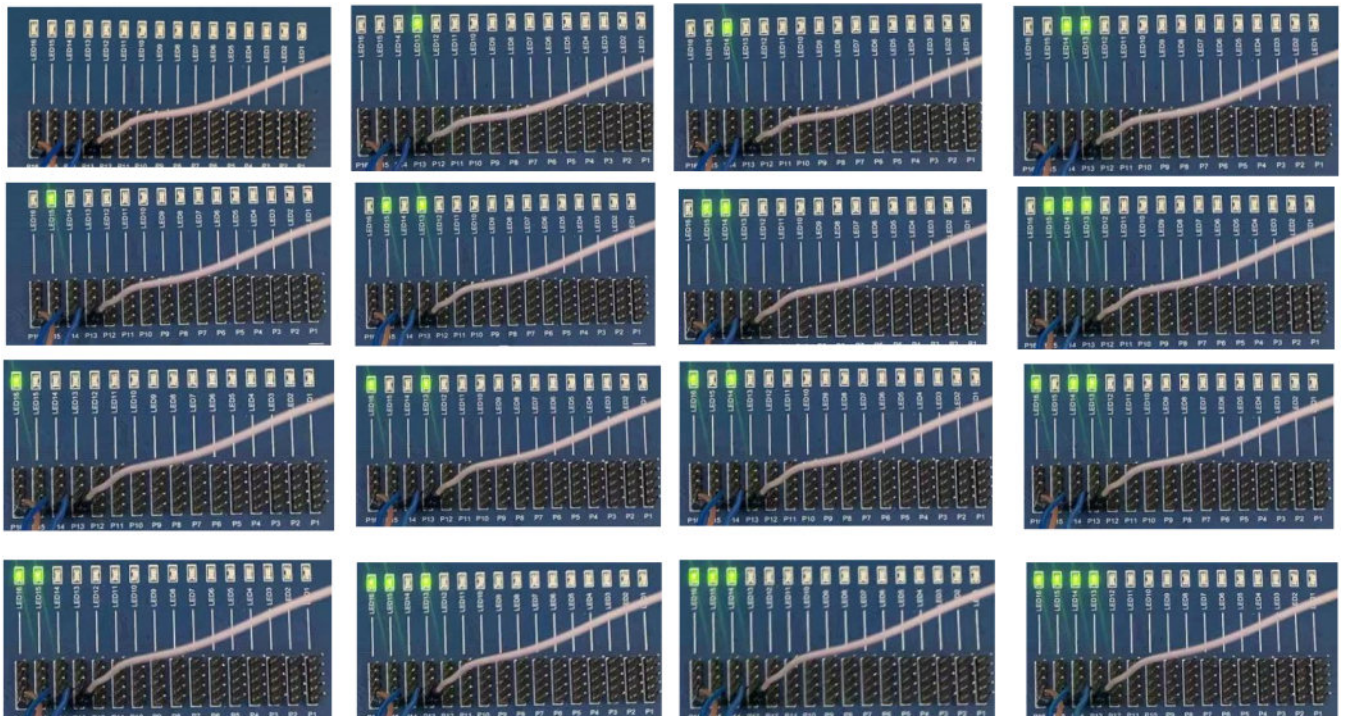
## 对74LS138进行动态测试

将74LS197改造成十六进制计数器并测试输出是否正常

接线细节: CP0接负脉冲, CP1与Q0相接,  $\overline{MR}$ 和 $\overline{PL}$ 接高电平。Q3,Q2,Q1,Q0分别接LED16,LED15,LED14,LED13。

按下负脉冲即可改变LED输出值。

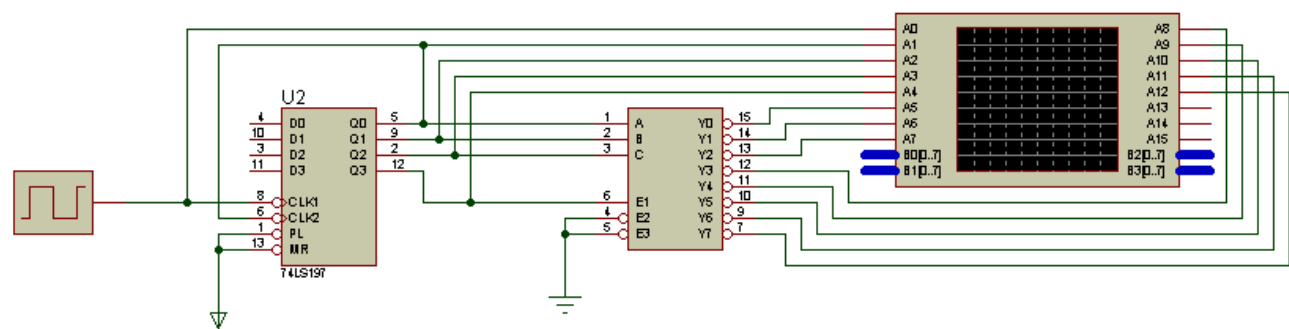
每一次按下负脉冲得到的结果如下



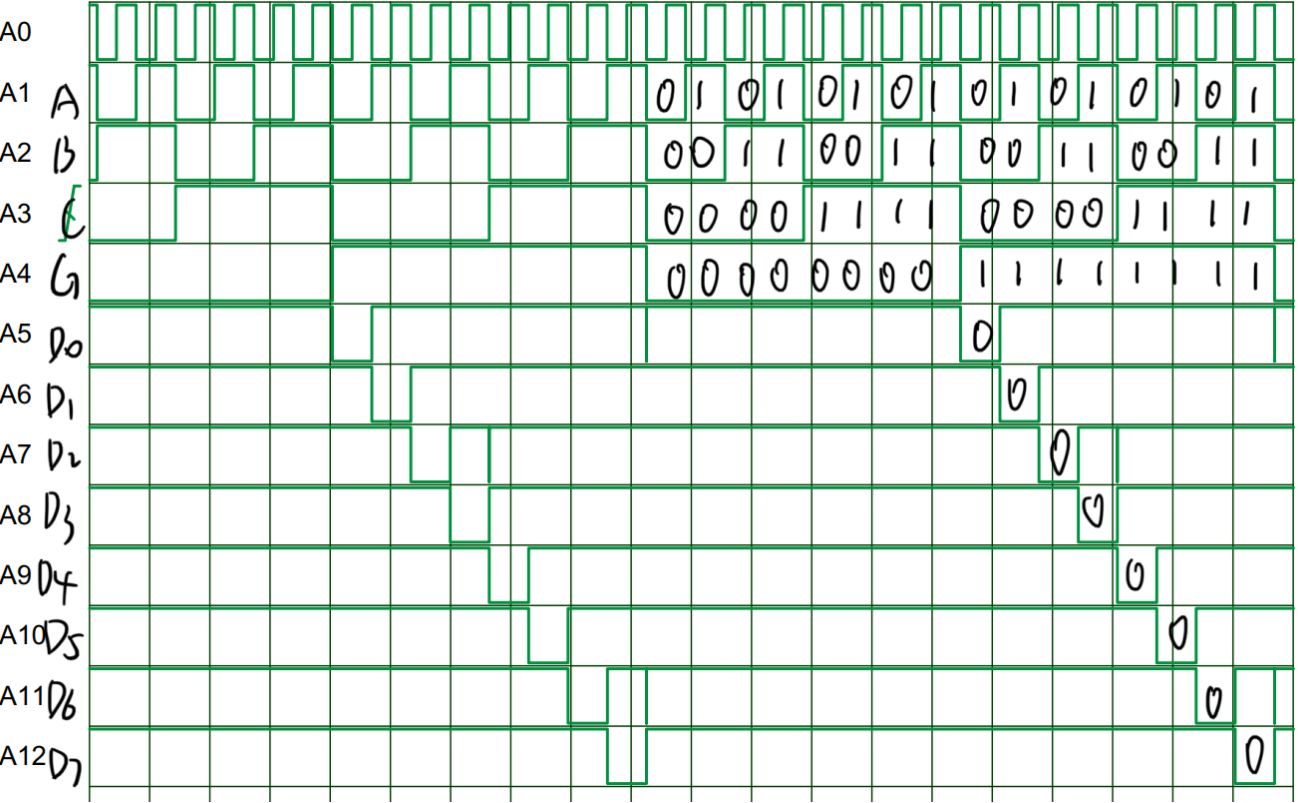
可见符合16进制计数器工作规律, 故计数器工作无问题

1) 将74LS197的CP0接10KHz连续脉冲, 74LS197的输出端Q3、Q2、Q1、Q0依次与74LS138的输入端G1、C、B、A相连。使用示波器数字通道观测并记录CP0、G1、C、B、A和Y0、Y1、Y2、Y3、Y4、Y5、Y6、Y7波形, 分析波形之间的相位关系;

仿真接线如下

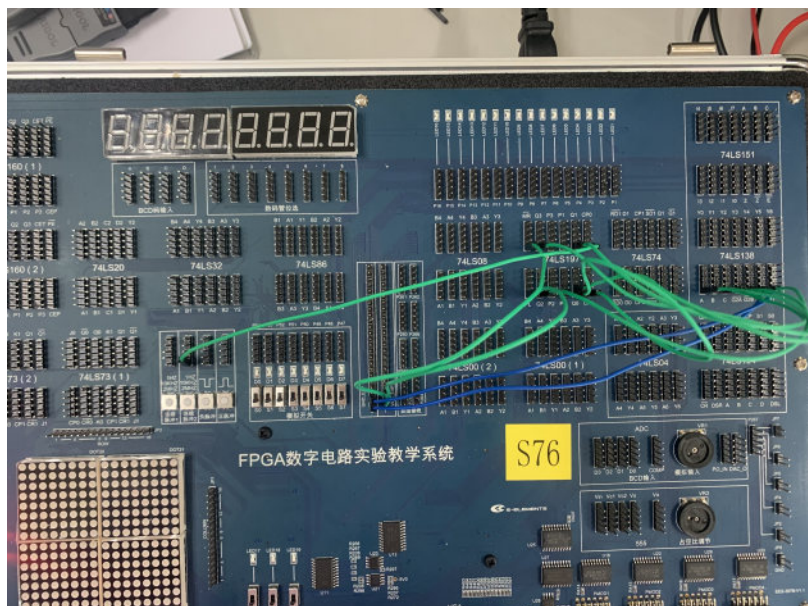


逻辑分析仪的输入：A0为CLK,A1-A4为74LS138的输入A,B,C,E1（G1）。A5-A12为74LS138的输出Y0-Y7  
输出如下：



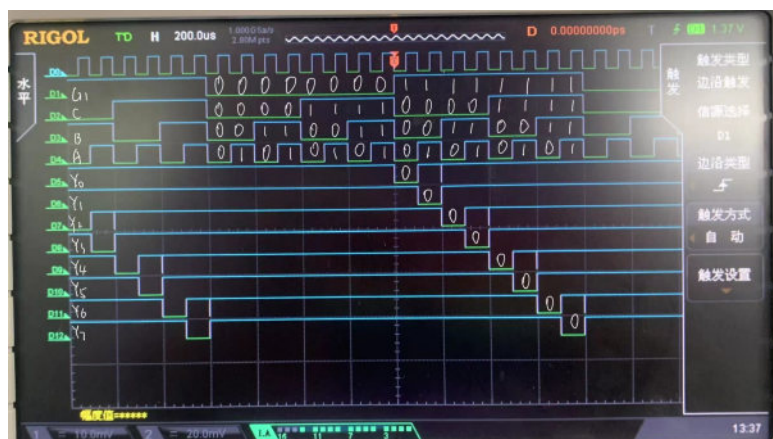
实验接线如下：



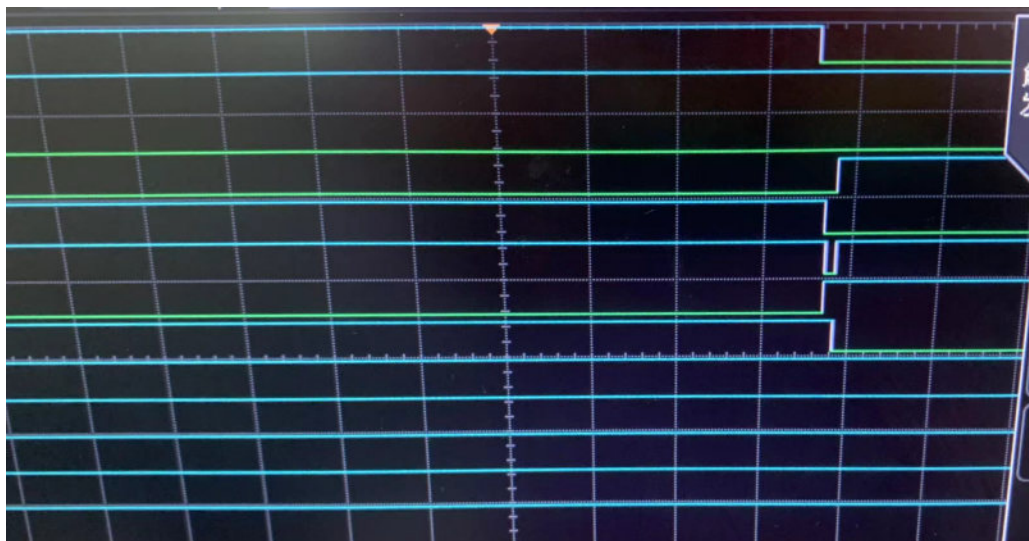


接线细节：Q3、Q2、Q1、Q0 与 74LS138 的输入端 G1、C、B、A 相连， $\overline{G2A}$ 、 $\overline{G2B}$ 接GND

示波器显示如下：D0为CLK,D1-D4为Q3-Q0，D5-D12为74LS197的输入Y0-Y7



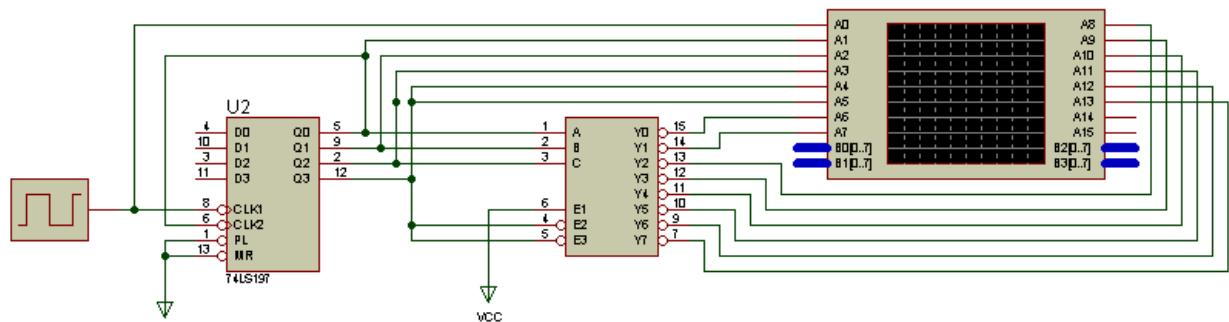
输出中出现了毛刺现象，将其放大发现为器件存在传输延迟导致的：



波形的相位关系：易知，从上到下相邻波形差一个时钟周期。每个波形的周期为16个时钟周期

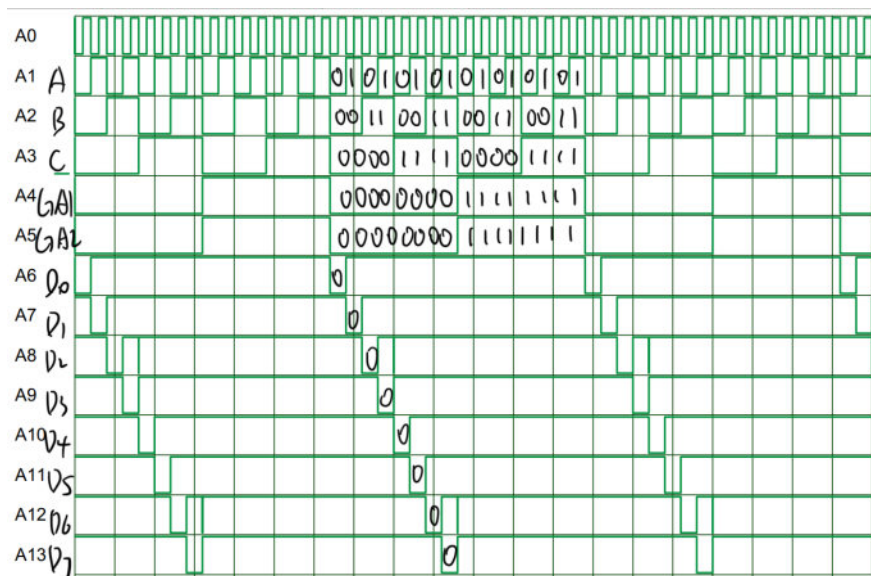
2. 将 74LS197 的 CP0 接 10KHz 连续脉冲，将 74LS138 的 G1 接高电平， $\overline{G2A}$ 、 $\overline{G2B}$  均与 74LS197 的输出端 Q3 相连，74LS197 输出端 Q2、Q1、Q0 依次与 74LS138 输入端 C、B、A 相连。使用示波器数字通道观测并记录 CP0、 $\overline{G2A}$ 、 $\overline{G2B}$ 、C、B、A 和 Y0、Y1、Y2、Y3、Y4、Y5、Y6、Y7 波形，分析波形之间的相位关系。

仿真接线如下：



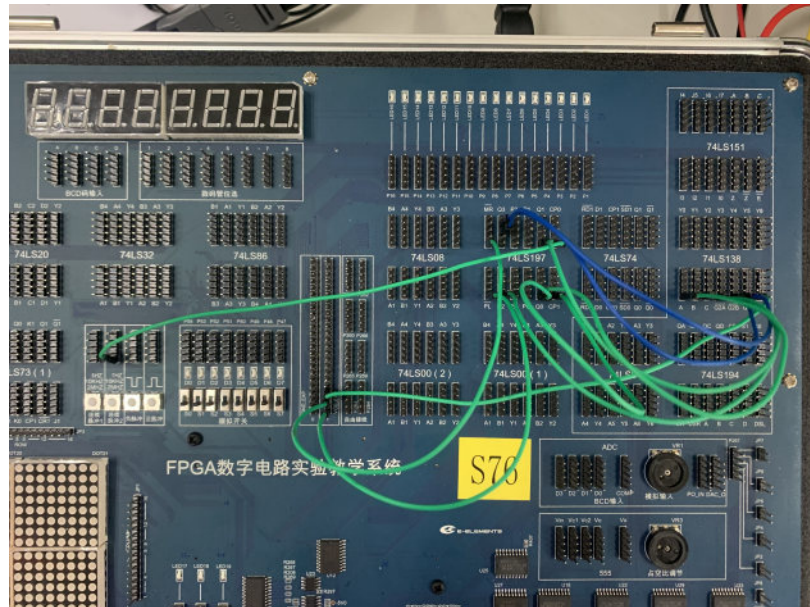
逻辑分析仪的输入：A0为CLK, A1-A5为74LS138的输入A,B,C,  $\overline{G2A}$ ,  $\overline{G2B}$ 。A6-A14为74LS138的输出Y0-Y7

仿真输出如下：



实验接线如下：





接线细节：Q3、Q2、Q1、Q0 与 74LS138 的输入端  $\overline{G2A}$ 、 $\overline{G2B}$ 、C、B、A 相连，G1接高电平。  
示波器显示如下：D0为CLK,D1-D5为 $\overline{G2A}$ 、 $\overline{G2B}$ 、C、B、A，D6-D13为74LS197的输入Y0-Y7



输出中出现了毛刺现象，将其放大发现同样为器件存在传输延迟导致的：



波形的相位关系：易知，从上到下相邻波形差一个时钟周期。每个波形的周期为16个时钟周期



在数字电路实验箱上实现 AU(Arithmetic Unit，算术单元)设计。

真值表

S	A	B	Y	C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	0	0
1	0	1	1	1
1	1	0	1	0
1	1	1	0	0

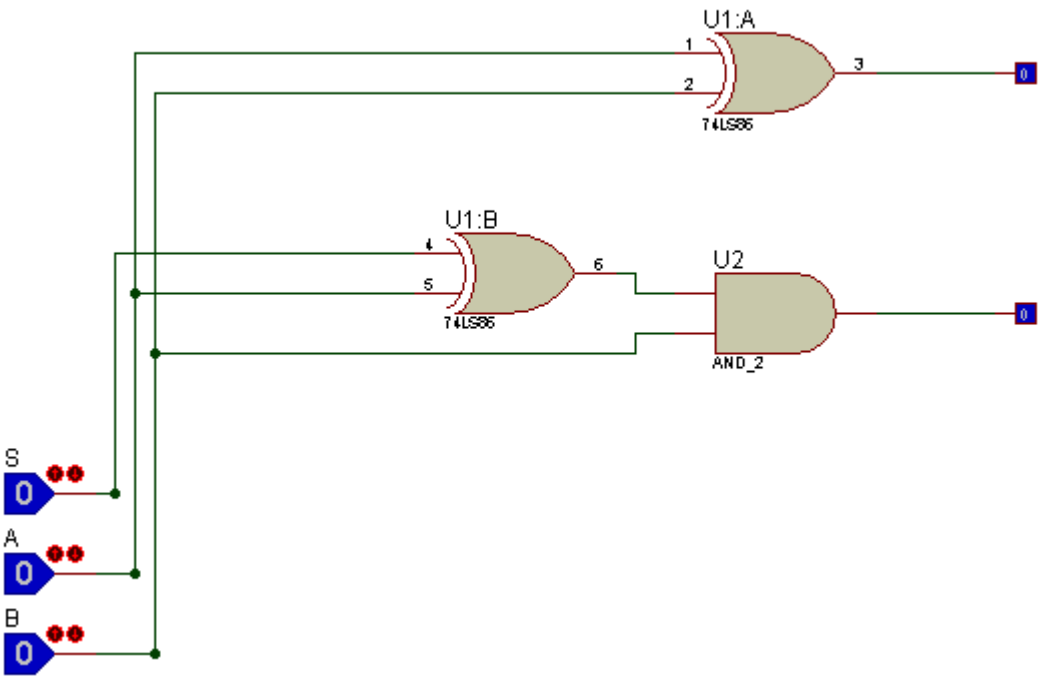
$$Y = \overline{S} \overline{A} B + \overline{S} A \overline{B} + S \overline{A} B + S A \overline{B}$$
$$C = \overline{S} A B + S \overline{A} B$$

门电路设计：由化简的逻辑表达可知，用74LS86与74LS08进行设计即可

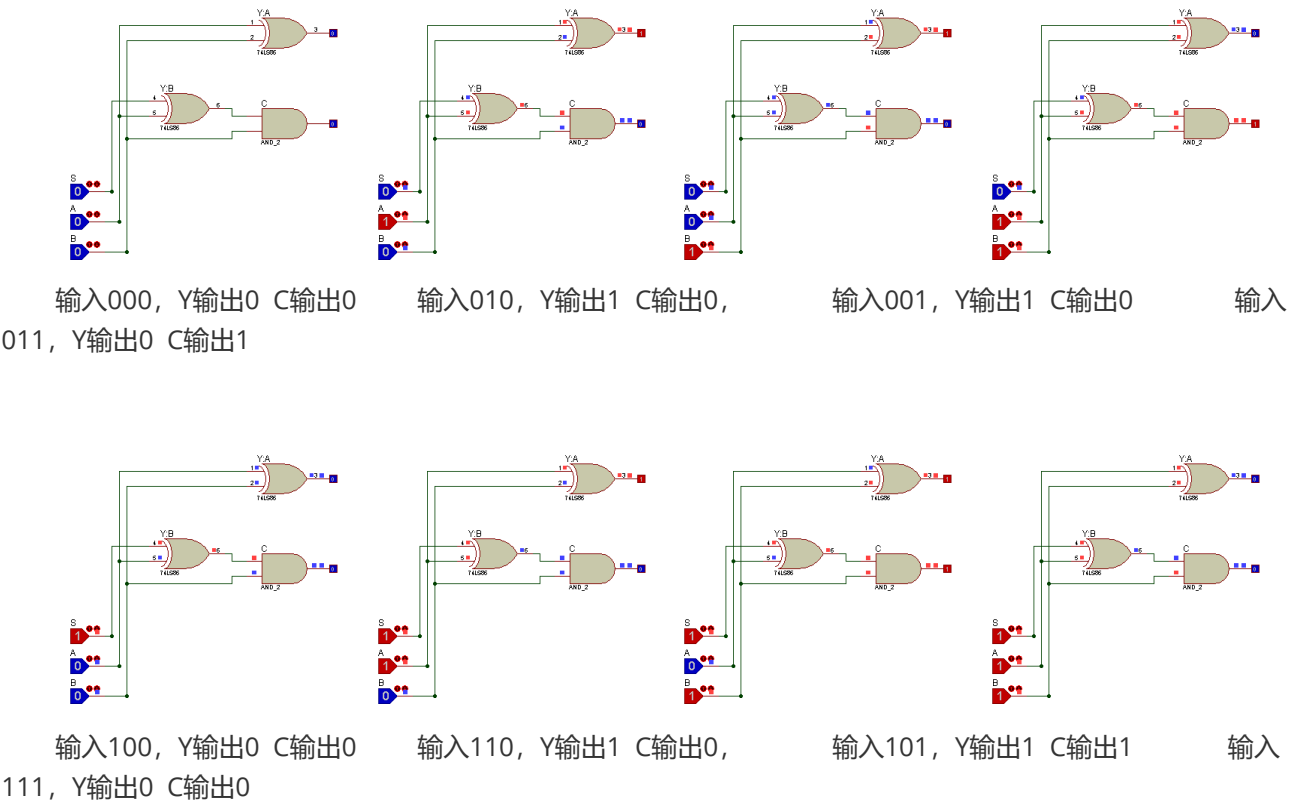
$$Y = \overline{S} \overline{A} B + \overline{S} A \overline{B} + S \overline{A} B + S A \overline{B} = A \oplus B$$
$$C = \overline{S} A B + S \overline{A} B = (S \oplus A) B$$

静态测试

仿真接线图：



仿真输出图：



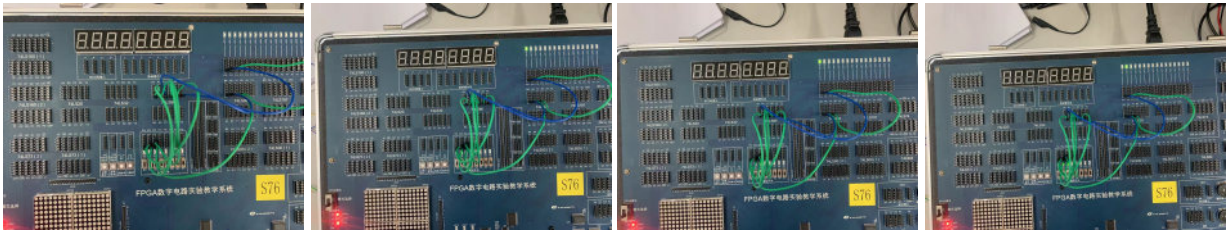
与真值表一致。

实验接线图：

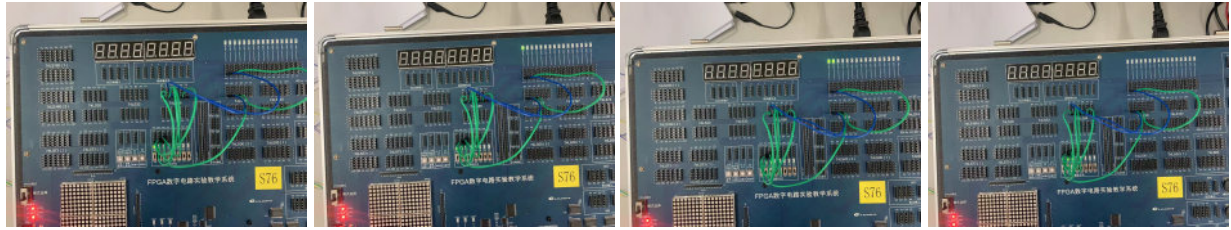


接线细节：S0为输入S，S1,S2分别为输入A,B。S1,S2接入74LS86，74LS86得到输出Y1，Y1与LED16相连为输出Y。  
S0,S1接入74LS86得到输出Y2，Y2与S2接入74LS08，74LS08输出Y4与LED15相连为输出C

实际输出图：



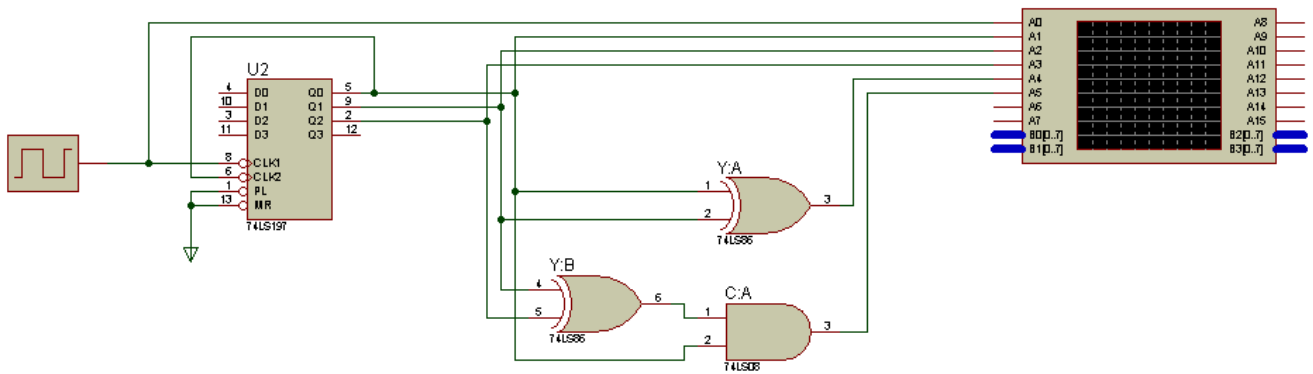
输入000, Y输出0 C输出0    输入010, Y输出1 C输出0,    输入001, Y输出1 C输出0    输入011, Y输出0 C输出1



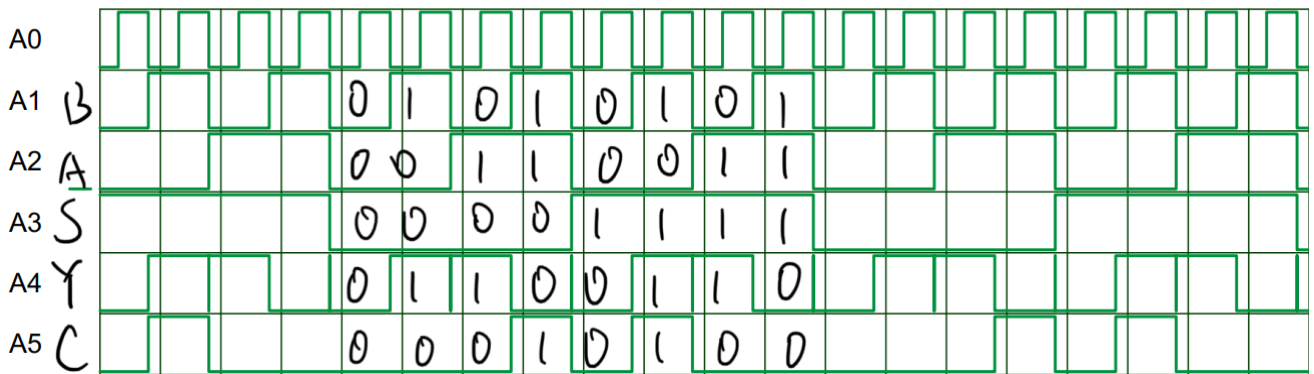
输入100, Y输出0 C输出0    输入110, Y输出1 C输出0,    输入101, Y输出1 C输出1    输入111, Y输出0 C输出0

动态测试

仿真接线如下

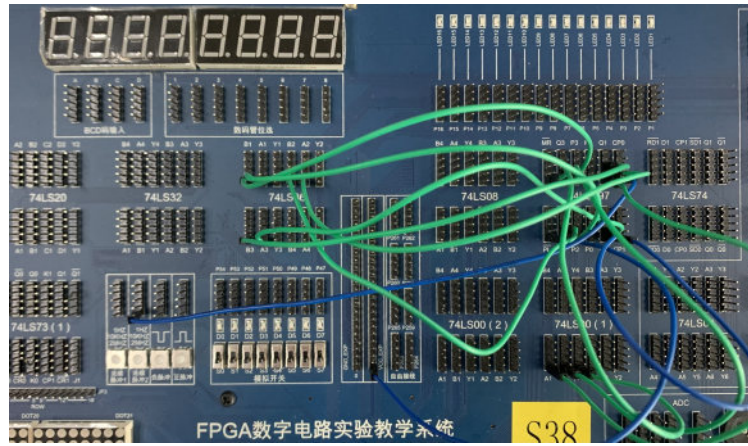


逻辑分析仪A0为CLK A1-A3为输入S,A,B, A4、A5为输出Y与C。输出如下：



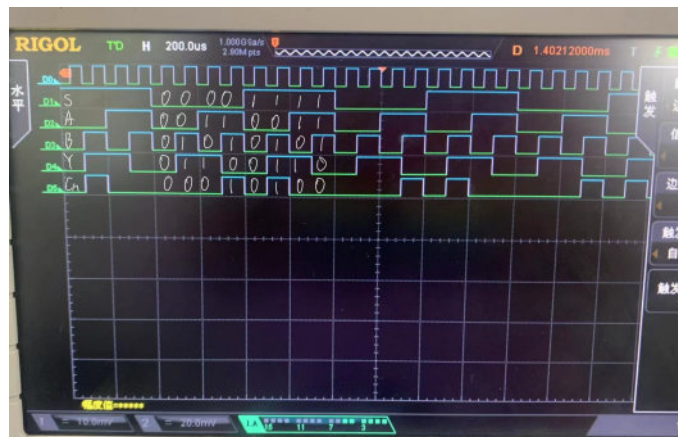
实验箱接线：

考虑仅有三个输入，故将74LS197改造成八进制计数器即可



接线细节: CLK接CP1, Q3为输入S, Q2, Q1分别为输入A,B。Q2,Q1接入74LS86, 74LS86得到输出Y1, 。S0,S1接入74LS86得到输出Y2, Y2与S2接入74LS08, 74LS08输出Y4为C

示波器D0为CLK D1-D3为输入S,A,B, D4、D5为输出Y与C。输出如下:



使用74LS138设计

由

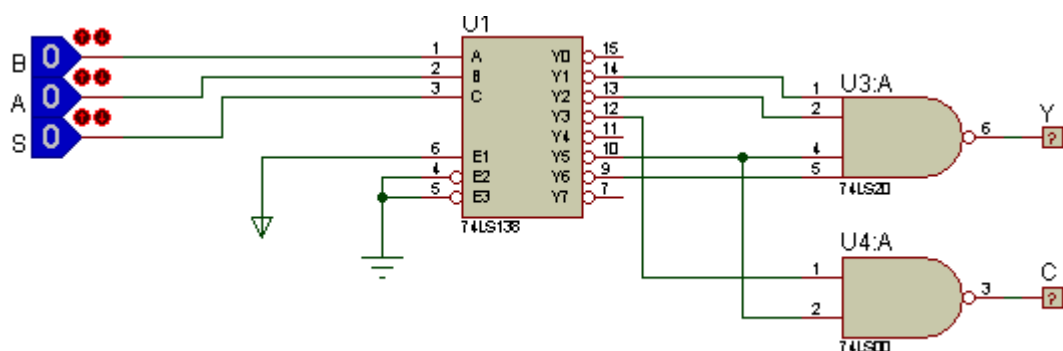
$$Y = \overline{S} \overline{A} B + \overline{S} A \overline{B} + S \overline{A} B + S A \overline{B} = \overline{m_1} + \overline{m_2} + \overline{m_5} + \overline{m_6}$$

$$C = \overline{S} A B + S \overline{A} B = \overline{m_3} + \overline{m_5}$$

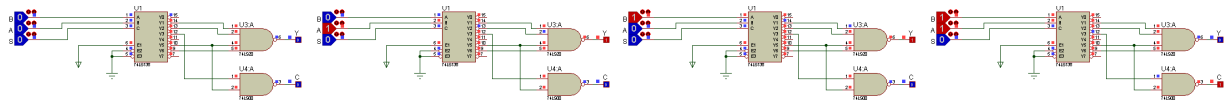
故利用74LS138与74LS00即可设计

静态测试

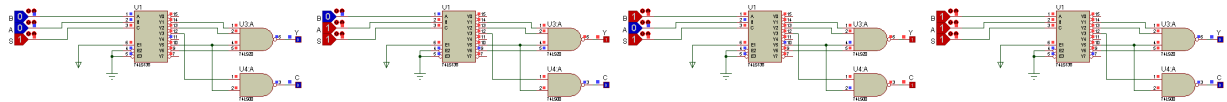
仿真接线如下







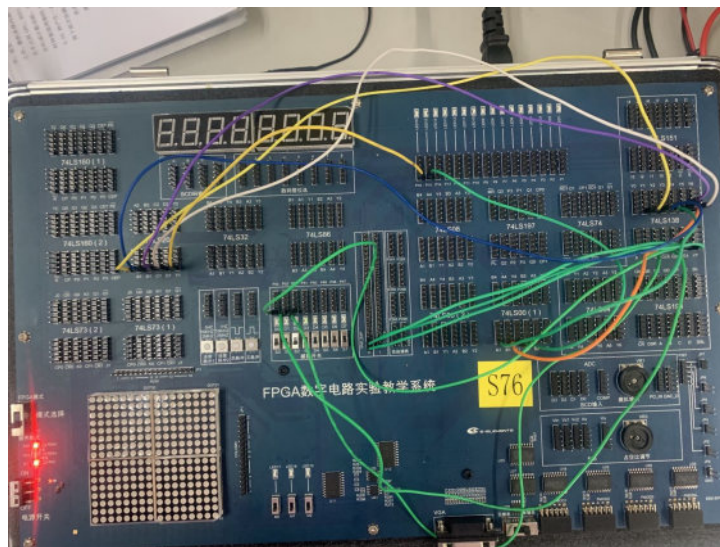
输入000, Y输出0 C输出0      输入010, Y输出1 C输出0,      输入001, Y输出1 C输出0      输入  
011, Y输出0 C输出1



输入100, Y输出0 C输出0      输入110, Y输出1 C输出0,      输入101, Y输出1 C输出1      输入  
111, Y输出0 C输出0

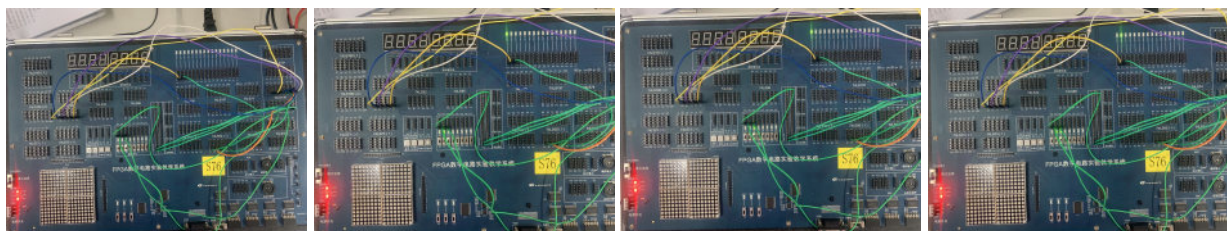
满足AU的真值表

实验接线如下：



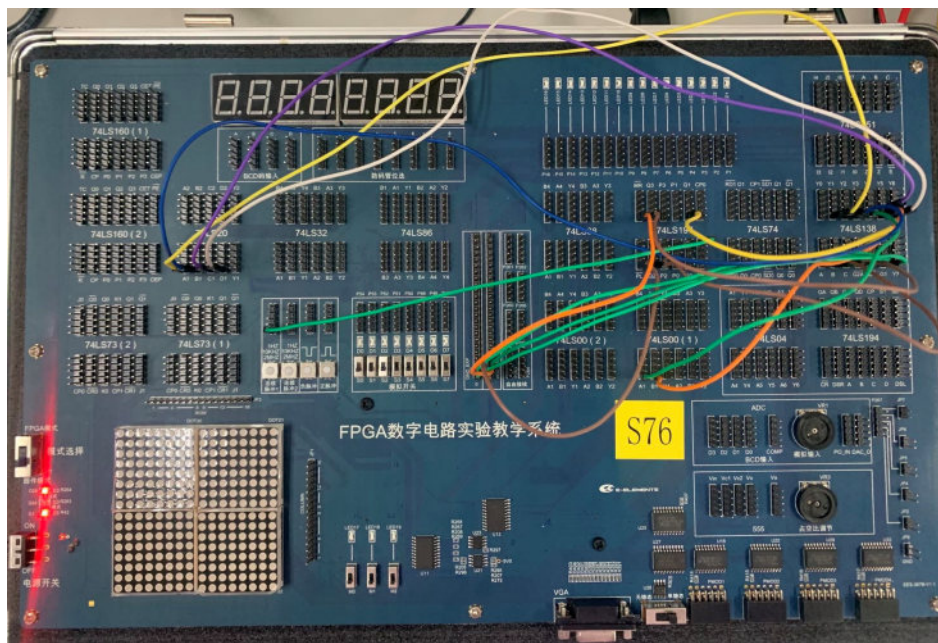
接线细节：开关S0为输入S，开关S1,S2为输入A,B，将S,A,B接入74LS138，74LS138的输出Y1,Y2,Y5,Y6接入74LS20，输出即为Y，Y3，Y5接入74LS00，输出即为C

输出为：



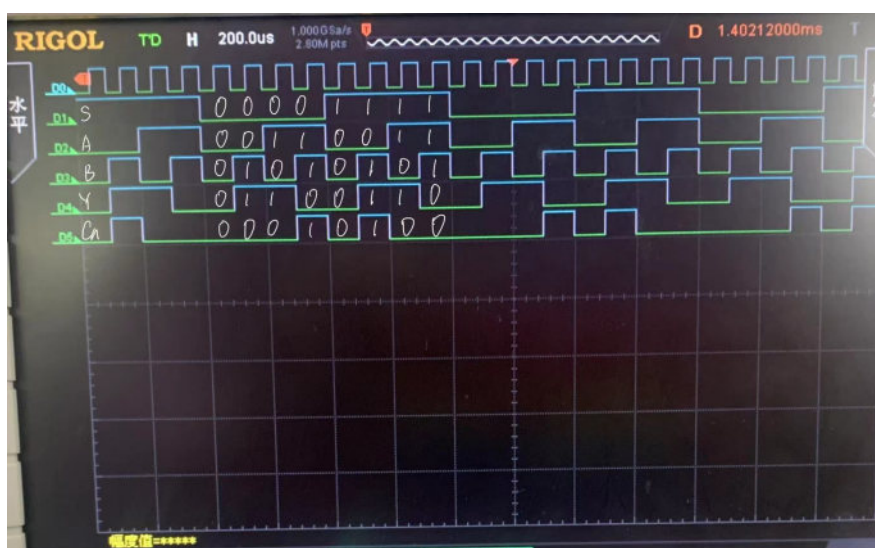
输入000, Y输出0 C输出0      输入010, Y输出1 C输出0,      输入001, Y输出1 C输出0      输入011, Y输出  
0 C输出1





接线细节：首先将74LS197改造成8进制计数器，CLK接CP1，Q3为输入S接入74LS138的C，Q2，Q1分别为输入A,B接入74LS138的A，B。74LS138的输出Y1,Y2,Y5,Y6接入74LS20,输出即为Y，Y3，Y5接入74LS00，输出即为C。

示波器D0为CLK D1-D3为输入S,A,B，D4、D5为输出Y与C。输出如下：



## 七、思考与提高

1. 比较使用 74LS138 实现组合逻辑电路和门电路实现组合逻辑电路两种方法的优缺点。

74LS138 实现组合逻辑电路优点为：化简过程简单直观，仅需要将真值表中输出为1的项列出即可；

缺点为：要将所有的输出写为最小项，在输入变量多时化简麻烦。

门电路实现组合逻辑电路优点为：可以用卡诺图或布尔代数计算规律化简逻辑表达式。如果由于某些原因无法获得某些门电路，可以通过变换逻辑表达式变电路，从而能使用其他器件来代替该器件。；

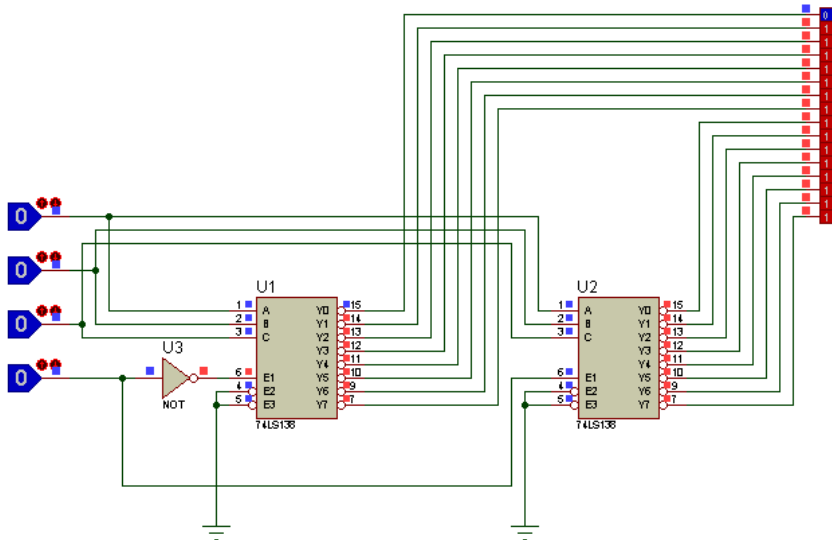
缺点为：化简表达式工作量较大，容易出错，由于实现一个逻辑表达式的逻辑电路是多种多样的，需要一定经验和试错取找到最合适的电路。

2. 在 Proteus 环境下，使用 74LS138 实现一个 4-16 线普通译码器的设计（设计可不考虑 4-16 线译码器的使能端、和 G1），并通过静态测试和动态测试，在仿真环境下验证电路功能的正确性。

4-16译码器的真值表如下

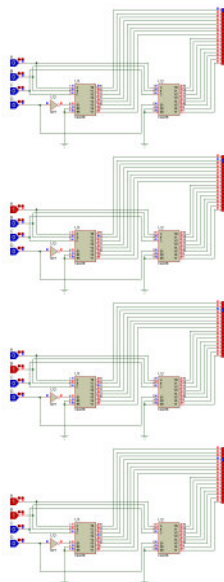
D	C	B	A	Y15	Y14	Y13	Y12	Y11	Y10	Y9	Y8	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
0	0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1
0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1
0	1	0	0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1
0	1	0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1
0	1	1	0	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1
1	0	1	0	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1
1	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1
1	1	0	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
1	1	0	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1

静态测试接线如图



设计思路：将两个74LS138的使能端作为第四位的输入，左边的74LS138为低八位，右边的74LS138为高八位。输入从上到下依次为A,B,C,D.输出从上到下依次为Y0-Y15

输出为



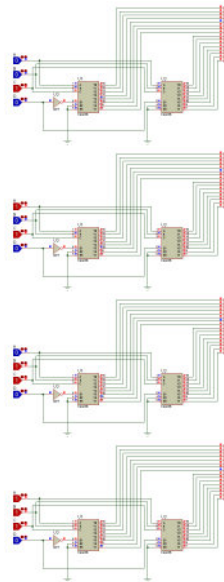
输入0000，Y0输出0

输入0001，Y1输出0

输入0010，Y2输出0

输入0011，Y3输出0



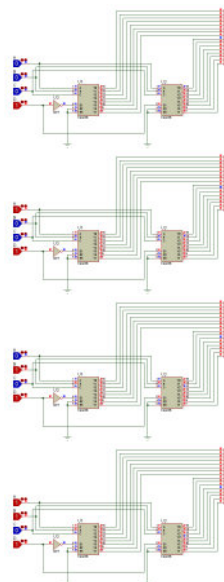


输入0100, Y4输出0

输入0101, Y5输出0

输入0110, Y6输出0

输入0111, Y7输出0

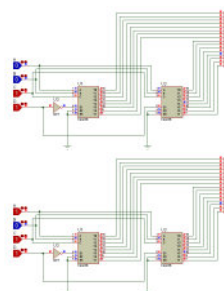


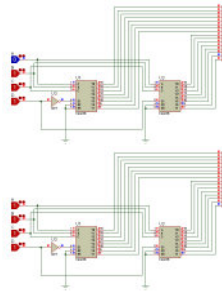
输入1000, Y8输出0

输入1001, Y9输出0

输入1010, Y10输出0

输入1011, Y11输出0





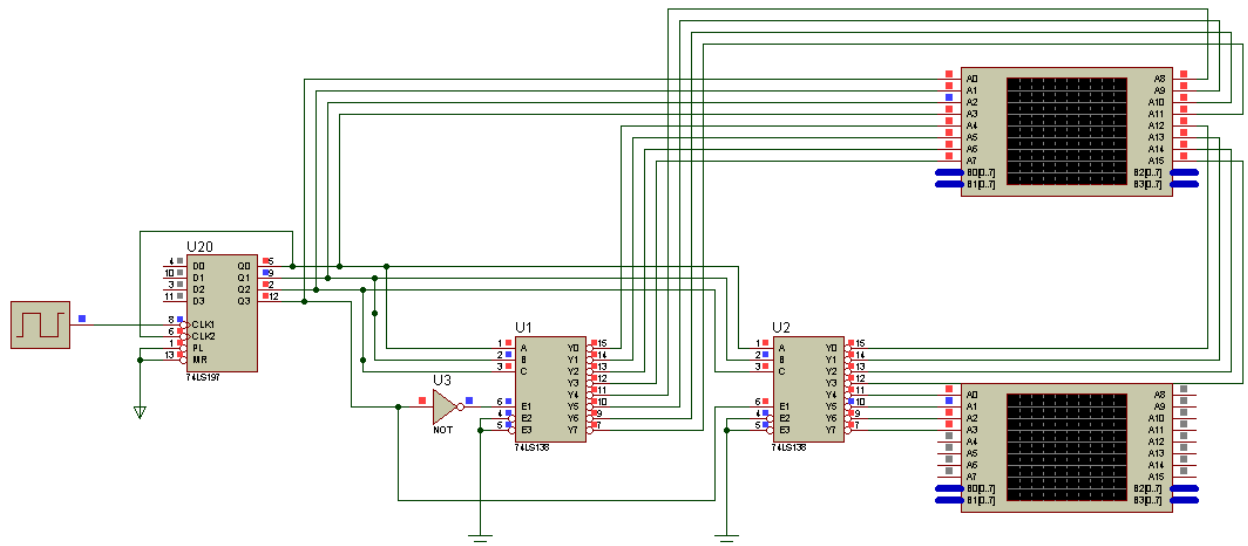
输入1100, Y12输出0

输入1101, Y13输出0

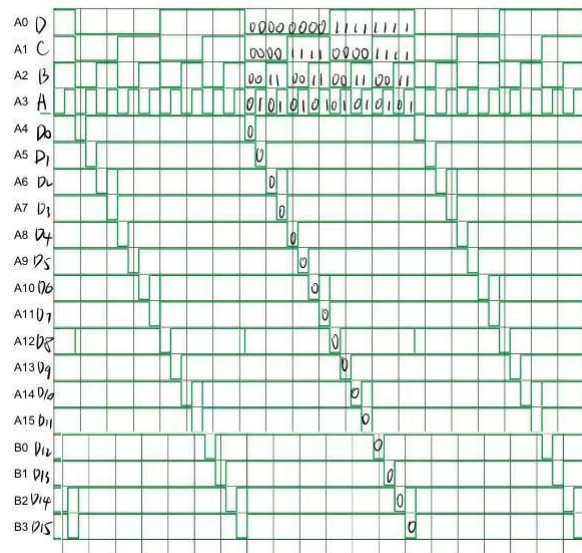
输入1110, Y14输出0

输入1111, Y15输出0

动态测试：接线如下



输出为



3.上述实验中都出现了毛刺现象，由上次实验的结果分析，在仿真和实验的过程中使用了74LS86即异或门这个器件，容易导致竞争冒险的现象产生，从而在波形图中出现了毛刺

## 八、实验所得

组合逻辑电路本质为利用基本逻辑门的组合，即与门、或门、非门、与非门。对于给定的输入，其必有确定的输出（可能有假信号），即逻辑函数。而数据分配器或数据选择器，其本质也是一系列按照一定布线规律排设计的门门电路，可用于化简问题，减少门芯片的使用。

组合逻辑电路设计方法：总体思路是由真值表得到逻辑表达式，再利用卡诺图或者逻辑运算法则化简。对纯粹的门电路可直接使用理论方法化简。对于可以使用特殊模块的电路（如74LS138），应将组合逻辑函数配凑成其输入、输出的形式，然后外加少量门芯片辅助填充其真值表，完成目标函数的设计。

收获：将理论课上学习的74LS138的原理用于实验中，强化了对74LS138各个引脚的认识，掌握了最小项化简的技能。