

# Laboratório de Eletrônica Digital II

## Trabalho Substitutivo

O segundo trabalho consistirá num sistema simples em que dados são lidos de uma memória ROM e aplicados a uma ALU para que operações aritméticas sejam realizadas.

**Apenas para facilitar a avaliação do trabalho, o sistema terá uma operação fixa, da seguinte forma:**

- 1) Os primeiros dois dados da memória serão somados;
- 2) Os dois dados seguintes serão subtraídos;
- 3) Os dois dados subsequentes serão multiplicados por somas sucessivas;
- 4) Os dois últimos dados serão divididos por subtrações sucessivas.

Ou seja, a memória ROM terá apenas os 8 primeiros dados de 8 bits preenchidos (da posição 0 à posição 7). Todo o restante deverá ser preenchido com FFh.

- 5) O sistema volta a executar do início.

**Desta operação, conclui-se que:**

- 1) A ALU é capaz de realizar apenas operações de soma e subtração. Desta forma, sua linha de seleção de operação Op é de apenas 1 bit, obrigatoriamente.
- 2) A operação de multiplicação da ALU deve ser realizada através de somas sucessivas, controlada pelo bloco de controle. Ex:  $3 \times 5 = 5 + 5 + 5$ . No sistema, através do multiplexador, a operação será realizada da seguinte forma:  $3 \times 5 \rightarrow 5 + 5 = 10$ , depois  $10 + 5 = 15$ . O bloco de controle controlará se os operandos são oriundos dos registros A e B ou dos registros A e do resultado parcial da ALU através da linha de seleção SEL do multiplexador. O bloco de controle também controlará quantas vezes este processo deverá ser realizado até que se tenha o resultado da multiplicação. O mesmo ocorre para a divisão por subtrações sucessivas. Neste caso, no entanto, a subtração deverá ocorrer enquanto o dividendo for maior que o divisor. O resto da divisão será armazenado no registro RegResto e o quociente em RegQ. Para todas as outras operações, o resultado é dado em RegQ e sua Saída. Todos os resultados devem ser mostrados apenas quando terminadas as operações.
- 3) A memória ROM deve ser descrita com 512 posições de 8 bits de tamanho.
- 4) A ALU deverá, OBRIGATORIAMENTE, ser definida como uma ALU de 16 bits formada pela associação de duas ALUS de 8 bits.
- 6) Todos os blocos deverão ser descritos em arquivos separados, cada um contendo sua própria hierarquia de projeto, bem como vetor de testes (pode ser através do .vwf).
- 7) Apenas o resultado final deve ser apresentado na saída.
- 8) O sistema final deverá ser testado através de arquivo de TestBench simulado pelo ModelSim-Altera..
- 8.1) O vetor de teste de cada equipe é definido da seguinte forma:

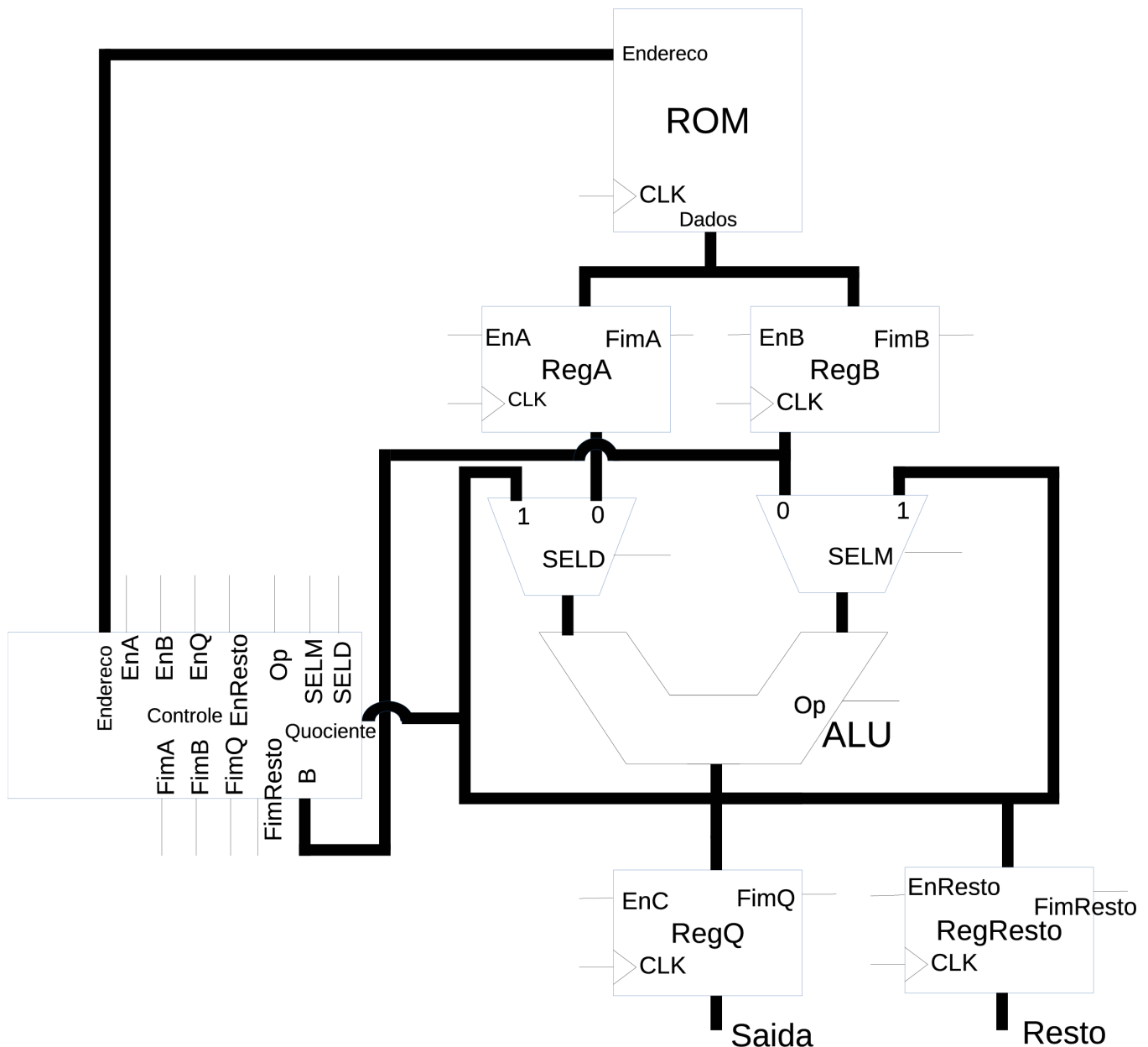
1º Valor da ROM – Posição 0: 50	4º Valor da ROM - Posição 3: 25
2º Valor da ROM - Posição 1: 43	5º Valor da ROM - Posição 4: 15
3º Valor da ROM - Posição 2: 33	6º Valor da ROM - Posição 5: 50

Apesar dos vetores de teste fixos, o sistema deverá funcionar para quaisquer valores de 8 bits (considere-os não sinalizados).

**Observação 1:** Teste antes cada bloco separadamente para facilitar o processo de procura e correção de erros. Só após essa etapa, teste o sistema final.

**Observação 2:** Pequenas modificações ao sistema proposto podem ser realizadas, desde que bem argumentadas no dia da defesa. Por exemplo, linhas de controle adicionais, sincronização de algum bloco que no sistema proposto não está sincronizado, adição de algum bloco multiplexador, etc.

Analise os caminhos críticos do sistema (com relação ao tempo). Este tipo de análise será cobrada na defesa.



Sistema Proposto