1. PC模块

接口描述：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 序号 | 接口名 | 宽度 | 输入/输出 | 作用 |
| 1 | rst | 1 | 输入 | 复位信号 |
| 2 | clk | 1 | 输入 | 时钟信号 |
| 3 | pc | 32 | 输出 | 要读取的指令地址 |
| 4 | ce | 1 | 输出 | 指令存储器使能信号 |
| 5 | branch\_flag\_i | 1 | 输入 | 是否转移 |
| 6 | branch\_target\_address\_i | 32 | 输入 | 转移地址 |
| 7 | new\_pc | 32 | 输入 | 要读取的指令地址 |

1. Regfile模块

接口描述：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 序号 | 接口名 | 宽度 | 输入/输出 | 作用 |
| 1 | rst | 1 | 输入 | 复位信号 |
| 2 | clk | 1 | 输入 | 时钟信号 |
| 3 | waddr | 32 | 输出 | 要写入的寄存器地址 |
| 4 | wdata | 1 | 输出 | 要写入的数据 |
| 5 | we | 1 | 输入 | 写使能信号 |
| 6 | raddr1 | 5 | 输入 | 第一个读端口地址 |
| 7 | re1 | 1 | 输入 | 以一个读端口使能信号 |
| 8 | rdata1 | 32 | 输出 | 第一个读端口的值 |
| 9 | raddr2 | 5 | 输入 | 第二个读端口地址 |
| 10 | re2 | 1 | 输入 | 以二个读端口使能信号 |
| 11 | rdata2 | 32 | 输出 | 第二个读端口的值 |

1. ID模块

接口描述：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 序号 | 接口名 | 宽度 | 输入/输出 | 作用 |
| 1 | rst | 1 | 输入 | 复位信号 |
| 2 | pc\_i | 32 | 输入 | 指令地址 |
| 3 | inst\_i | 32 | 输入 | 译码阶段指令 |
| 4 | reg1\_data\_i | 32 | 输入 | 第一个读端口输入 |
| 5 | reg2\_data\_i | 32 | 输入 | 第二个读端口输入 |
| 6 | reg1\_read\_o | 1 | 输出 | 第一个读端口使能信号 |
| 7 | reg2\_read\_o | 1 | 输出 | 第二个读端口使能信号 |
| 8 | reg1\_addr\_o | 5 | 输出 | 第一个读端口地址 |
| 9 | reg2\_addr\_o | 5 | 输出 | 第二个读端口地址 |
| 10 | aluop\_o | 8 | 输出 | 运算子类型 |
| 11 | alusel\_o | 3 | 输出 | 运算类型 |
| 12 | reg1\_o | 32 | 输出 | 源操作数1 |
| 13 | reg2\_o | 32 | 输出 | 源操作数2 |
| 14 | wd\_o | 5 | 输出 | 目的寄存器地址 |
| 15 | wreg\_o | 1 | 输出 | 是否需要写入目的寄存器 |
| 16 | ex\_wreg\_i | 1 | 输入 | 处于执行阶段指令是否写 |
| 17 | ex\_wd\_i | 5 | 输入 | 处于执行阶段指令写地址 |
| 18 | ex\_wdata\_i | 32 | 输入 | 处于执行阶段指令写数据 |
| 19 | mem\_wreg\_i | 1 | 输入 | 处于访存阶段指令是否写 |
| 20 | mem\_wd\_i | 5 | 输入 | 处于访存阶段指令写地址 |
| 21 | mem\_wdata\_i | 32 | 输入 | 处于访存阶段指令写数据 |
| 22 | branch\_flag\_o | 1 | 输出 | 是否转移 |
| 23 | branch\_target\_address\_o | 32 | 输出 | 转移目标地址 |
| 24 | is\_in\_delayslot\_o | 1 | 输出 | 当前指令是否位于延迟槽 |
| 25 | link\_addr\_o | 32 | 输出 | 返回地址 |
| 26 | next\_inst\_in\_delayslot\_o | 1 | 输出 | 下一跳指令是否位于延迟槽 |
| 27 | is\_in\_delayslot\_i | 1 | 输入 | 当前指令是否位于延迟槽 |

1. EX模块

接口说明：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 序号 | 接口名 | 宽度 | 输入/输出 | 作用 |
| 1 | rst | 1 | 输入 | 复位信号 |
| 2 | alusel\_i | 3 | 输入 | 运算类型 |
| 3 | aluop\_i | 8 | 输入 | 运算子类型 |
| 4 | reg1\_i | 32 | 输入 | 源操作数1 |
| 5 | reg2\_i | 32 | 输入 | 源操作数2 |
| 6 | wd\_i | 5 | 输入 | 目的寄存器地址 |
| 7 | wreg\_i | 1 | 输入 | 是否写目的寄存器 |
| 8 | wd\_o | 5 | 输出 | 目的寄存器地址 |
| 9 | wreg\_o | 1 | 输出 | 是否写目的寄存器 |
| 10 | wdata\_o | 32 | 输出 | 写入目的寄存器的值 |
| 11 | is\_indelayslot\_i | 1 | 输出 | 是否位于延迟槽 |
| 12 | link\_address\_i | 32 | 输出 | 返回地址 |
| 13 | mem\_addr\_o | 32 | 输出 | 加载/存储地址 |
| 14 | reg2\_o | 32 | 输出 | 要存的数据 |

1. MEM模块

接口说明：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 序号 | 接口名 | 宽度 | 输入/输出 | 作用 |
| 1 | rst | 1 | 输入 | 复位信号 |
| 2 | wd\_i | 5 | 输入 | 目的寄存器地址 |
| 3 | wreg\_i | 1 | 输入 | 是否写目的寄存器 |
| 4 | wdata\_i | 32 | 输入 | 目的寄存器的值 |
| 5 | wd\_o | 5 | 输出 | 目的寄存器地址 |
| 6 | wreg\_o | 1 | 输出 | 是否写目的寄存器 |
| 7 | wdata\_o | 32 | 输出 | 目的寄存器值 |
| 8 | reg2\_i | 32 | 输入 | 要存储的数据 |
| 9 | mem\_data\_i | 32 | 输入 | 读取的数据 |
| 10 | mem\_addr\_i | 32 | 输入 | 加载/存储地址 |
| 11 | is\_write | 1 | 输出 | 是否写ram |