

# Digital Design module

---

## 1. mux2 to1 构建数字电路

---

在ECO（Engineering Change Order）阶段，需要使用替补元件（额外的元件）对电路进行修正，使用多路复用器较为方便；使用多路复用器可以构成常见的门电路。

### 1.1 MUX转换为与门

### 1.2 MUX转换为或门

### 1.3 MUX转换为非门

### 1.4 MUX转换为异或门

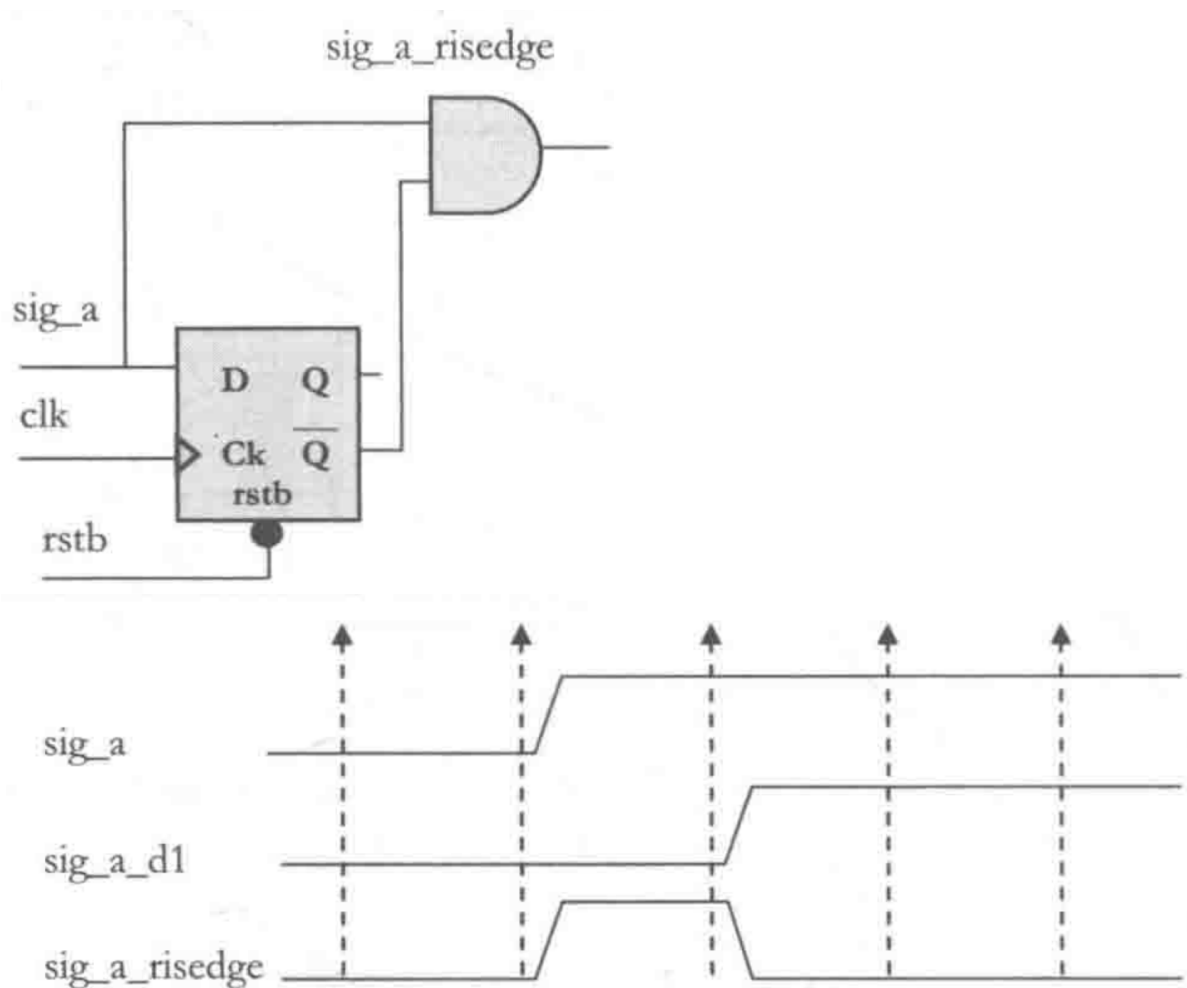
## 2. 边沿检测

---

芯片设计中经常需要进行边沿检测（事件检测），当信号发生变化时，数字系统需要检测这种变化，以此触发相应的电路操作，当输入信号来自不同的时钟域时，需要先进行同步到当前时钟域。

**note：**虚线向上的箭头表示时钟上升沿

### 2.1 同步上升沿检测



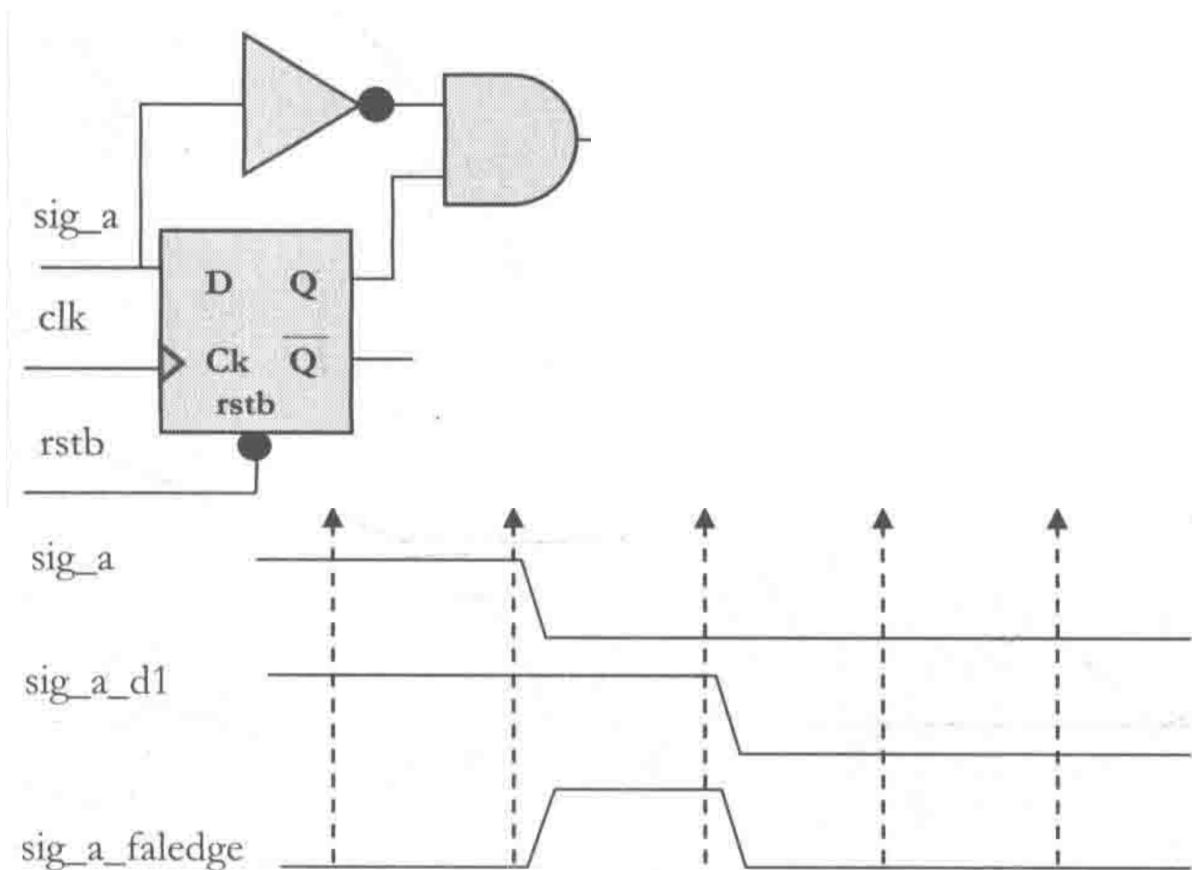
同步上升边沿检测的电路为一个触发器和与门构成，RTL实现为：

```

1  input sig_a;
2  reg sig_a_d1;
3  wire sig_a_risedge;
4
5  always @(posedge clk or negedge rstb) begin
6      if(!rstb) sig_a_d1 <= 1'b0;
7      else      sig_a_d1 <= sig_a;
8  end
9
10 assign sig_a_risedge = sig_a & (!sig_a_d1);

```

## 2.2 同步下降沿检测



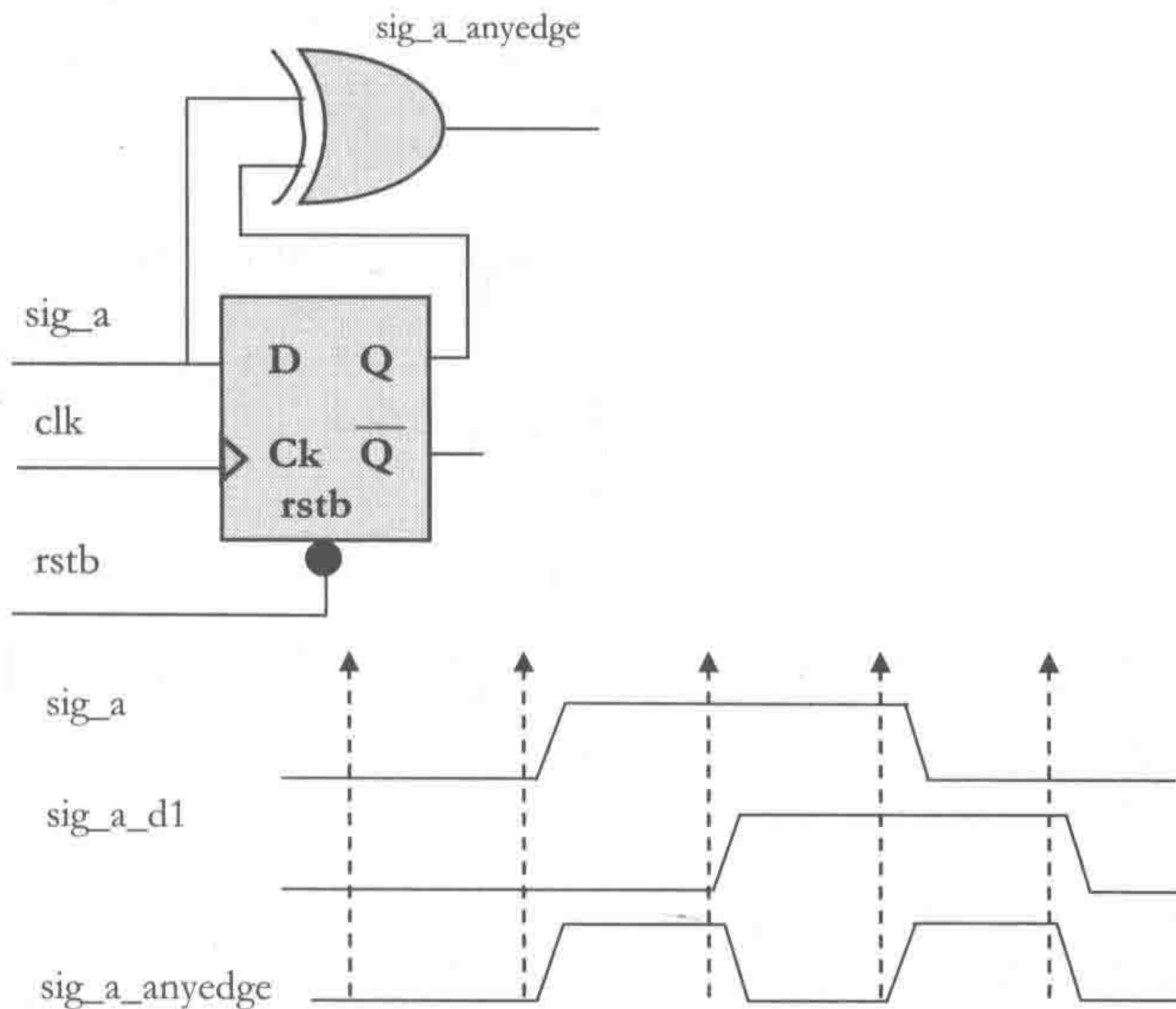
同步上升边沿检测的电路为一个触发器和与门构成，RTL实现为：

```

1  input sig_a;
2  reg  sig_a_d1;
3  wire sig_a_faledge;
4
5  always @(posedge clk or negedge rstb) begin
6      if(!rstb) sig_a_d1 <= 1'b0;
7      else      sig_a_d1 <= sig_a;
8  end
9
10 assign sig_a_risedge = !sig_a & sig_a_d1;

```

## 2.3 同步上升/下升沿检测



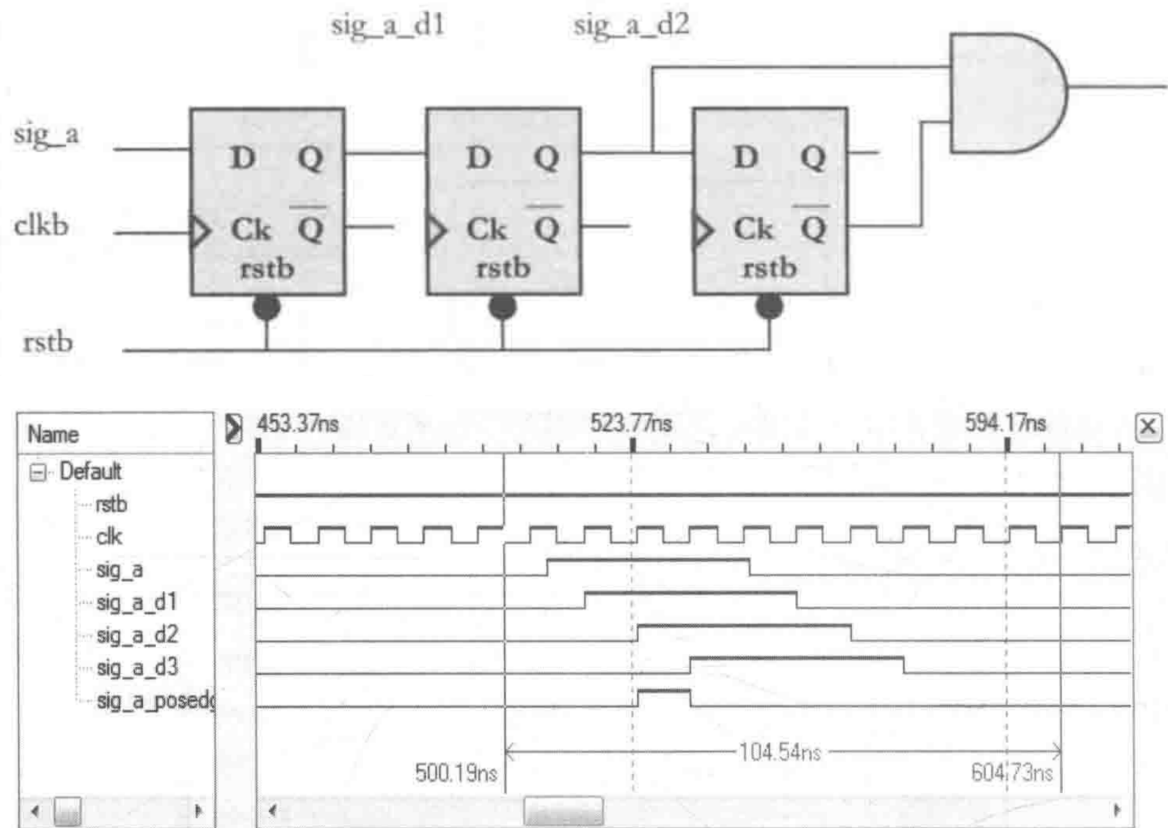
同步上升边沿检测的电路为一个触发器和与门构成，RTL实现为：

```

1  input sig_a;
2  reg   sig_a_d1;
3  wire  sig_a_anyedge;
4
5  always @(posedge clk or negedge rstb) begin
6      if(!rstb) sig_a_d1 <= 1'b0;
7      else      sig_a_d1 <= sig_a;
8  end
9
10 assign sig_a_anyedge = sig_a ^ sig_a_d1;
11 // or
12 // assign sig_a_anyedge = (!sig_a & sig_a_d1) | (sig_a & !sig_a_d1);

```

## 2.4 异步输入上升沿检测



由上图可知，前两个触发器的作用为同步数据到同一时钟下，第三个触发器和同步上升沿检测有相同的结构。

异步上升边沿检测RTL实现为：

```

1  module edge_detction(
2      input sig_a,
3      input clkb,
4      input rstb
5  );
6
7      reg sig_a_d1, sig_a_d2, sig_a_d3;
8      wire sig_a_posedge;
9
10     assign sig_a_posedge = sig_a_d2 & !sig_a_d3;
11
12     always @(posedge clkb or negedge rstb) begin
13         if(!rstb) begin
14             sig_a_d1 <= 1'b0;
15             sig_a_d2 <= 1'b0;
16             sig_a_d3 <= 1'b0;
17         end
18         else begin
19             sig_a_d1 <= sig_a;
20             sig_a_d2 <= sig_a_d1;
21             sig_a_d3 <= sig_a_d2;
22         end
23     end
24 end
25
26 endmodule

```

### 3. 线性反馈移位寄存器（LFSR）

---

LFSR 用于产生可重复的伪随机序列PRBS，该电路由  $n$  级触发器和一些异或门组成；在每个时钟周期内，新的输入会被反馈到LFSR内部各个触发器的输入端，输入中的一部分来自于LFSR的输出端，另一部分由LFSR各个输出端进行异或得到。

LFSR的初始值被称为伪随机序列的种子，其最后一个触发器的输出就是一个周期性重复的伪随机序列。