

## ★ 位错误:

- 一位错误由向总线上输出数据帧、遥控帧、错误帧、过载帧的单元和输出ACK的单元、输出错误的单元来检测。
- 在仲裁段输出隐性电平,但检测出显性电平时,将被视为仲裁失利,而不是位错误。
- 在仲裁段作为填充位输出隐性电平时,但检测出显性电平时,将不视为位错误,而是填充错误。
- 发送单元在ACK段输出隐性电平,但检测到显性电平时,将被判断为其他单元的ACK应答,而非位错误。
- 输出被动错误标志(6个位隐性位)但检测出显性电平时,将遵从错误标志的结束条件,等待检测出连续相同6个位的值(显性或隐性),并不视为位错误。

## ★ 格式错误:

- 即使接收单元检测出EOF(7个位的隐性位)的最后一位(第8个位)为显性电平,也不视为格式错误。
- 即使接收单元检测出数据长度码(DLC)中9~15的值时,也不视为格式错误。

## ※ 错误帧的输出:

- 检测出满足错误条件的单元输出错误标志通报错误。
- 处于主动错误状态的单元输出的错误标志为主动错误标志。
- 处于被动错误状态的单元输出的错误标志为被动错误标志。
- 发送单元发送完错误帧后,将再次发送数据帧或遥控帧。

## 错误标志输出时序:

- 位错误、填充错误、格式错误、ACK错误  
↑ 输出时序:从检测出错误后的下一位开始输出错误标志。
- CRC错误:  
↑ 输出时序:ACK界定符后的下一位开始输出错误标志。

## ※ 位时序:

- 由发送单元在非同步的情况下发送的每秒钟内的位数称为位速率。
- 一个位可分为4段:

- 同步段(SS)
- 传播时间段(PTS)
- 相位缓冲段1(PBS1)
- 相位缓冲段2(PBS2)

这些段又由可称为 Time Quantum (以下称为  $T_q$ ) 的最小时间单位构成。  
1位分为4个段,每个段又由若干个  $T_q$  构成,这称为位时序。

1位由多少个  $T_q$  构成、每个段又由多少个  $T_q$  构成等,可任意设定位时序。  
通过设定位时序,多个单元可同时采样,也可任意设定采样点。

## 段及其作用:

### (1) 同步段(SS: Synchronization Segment)

- 作用:多个连接在总线上的单元通过此段实现时序调整,同步进行接收和发送的工作。由隐性电平到显性电平的边沿或由显性电平到隐性电平的边沿最好出现在此段中。⇒  $1T_q$

### (2) 传播时间段(PTS: Propagation Time Segment)

- 作用:用于吸收网络上的物理延迟的段。  
所谓的网络的物理延迟指发送单元的传输延迟、总线上信号的传播延迟、接收单元的输入延迟。  
这个段的时间为以上各延迟时间的和的两倍。⇒  $1 \sim 8T_q$

### (3) 相位缓冲段1(PBS1: Phase Buffer Segment 1) ⇒ $1 \sim 8T_q$

### (4) 相位缓冲段2(PBS2: Phase Buffer Segment 2) ⇒ $2 \sim 8T_q$

- 作用:当信号边沿不能被包含于SS段中时,可在此段进行补偿。  
由于各单元以各自独立的时钟工作,细微的时钟误差会累积起来,PBS段可用于吸收此误差。  
通过对相位缓冲段加减SJW吸收误差。  
SJW加大后允许误差加大,但通信速度下降。



(5) 再同步补偿宽度 (SJW: reSynchronization Jump Width)  $\Rightarrow 1 \sim 4T_q$

· 作用: 因时钟频率偏差、传送延迟等, 各单元有同步误差。

SJW 为补偿此误差的最大值。

★ 采样点:

是指读取总线电平, 并将读到的电平作为位值的点。位置在 PBS1 结束处。

※ 取得同步的方法:

CAN 协议的通信方法为 NRZ (Non-Return to Zero) 方式。

各个位的开头或结尾都没有附加同步信号。发送单元以与位时序同步的方式开始发送数据。另外, 接收单元根据总线上电平的变化进行同步并进行接收工作。

但是, 发送单元和接收单元存在的时钟频率误差及传输路径上的 (电缆、驱动器等) 相位延迟会引起同步偏差。因此接收单元通过硬件同步或者再同步的方法调整时序进行接收。

※ 硬件同步:

接收单元在总线空闲状态检测出帧起始时进行的同步调整。

在检测出边沿的地方不考虑 SJW 的值而认为是 SS 段。

※ 再同步:

在接收过程中检测出总线上的电平变化时进行的同步调整。

每当检测出边沿时, 根据 SJW 值通过加长 PBS1 段, 或缩短 PBS2 段, 以调整同步。但如果发生了超出 SJW 值的误差时, 最大调整量不能超过 SJW 值。

※ 调整同步的规则:

硬件同步和再同步遵从如下规则:

(1) 1 个位中只进行一次同步调整。

(2) 只有当上次采样点的总线值和边沿后的总线值不同时, 该边沿才能用于调整同步。

(3) 在总线空闲且存在隐性电平到显性电平的边沿时, 则一定要进行硬件同步。

(4) 在总线非空闲时检测到的隐性电平到显性电平的边沿如果满足条件 (1) 和 (2), 将进行再同步, 但还要满足下面条件。

(5) 发送单元观测到自身输出的显性电平有延迟时不进行再同步。

(6) 发送单元在帧起始到仲裁段有多个单元同时发送的情况下, 对延迟边沿不进行再同步。