

# 实时图象增强系统的实现

机电部石家庄54所遥感测量专业部(050081) 沈永玲

**摘 要:** 介绍一种新颖的实时图象增强系统。该系统由单片机控制的帧存储器、输出查找表等电路组成。它对工程上所录制变化频度低的图象,如监视图象、望远图象等有明显的增强效果。

**关键词:** 实时图象增强 灰度拉伸 直方图均衡

图象数字化后的数据量大,所应用的数学运算多样且繁琐,一般是用计算机配以图象卡实现,设备造价高,且只能做事后处理,有很大的应用局限性。为了适应苛刻的室外工作条件,设备灵巧便携,能够随时随地地对所观察的图象进行增强处理且便于判断,我们尝试了用单片机8031进行图象增强的实验,获得了成功。

## 一、图象的对比度增强

对比度增强就是逐点修改图象中每一像素的灰度,各像素的位置并不改变,是一种输入与输出像素一对一的运算。对比度增强一般是扩大图象的灰度范围,以减少灰度级为代价,增大保留的灰度级间的距离,使图象更清晰。

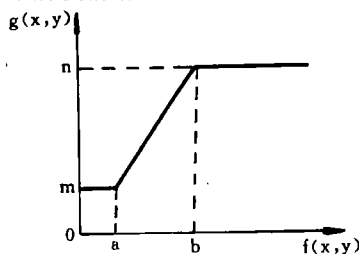


图1 灰度的线性变换

### 1. 线性变换

增强对比度可通过一定灰度范围的线性变换来达到。假如图象上大部分像素的灰度集中在 $[a, b]$ 范围内,见图1。相对

少的像素的灰度超出此范围,用求出这个图象的灰度分布直方图来判断,根据以下变换扩大灰度的动态范围。设原始图象为 $f(x, y)$ ,变换后为 $g(x, y)$ ,它的灰度范围为 $[m, n]$ 。

则

$$g(x, y) = \begin{cases} \frac{(n-m)}{(b-a)}[f(x, y) - a] + m & a \leq f(x, y) \leq b \\ m & f(x, y) < a \\ n & f(x, y) > b \end{cases}$$

适当选择 $a, b$ 值会使这种处理方法在主观视觉感受上收到较好的增强效果。

### 2. 直方图均衡

图象灰度直方图是一种函数,它表示图象中每一灰度与其出现的频数的对应关系。一般来说,自然光线下的图象的灰度直方图总是在较低灰度区域频度较大,光线不足时更是集中在低灰度区,图象较暗区域的细节往往看不清

楚。为了增大图象的对比度,必须压缩高灰度,扩张低灰度,直方图均衡就能达到这样的目的。

下面介绍直方图均衡的计算机算法。设一幅图象的像素总数为 $n$ ,量化8bit,分为0~255共256个灰度等级。用 $n_k$ 代表第 $k$ 级灰度出现的频度,即这个灰度值出现的次数。统计直方图的方法是开辟地址0000H~01FFH共256个16位的存储单元,作为256个灰度级频度的寄存器,首先对这256个单元清零,连续取所存图象各像素的灰度值,每取一个灰度值就把相应的寄存器中的数加1,如取出的灰度值为200,就把地址为200的存储单元的内容加1。扫描完整幅图象,直方图的累积工作就做完了,这种计算方法进行速度是很快的。直方图累加 $S_k = \sum_{i=0}^K n_i$  ( $K=0, 1, \dots, 255$ )为各灰度的频度,均衡后的图象的各灰度变换值为

$$G_K = 255S_k/n \quad (K=0, 1, \dots, 255)$$

## 二、硬件实现方法

由于图象的数据量大,完全用硬件实现不但硬件体积大,并且调试难,可靠性下降。工程上所摄取的图象一般变化较缓慢,背景变化小。如远距离(对人4公

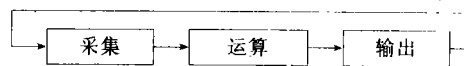


图2 系统控制过程

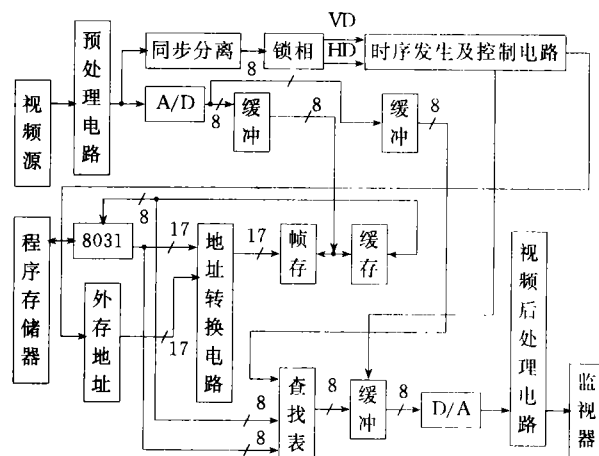


图3 系统硬件框图

里,对车15公里)的监视图象,即使图象上有动作,也不是快速动作。还有一点很重要的是,在同一段时间内摄取的图象,当时光线强度是一定的,这时图象数字化后的灰度均值是一个变化很小的值。根据这些特点,可以采用先实时存储一帧图象,再根据此图象求出灰度直方图。在拉伸运算中,用门限划出图象灰度集中的 $[a, b]$ (见图1)区域,对此范围进行灰度拉伸;或对全部的数据进行直方图均衡运算,求出增强后的各灰度的变换值,写入查找表。原始图象经过数字化后查表输出,监视器上显示的就是增强后的图象。有关地址转换、读写信号转换、控制、运算,都由单片机8031执行。由实时存储到查表输出时间约2秒钟,对于一般的监视图象、侦察图象来说是绰绰有余的。整个过程为一闭环控制过程,见图2。图3为硬件组成框图。

### 1. 视频预处理电路

视频预处理电路包括钳位、放大、同步锁相和行、场同步脉冲、消隐脉冲、复合同步脉冲、复合消隐脉冲形成电路,奇偶场分离电路和帧同步脉冲形成电路。电路框图如图4。

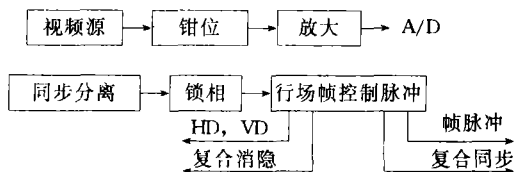


图4 视频预处理电路框图

### 2. A/D 电路

A/D 转换由高速处理芯片 CA318CE 完成,其最高转换速率为15MHz,本系统在视频信号的行正程期间采样256个点,所以系统时钟频率选择为5MHz。

### 3. 帧存储器

帧存储器由一片高速静态 RAM628128-80构成,其容量为128K $\times$ 8bit,存储速度为80ns。一帧图象数据为256 $\times$ 512=128K,一片628128就能胜任。帧存储器既做为图象数据存储,又为单片机8031的外部数据存储。因8031的最大数据存储寻址范围为64K,故用P1口的P1.6作为最高位地址线,寻址范围扩大到128K。

外部图象存储地址用74LS161级联产生,两套地址用74LS157二选一选择。在存图象时由外部图象存储地址线占用帧存地址,存完后,由8031控制帧存,进行一系列的直方图累积,运算求出增强后的数据存入查找表。上述的一切转换也由8031的P1口的P1.0、P1.2控制,存储器的读、写信号也是经74LS157被P1.0控制输出的,以产生不同地址所要求的不同读写信号。

### 4. 查找表及辅助电路

查找表电路由一块静态双口 RAMIDT7132及一

些辅助电路组成。IDT7132有两套地址、读写、片选、数据线,用双口 RAM 的好处是找表。下面介绍 IDT7132 的功能,表1为没有竞争的真理表,表2为有竞争时的仲裁真值表。

表1:无竞争的读/写控制

左或右口				功 能
R/W	$\overline{CE}$	$\overline{OE}$	D0-7	
X	H	X	Z	口不被使能
X	H	X	Z	$\overline{CE_R} = \overline{CE_L} = H$ 电源掉电方式
L	L	X	数据入	口上数据写入存储器
H	L	L	数据出	存储器里数据输出到口上
H	L	H	Z	高阻状态

注:1.  $A0_L \sim A10_L \neq A0_R \sim A10_R$

2. 如果  $\overline{BUSY} = L$ , 数据不被写入。

3. H=高, L=低, X=任意, Z=高阻。

表2:有竞争的仲裁真值表

左口		右口		标志		功 能
$\overline{CE_L}$	$A0_L \sim A10_L$	$\overline{CE_R}$	$A0_R \sim A10_R$	$\overline{BUSY_L}$	$\overline{BUSY_R}$	
H	X	H	X	H	H	没有竞争
L	X	H	X	H	H	没有竞争
H	X	L	X	H	H	没有竞争
L	$\neq A0_R \sim A10_R$	L	$\neq A0_L \sim A10_L$	H	H	没有竞争
L	LUSR	L	LUSR	H	L	左口胜
L	RUSR	L	RUSR	L	H	右口胜
L	Same	L	Same	H	L	仲裁解决
L	Same	L	Same	L	H	仲裁解决
L	$A0_R \sim A10_R$	L	$A0_L \sim A10_L$	H	L	左口胜
L	$A0_R \sim A10_R$	L	$A0_L \sim A10_L$	L	H	右口胜
L	$A0_R \sim A10_R$	L	$A0_L \sim A10_L$	H	L	仲裁解决
L	$A0_R \sim A10_R$	L	$A0_L \sim A10_L$	L	H	仲裁解决

注:1. X=任意, L=低, H=高。

2. LVSR=左地址先于右地址有效时间大于5ns

RVSR=右地址先于左地址有效时间大于5ns

Same=左和右地址竞争在5ns 时间内。

LLSR=左 $\overline{CE}$ 先于右 $\overline{CE}$ 变低时间大于5ns。

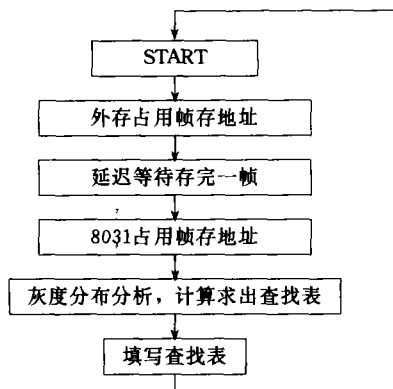
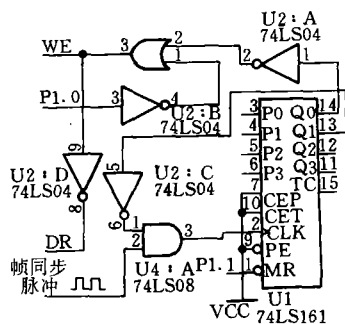
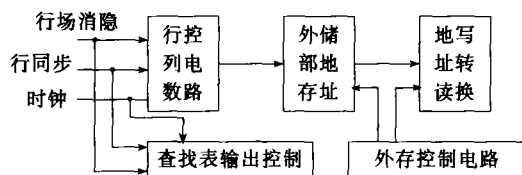
RLSR=右 $\overline{CE}$ 先于左 $\overline{CE}$ 变低时间大于5ns。

LWSR=左和右 $\overline{CE}$ 变低在5ns 之内。

如果用 IDT7132 内部的仲裁逻辑,填写的查找表就有可能不正确,右地址支持查表输出的读操作,左地址的某些值填不进去,并且由于相互干扰,输出监视器上有白点闪烁。需要加辅助电路保证两套地址不在同一时刻对同一单元进行读、写操作,就可以象对普通 RAM 那样进行读、写操作,互不干扰。具有电路见图5。

74LS75的D端接P1.4,每次填写查找表之前对它求反,即开辟了 IDT7132的0000H~01FFH 共512个单元为两个查找表,交替填写,避免两套地址读写冲突。在8031控制采集、灰度分布提取、运算时,不填写查

The diagram illustrates the hardware connection of the IDT7132. The IDT7132 chip is connected to a 74LS75 flip-flop and two 74LS157 decoders. The IDT7132 has pins for CE, R/W, OE, A0-A7, A8, D0-D7, and A/D, D/A. The 74LS75 has pins for 1Q, 1G, 1A, 1B, and A/B. The 74LS157 has pins for 1A, 1B, 1Y, and A/B. The diagram also shows connections for P1.2, P1.4, P1.3, and P1.5.



(收稿日期:1994-01-22)