

简单组合逻辑电路的设计

计 93 王哲凡 2019011200

一、实验目的

1. 理解用小规模数字集成电路组合逻辑电路的分析方法与设计方法。
2. 通过全加器电路与减法运算电路的设计，熟悉“补码”概念，用“补码”实现减法运算。

二、实验要求

1. 设计并安装两位加法运算电路，用数码管显示加数、被加数、和；
2. 设计并安装两位减法运算电路，用数码管显示减数、被减数， $A \geq B$ 时，用数码管显示差值， $A < B$ 时，用发光二极管显示借位信息，以及用补码表示的差值。
3. 设计并安装两位减法运算电路，用数码管显示减数、被减数， $A \geq B$ 时，用数码管显示差值， $A < B$ 时，用数码管显示负号，以及用原码表示的差值。

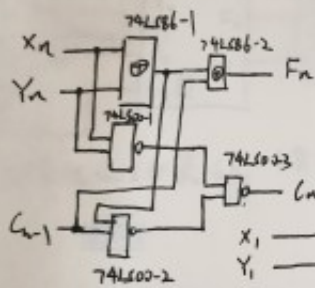
三、实验原理及电路图

具体原理与电路图见下：

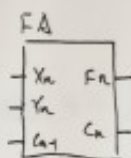
1) 二进制加法运算电路

$$F_n = X_n \oplus Y_n \oplus C_{n-1}$$

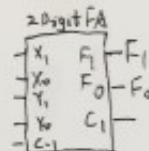
$$C_n = X_n Y_n + (X_n \oplus Y_n) C_{n-1} = \overline{X_n Y_n \cdot C_{n-1} (X_n \oplus Y_n)}$$



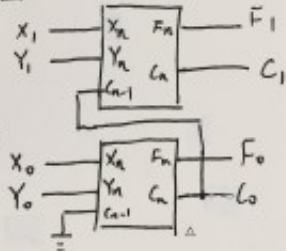
一位全加器封装为:



封装为



则两位加法可得:





清华大学

数学作业纸

班级: 计3

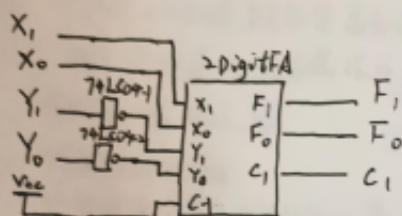
姓名: 王哲凡

编号: 2019011200

科目: 数字逻辑实验第2页

2) 二进制减法运算电路——补码表示

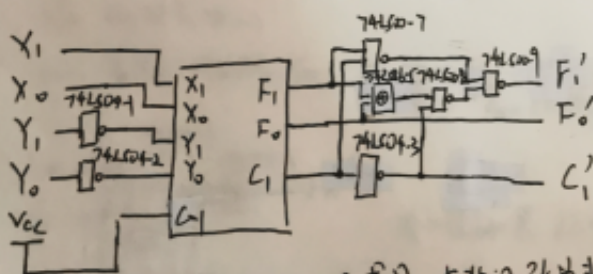
通过补码转换实现

其中 F_1, F_0 为补码表示 \bar{C}_1 表示符号位(溢出) $C_1=0$ 代表“-”(借位) $C_1=1$ $C_1=1$ 代表“+”(不借位) $\bar{C}_1=0$

3) 二进制减法运算电路——符号+原码表示

 $C'_1 = \bar{C}_1$ (1代表负数) $F'_0 = F_0$

$$F'_1 = C_1 \cdot F_1 + \bar{C}_1 \cdot (F_0 \oplus F_1) = \overline{\overline{C_1 F_1}} \quad \overline{\overline{C_1 (F_0 \oplus F_1)}}$$

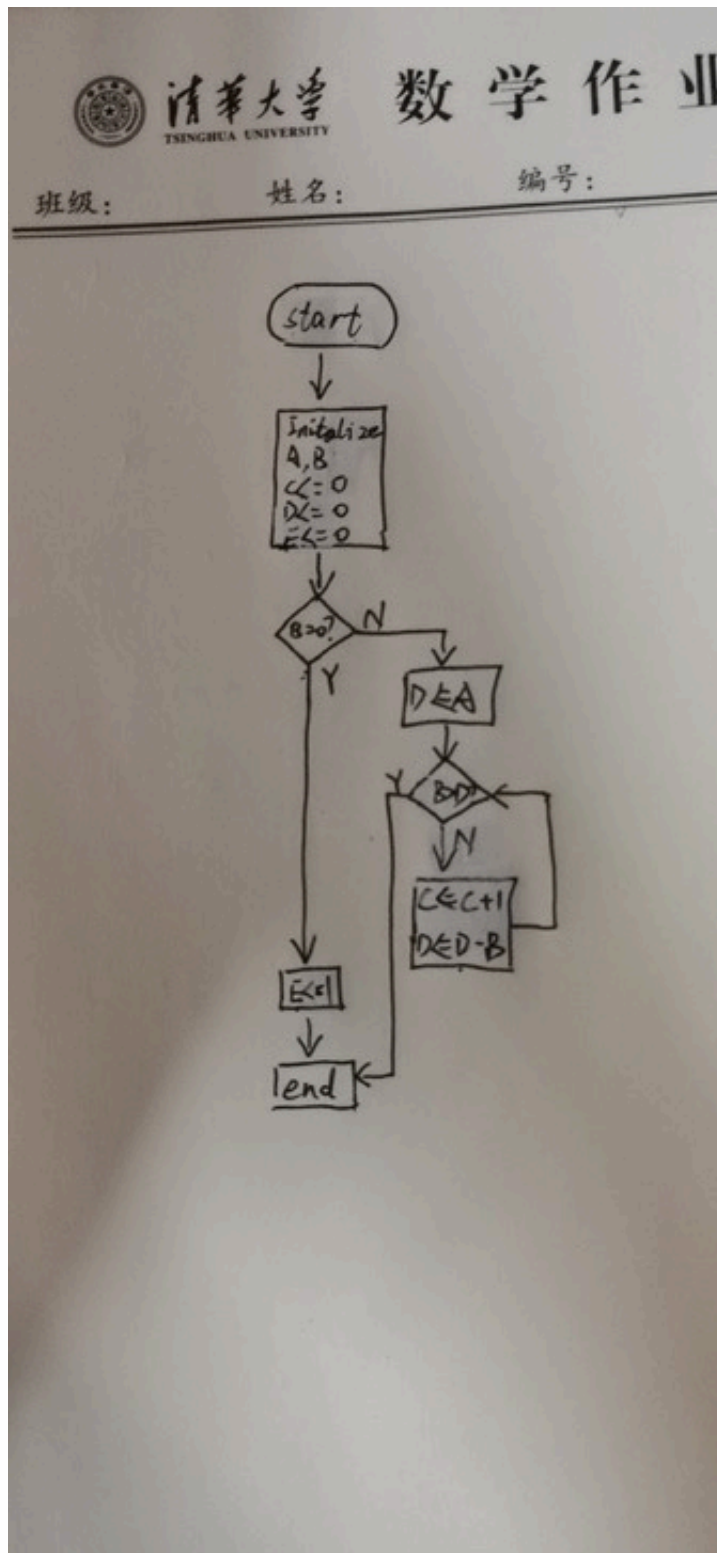
可将低位全加器的一个异或门、与非门改为非门 (C_1 输入为 V_{CC})

将低位全加器的一个异或门与与非门修改为非门后，最终共使用了4个异或门，8个与非门以及5个非门，总计需要1个74LS86芯片，2个74LS00芯片和一个74LS04芯片。

四、思考题

设计一个 4 位二进制除法运算电路。A 为被除数，B 为除数，C 为商数，D 为余数。要求画出具体逻辑图或框图，并描述其工作原理。

使用时序电路来设计，框图如下图：



工作原理如下：

1. 首先进行初始化，包括赋值 A, B ，并将 C, D, E 置零。
2. E 表示是否发生除零错误（1 表示出错），判断首先在初始化后进行，如果 $B = 0$ ，直接置 $E = 1$ 并且结束。
3. 否则，将 D 赋值为 A （初始被减数），不断让 D 减去 B 直到 $D < B$ （无法再减），在减法的过程中，每次 D 减法，均让 C 增加 1，用以记录减法次数（即商数）。
4. 当 $D < B$ 停止时， D 即为余数， C （减法次数）即为商数。

五、实验收获

1. 通过这次实验，我对于组合逻辑设计有了更加深入的认识，特别是在芯片资源限定、实验板限定的情况下，我发现设计本身会有诸多限制，这也是设计本身应该完成的。
2. 对于补码与减法（负数）的关系有了更深的理解。
3. 对于一些功能电路进行合并的尝试，也对于其之间的关系，特别是全加器的意义有了更深的感受。