



计算机硬件系统设计



快速加法器设计实验

实验目的

■ 验证串行加法器逻辑实现

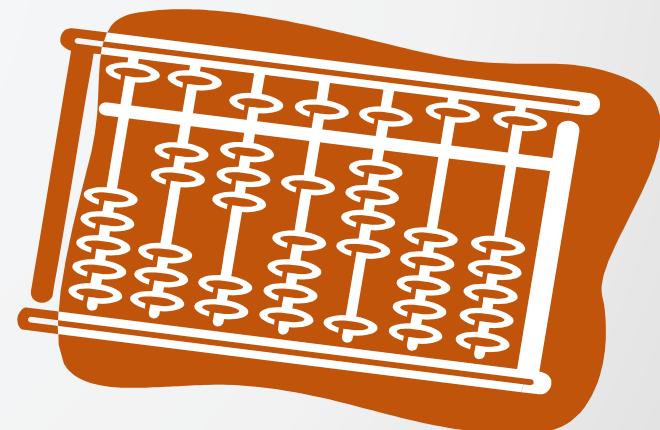
- 能设计8位可控加减法电路

■ 掌握快速加法器逻辑实现

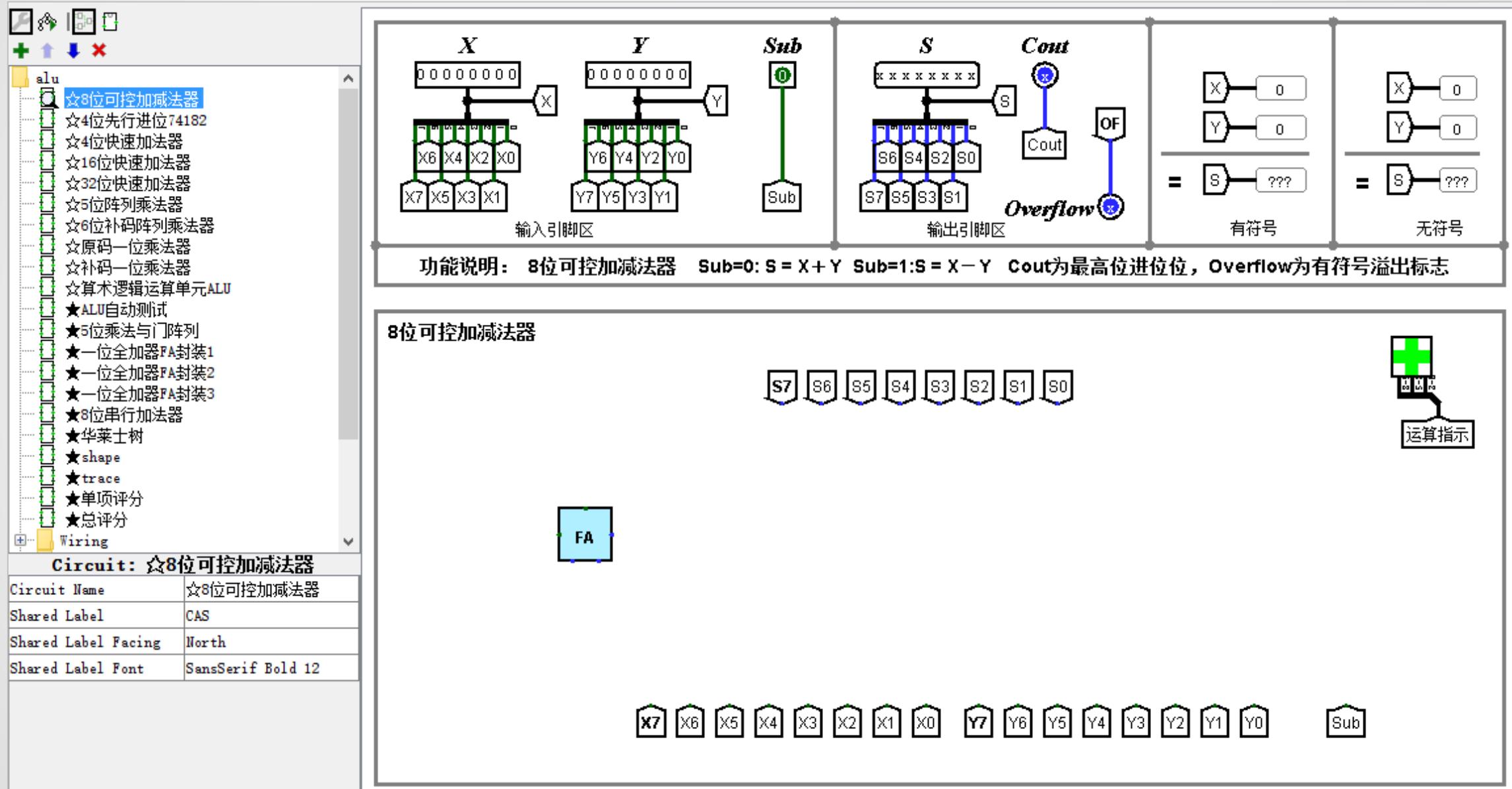
- 能设计4位先行进位电路
- 能设计4位快速加法器

■ 理解组内先行，组间先行的基本原理

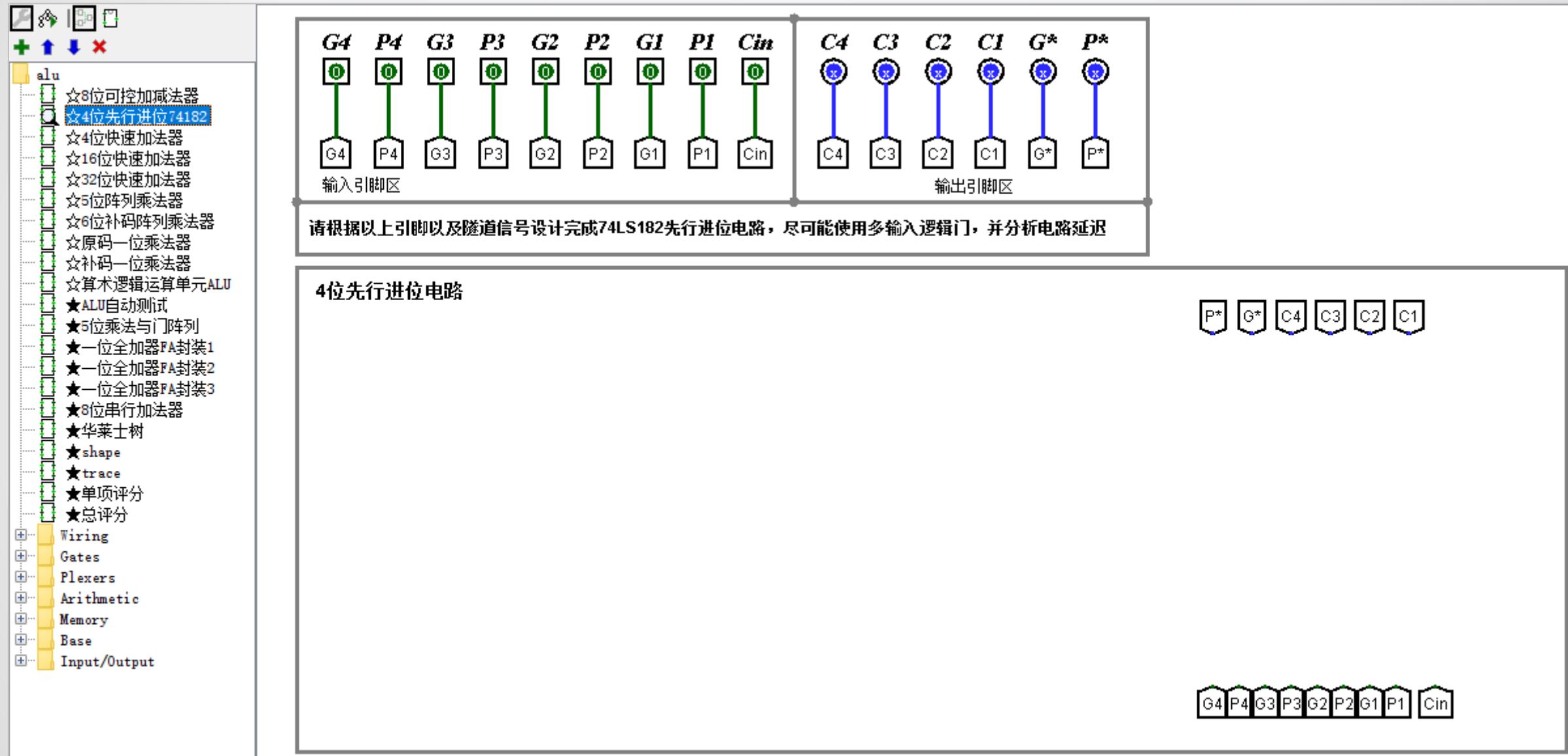
- 利用4位快速加法器构建16位
- 能分析相关电路延迟



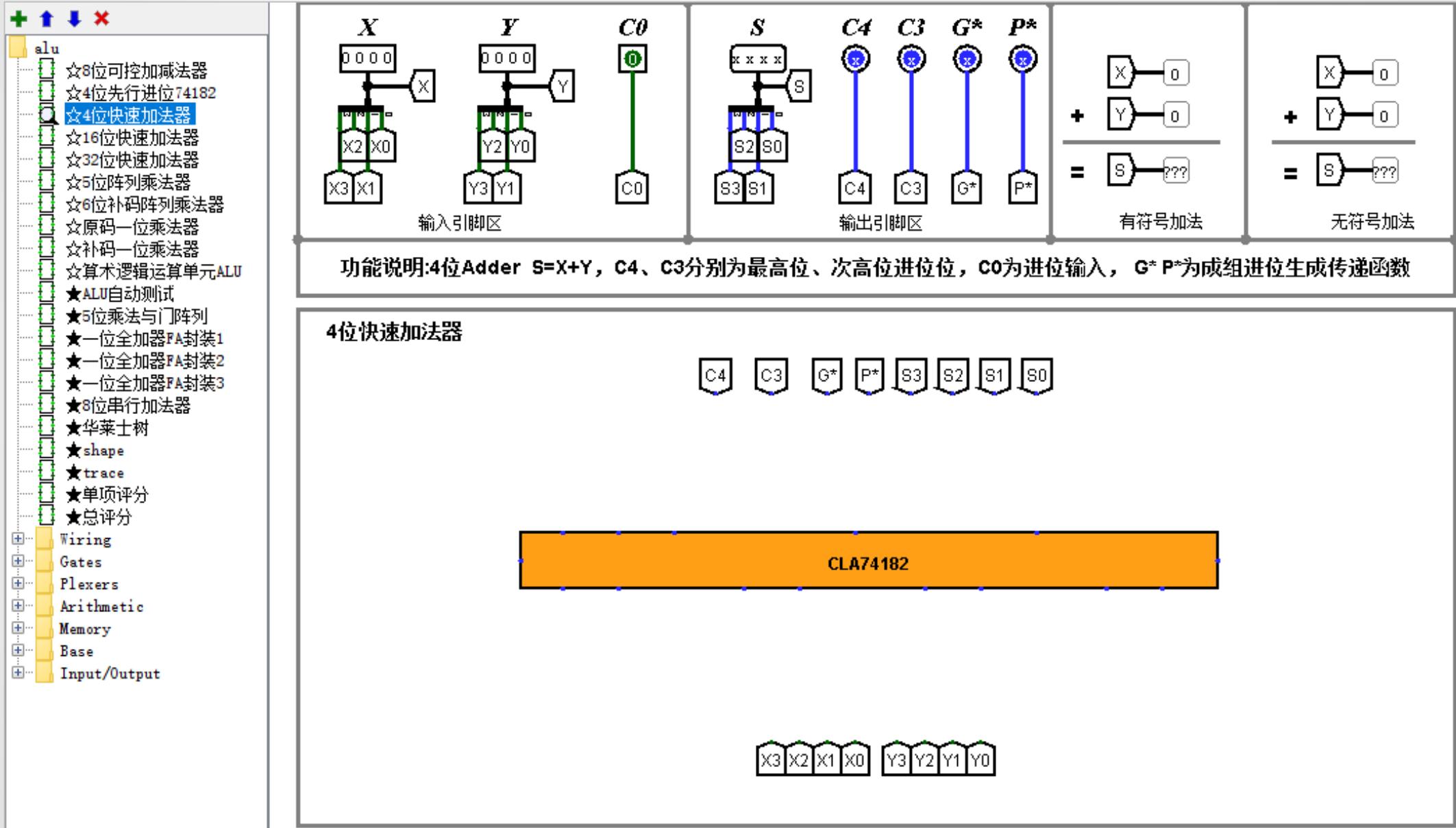
1、8位可控加减法器设计 alu.circ



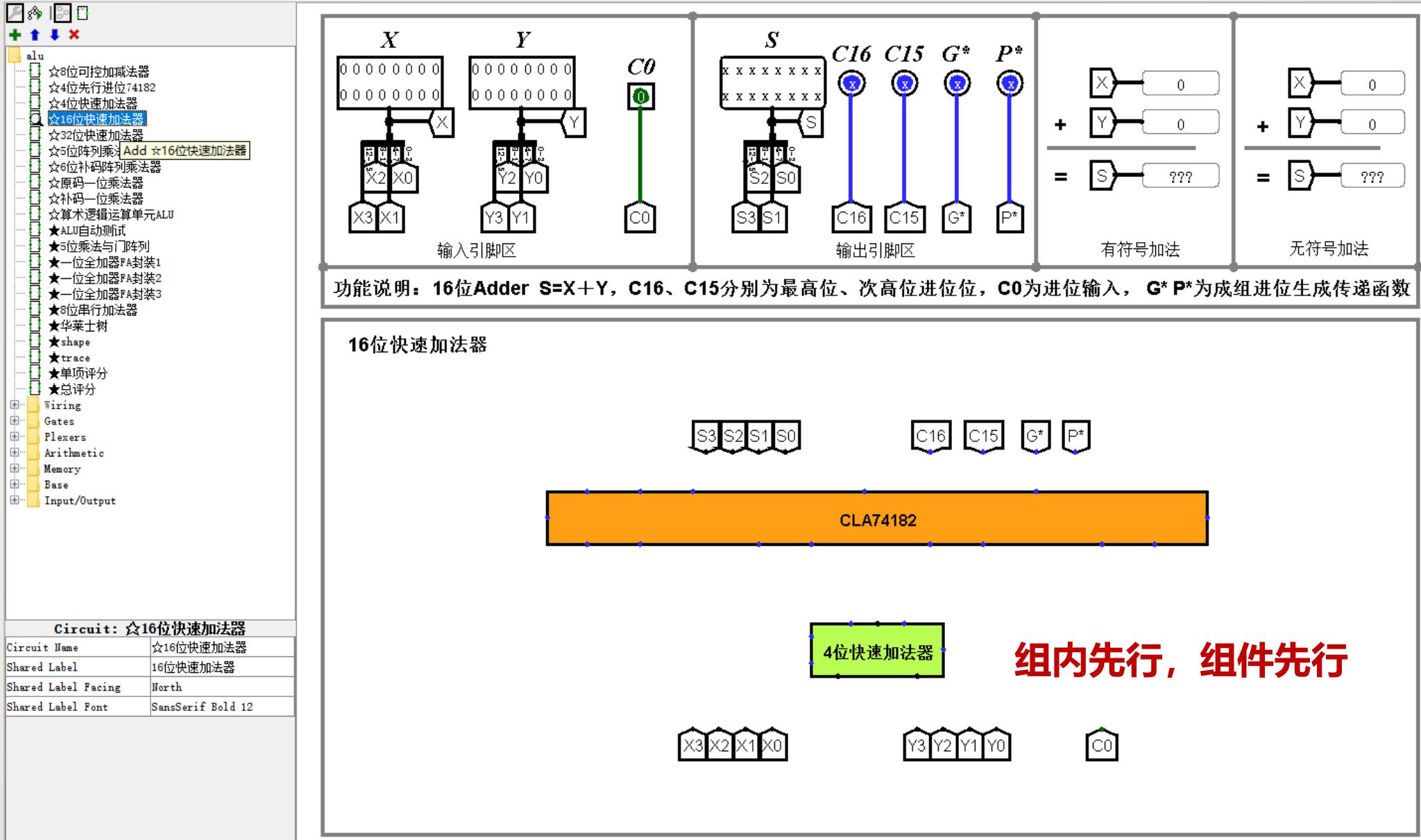
2、4位先行进位电路设计



3、4位快速加法器设计



4、16位快速加法器设计





计算机硬件系统设计



下节课再见...

