

南京信息工程大学试卷

2015—2016 学年 第 1 学期 计算机组成原理 课程试卷 (B 卷)

本试卷共 4 页；考试时间 120 分钟；任课教师 马利、任勇军、郭萍；出卷时间 2015 年 12 月

计算机与软件 学院 _____ 专业 2013 年级 _____

学号 _____ 姓名 _____

一、单项选择题 (每题 1 分, 共 15 分)

- 1、中央处理单元通常包含 ()
A. 控制器、运算器、寄存器 B. 运算器、控制器、加法器
C. 控制器、运算器、时序产生器 D. 译码器、控制器、运算器
- 2、关于浮点数加减法以下论述正确的是_____。
A. 对阶时较小的数进行左移 B. 对阶时小阶向大阶对齐
C. 对阶时大阶向小阶对齐 D. 对阶时较大的数进行左移
- 3、定点 16 位字长的字, 采用 2 的补码形式表示时, 一个字所能表示的整数范围是_____。
A. $-2^{15} \sim 2^{15}-1$ B. $-2^{15}-1 \sim 2^{15}-1$ C. $-2^{15}+1 \sim 2^{15}-1$ D. $-2^{15} \sim 2^{15}$
- 4、若采用双符号位补码运算, 运算结果的符号为 10, 则 ()
A. 产生了负溢出 (下溢) B. 运算结果正确, 为负数
C. 产生了正溢出 D. 运算结果正确
- 5、如果原信息为 1111011, 特征多项式为 X^3+X^2+1 , 则 CRC 校验码为_____。
A. 101 B. 100 C. 111 D. 011
- 6、在主存和 CPU 间增加 Cache 存储器的目的是_____。
A. 增加内存容量 B. 提高内存可靠性
C. 解决 CPU 和主存速度匹配问题 D. 增加内存容量, 同时加快内存存取速度
- 7、下列哪项关于微指令周期的描述是对的_____。
A. 微指令周期即是时钟周期
B. 微指令周期是 CPU 执行一条指令的时间
C. 微指令周期是系统中最小的时间周期
D. 微指令周期通常设计的与 CPU 周期一样长
- 8、设变址寄存器为 X, 形式地址为 D, (X) 为变址寄存器 X 内容, 则变址寻址方式的有效地址为_____。
A. EA=(X)+D B. EA=(X)+(D) C. EA=((X)+D) D. EA=((X)+(D))
- 9、存取周期是指_____。
A. 存储器的读出时间
B. 存储器的写入时间
C. 连续启动两次独立的存储器操作所需间隔的最短时间
D. 启动一次存储器操作到完成该操作所经历的时间
- 10、微程序存放在_____。
A. ROM B. 内存 C. 指令寄存器 D. 控制存储器

- 11、在不同速度的设备之间传送数据，_____。
A. 必须采用同步控制方式
B. 必须采用异步控制方式
C. 既可以采用同步控制也可以采用异步控制方式
D. 必须采用应答控制方式
- 12、系统总线中控制线的功能是_____。
A. 提供主存、I/O 接口设备的控制信号及响应信号
B. 提供数据信息
C. 提供时序信号
D. 提供总线设备的数据传送控制
- 13、常用的虚拟存储系统由_____两级存储器组成，其中辅存是大容量的磁表面存储器。
A. 通用寄存器—主存 B. Cache—辅存
C. 主存—Cache D. 主存—辅存
- 14、静态 RAM 比起动态 RAM 的主要优点是_____。
A. 数据不易丢失 B. 速度快
C. 存储密度高 D. 控制简单
- 15、为了便于实现多级中断，保存现场信息最有效的方式采用_____。
A. 通用寄存器 B. 堆栈 C. 内存 D. 外存

二、填空题（每空 1 分，共 10 分）

- 1、从传送信息的类型来看，系统总线一般分为数据线、_____和控制线。
- 2、假设某计算机指令字长度为 16 位，具有二地址、一地址、零地址 3 种指令格式。若操作码字段固定为 6 位，现已设计出 M 条二地址指令，N 条零地址指令，那么这台计算机最多能设计出_____单地址指令。
- 3、系统提供的存储区域保护，包括键保护、环保护和_____保护。
- 4、中央处理器（CPU）的四个主要功能是：时间控制、操作控制、_____和数据加工。
- 5、相联存储器不是按地址而是按内容访问的存储器，其在 cache 中存放行地址表在存储器中存放段表、页表和_____。
- 6、控制器发出的控制信号是_____因素和_____因素的函数，前者指出操作在什么条件下进行，后者指出操作在什么时刻进行。
- 7、1K×1 位的 DRAM 芯片（内部是 32×32 结构），若采用异步刷新方式，且刷新间隔不超过 2ms，则刷新信号周期是_____us（小数点后保留一位，单位微秒）。
- 8、用 SN74181 和 SN74182 设计三重并行进位 64 位字长的 ALU 需要_____片 SN74181 和_____片 SN74182。

三、简述题（共 20 分）

- 1、主存容量为 4MB，虚存容量为 1GB，则：
(1) 物理地址多少位； (2 分)
(2) 虚拟地址多少位； (2 分)
(3) 如页面大小为 4KB，则页表长度是多少？ (3 分)

2、叙述采用高速缓存、多体交叉存储器、虚拟存储器的原因。（6分）

3、计算机系统从功能上可划分为哪些层次？各层次在计算机系统中起什么作用？（7分）

四、计算与编码（共 20 分）

1、设有浮点数 X, Y ，阶码（补码形式）和尾数（原码形式）如下： X ：阶码 0001，尾数 0.1010； Y ：阶码 1111，尾数 0.1001。设基数为 2。求 $X+Y$ （阶码运算用补码，尾数运算用补码）。（10 分）

2、按步骤写出 1011 (b1b2b3b4) 的海明码（采用偶校验），如 b2 位错请写出查错过程及如何纠错。（10 分）

注：以上两题均需写明详细计算过程

五、设计题（共 15 分）

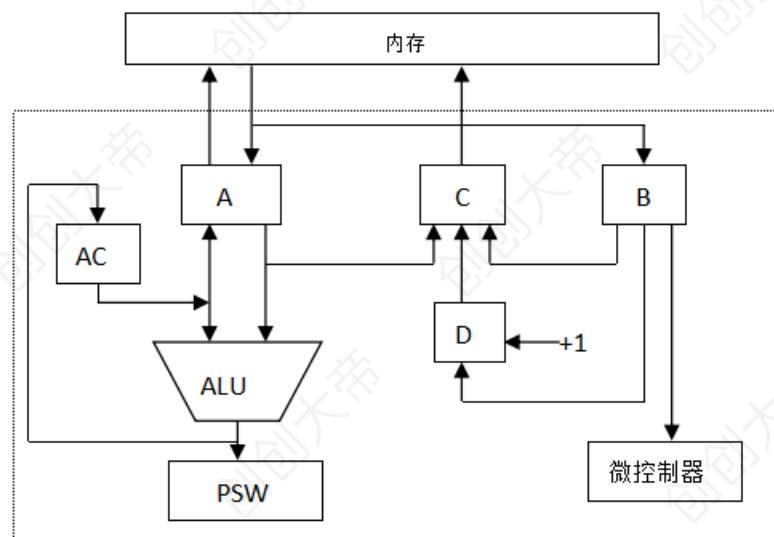
1、某机器中，已知有一个地址空间为 0000H~1FFFH 的 ROM 区域，采用 8K×8 的 ROM 芯片。现在再用 8K×8 的 RAM 芯片形成一个 16K×8 的 RAM 区域，起始地址为 2000H，RAM 芯片有片选信号（CS）和读写信号（WE）控制端。CPU 地址总线为 $A_{15} \sim A_0$ 。数据总线为 $D_7 \sim D_0$ ，控制信号为 R/W(读/写)、MREQ(当存储器进行读或写操作时，该信号指示地址总线上的地址是有效的)。要求：

- (1) 给出所需的 ROM 芯片及 RAM 芯片的片数。（3 分）
- (2) 给出 RAM 区域的地址空间。（3 分）
- (3) 给出每个 RAM 芯片的地址空间。（3 分）
- (4) 给出芯片的片选逻辑。（3 分）
- (5) 画出 CPU 与芯片连接逻辑图。（3 分）

六、分析题（共 20 分）

1、CPU 结构如图所示，其中有一个累加器 AC，一个状态寄存器和其他四个寄存器，各部分之间的连线表示数据通路，箭头表示信息传递的方向。

- (1) 指出图中四个寄存器 A、B、C、D 的名称（4 分）
- (2) 简述指令从主存取到控制器的数据通路（2 分）



2、若机器字长 36 位，采用三地址格式访存指令，共完成 54 种操作，操作数可在 1K 地址范围内寻址，画出该机器的指令格式，并说明各字段所占位长。（4 分）

3、设某计算机运算器框图如下右图 1 所示，4 个通用寄存器读、写控制功能如下表 1 所示。指令字格式如下表 2 所示，其中 ALU 为 16 位的加法器，SA,SB 为 16 位暂存器。（注：指令字长 12 位（不考虑微地址控制部分），第 9 位表示加法，第 10 位表示减法。）

要求: (1) 画出指令“MOV R2, R3”指令, 即 R2→R3 执行阶段的方框图。 (4 分)

(2) 用二进制代码写出指令执行阶段的微程序。(6分)

表1

1

读控制				写控制			
R	RA0	RA1	选择	W	WA0	WA1	选择
1	0	0	R0	1	0	0	R0
1	0	1	R1	1	0	1	R1
1	1	0	R2	1	1	0	R2
1	1	1	R3	1	1	1	R3
0	*	*	不读	0	*	*	不写

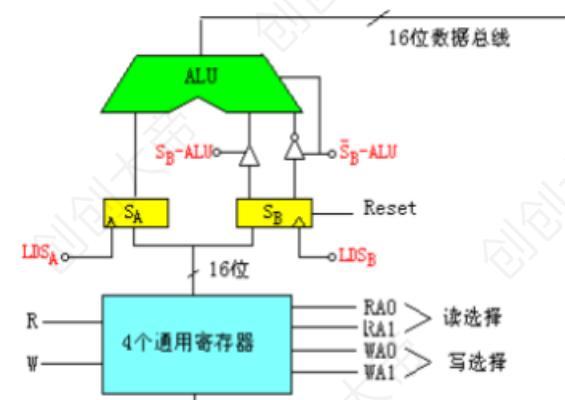


表2

1	2	3	4	5	6	7	8	9	10	11	12
RA ₀	RA ₁	WR ₀	WR ₁	R	W	LDS _A	LDS _B	S _B -->ALU	S _B -->ALU	Reset	~

南京信息工程大学试卷 (A) 答案

2009—2010 学年 第 2 学期 计算机组成原理 课程试卷 (A 卷)

本试卷共 页；考试时间 120 分钟；任课教师 马利；出卷时间 2010 年 6 月

计算机与软件 学院 网络工程 专业 2008 年级 1、2 班

学号 姓名 得分

一、填空题 (每空 1 分, 共 20 分)

- 1、规格化浮点运算一般需要进行对阶、求和、规格化、舍入、判断溢出等工作。
- 2、常用的刷新方式有三种，一种是集中式，另一种是分散式，第三种是异步式。
- 3、堆栈存取方式是面向栈顶操作的先进后出的存取方式，在自底向上生成方式工作的堆栈中，入栈时，堆栈指针作何调整？加 (加 / 减)，入栈时调整指针和存入数据的次序是：先 调整指针，后 存入数据。
- 4、实现机器指令的微程序一般存放在 控制存储器 中，而用户程序存放在 主存储器 中，前者的速度比后者 快。
- 5、CPU 常用的控制方式有三种：同步控制方式、异步控制方式 和 联合控制方式。
- 6、存储 程序 并按 地址 顺序执行，这是 冯-诺依曼 型计算机的工作原理。
- 7、对存储器的要求是容量大、速度快、成本低。为了解决了这三方面的矛盾，计算机采用多级存储体系结构，即主存、Cache (缓存) 和 外存。

二、选择题 (每小题 1 分, 共 10 分)

- 1、计算机中使用总线结构便于增减外设，同时 A。
 - 减少了信息传输线的条数
 - 提高了信息传输速度
 - 减少了信息传输量
 - 三者均正确
- 2、总线结构的主要优点是便于实现系统的模块化，其缺点是 C。
 - 传输的地址和控制信息不能同时出现
 - 传输的地址和数据信息不能同时出现
 - 不能同时具有两个总线主设备
 - 不能同时使用多于两个总线设备
- 3、用 PLA 器件设计的操作控制器称为 PLA 控制器。从技术实现的途径来说，PLA 控制器是一种 D。
 - 用存储逻辑技术设计的控制器
 - 用组合逻辑技术设计的控制器
 - 用微程序技术设计的控制器
 - 用组合逻辑技术和存储逻辑技术结合设计的控制器
- 4、指令周期是指 C。
 - CPU 从主存取出一条指令的时间
 - CPU 执行一条指令的时间

- C. CPU 从主存取出一条指令加上执行这条指令的时间
D. 时钟周期时间

5. 有关高速缓冲存储器 Cache 的说法正确的是 B。

- A. 只能在 CPU 以外
B. CPU 内外都可以设置 Cache
C. 只能在 CPU 以内
D. 若存在 Cache, CPU 就不能再访问内存

6. 采用虚拟存储器的主要目的是 B。

- A. 提高主存储器的存取速度
B. 扩大主存储器的存储空间, 并能进行自动管理调度
C. 提高外存储器的存取速度
D. 扩大外存储器的存储空间

7. 微程序控制器中, “存储逻辑”是指将控制逻辑存储在 A 中。

- A. ROM B. RAM C. PLA D. Cache

8. 组合逻辑控制器和微程序控制器的主要区别在于: D。

- A. ALU 结构不同 B. 数据通路不同
C. CPU 寄存器组织不同 D. 微操作信号发生器的构成方法不同

9. 在微程序控制器中, 机器指令与微指令的关系是 B。

- A. 每条机器指令由一条微指令来执行
B. 每条机器指令由一段微程序来解释执行
C. 一段机器指令组成的程序可由一条微指令来执行
D. 一条微指令由若干条机器指令组成

10. 在指令格式中, 采用扩展操作码设计方案的目的是 C。

- A. 减少指令字长度
B. 增加指令字长度
C. 保持指令字长度不变而增加指令操作的数量
D. 保持指令字长度不变而增加寻址空间

三、计算题 (每小题 10 分, 共 20 分)

1. 对四位有效信息 (1100) 作循环校验编码, 选择生成多项式 $G(x) = 1011$ 。

解: (1) 将待编码的 n 位有效信息码组表示为多项式 $M(x)$:

$$M(x) = x^3 + x^2 = 1100$$

$$\begin{array}{r} M(x) = 1100 \\ \times x^3 \\ \hline M(x^4) = 1100000 \end{array}$$

(2) 将 $M(x)$ 左移 r 位, 得 $M(x) \cdot x^r$, 其目的是空出 r 位, 以便拼装 r 位余数 (校验位):

$$M(x) \cdot x^3 = x^6 + x^5 = 1100000 \quad (\text{左移 } r=3 \text{ 位})$$

(3) 用 $r+1$ 位的生成多项式 $G(x)$, 对 $M(x) \cdot x^r$ 作模 2 除:

$$\begin{array}{r}
 G(x) = x^4 + x + 1 = 1011 \\
 M(x) \cdot x^3 = 1100000 \\
 \hline
 G(x) \quad 1011
 \end{array}
 \quad \begin{array}{l}
 (r+1=4 \text{ 位}) \\
 1110 + \underline{1011} \\
 (模 2 除)
 \end{array}$$

$G(x)$ 是约定的除数, 因为它是用来产生校验码的, 故称为生成多项式。由于最后余数的位数应比除数少一位, 所以 $G(x)$ 应取 $r+1$ 位。

(4) 将左移 r 位后的待编有效信息与余数 $R(x)$ 作模 2 加, 即形成循环校验码:

$$M(x) \cdot x^3 + R(x) = 1100000 + 010 = 1100010 \quad (\text{模 2 加})$$

此处编好的循环校验码称为 $(7, 4)$ 码, 即 $K=7, N=4$ 。

2、 $x = -13/16, y = 11/16$, 用补码一位乘法求 $[x \times y]_b = ?$

解 $[x]_b = 11.0011, [-x]_b = 00.1101$ (用双符号表示)

$[y]_b = 0.1011$ (用单符号表示)

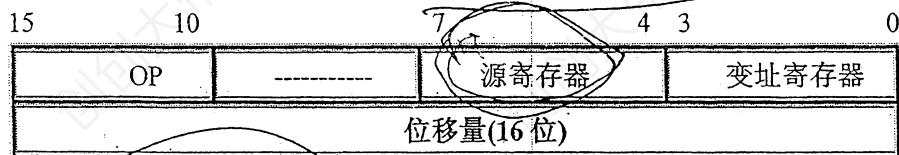
部分积	乘数 $y_n y_{n+1}$	说明
00.0000	0.10110	
+ 00.1101		
00.1101		
- 00.01101	0.1011	$y_n y_{n+1} = 10$, 加 $[-x]_b$
- 00.001101	0.101	$y_n y_{n+1} = 11$, 右移一位得 P_2
+ 11.0011		$y_n y_{n+1} = 01$, 加 $[x]_b$
11.011001		右移一位得 P_3
- 11.1011001	0.10	$y_n y_{n+1} = 10$, 加 $[-x]_b$
- 00.1101		右移一位得 P_4
00.1000001	0.1	$y_n y_{n+1} = 01$, 加 $[x]_b$
+ 11.0011		最后一步不移位
11.01110001		

即 $[x \times y]_b = 1.01110001$

$$\begin{array}{r}
 1110 \\
 1011 \quad | \quad 1100000 \\
 \hline
 1011 \\
 1010 \\
 1010 \\
 1010 \\
 \hline
 010
 \end{array}$$

四、简述题(共 20 分)

1、指令格式如下所示, OP 为操作码字段, 试分析指令格式特点。(6 分)



解: (1) 双字长二地址指令, 用于访问存储器。(2 分)

(2) 操作码字段 OP 为 6 位, 可以指定 64 种操作。(2 分)

(3) 一个操作数在源寄存器(共 16 个), 另一个操作数在存储器中(由变址寄存器和位移量决定)所以是 RS 型指令。(2 分)

2、据微程序控制器组成图简述工作过程 (8 分)

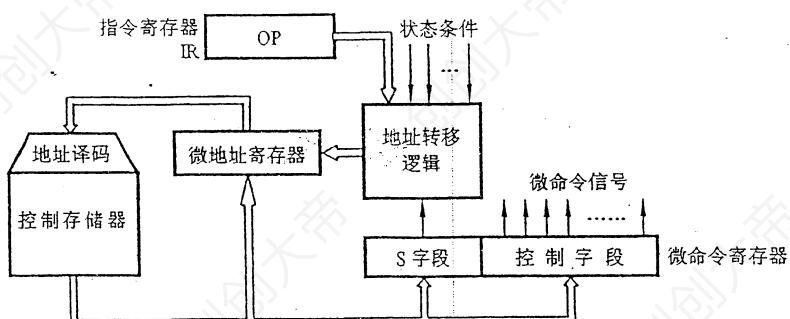


图 1 微程序控制器组成原理图

工作过程

- 1 取机器指令 CM --取指微指令--> UIR --微指令字段--> 译码器 -微命令--> 主存 --机器指令--> IR
- 2 转微程序入口 IR --操作码--> 微地址形成电路 --微程序入口--> UAR --> CM
----首条微指令--> UIR
- 3 执行首条微指令: UIR ----微命令字段--> 译码器 -----微命令--> 操作部件
- 4 取后续微指令 : 微地址字段
现行微地址 ----> 微地址形成电路----后续微地址-->UAR---->
运行状态
CM ----后续微指令--> UIR

红色字体为箭头上的字

3、cache 的基本原理 (6 分)

答: cache 的基本原理

CPU 与 cache 之间的数据交换是以字为单位, (1 分) 而 cache 与主存之间的数据交换是以块为单位。(1 分) 一个块由若干定长字组成的。(1 分) 当 CPU 读取主存中一个字时, 便发出此字的内存地址到 cache 和主存。(1 分) 此时 cache 控制逻辑依据地址判断此字当前是否在 cache 中: 若是, 此字立即传送给 CPU; (1 分) 若非, 则用主存读周期把此字从主存读出送到 CPU, 与此同时, 把含有这个字的整个数据块从主存读出送到 cache 中。(1 分)

五、分析题 (共 15 分)

- 1、(5 分) 某机字长 32 位, 浮点表示时, 指数部分 (即阶码) 占 8 位 (含一位符号位), 尾数部分占 24 位 (含一位符号位), 问
- (1) 带符号定点小数的最大表示范围是多少?
 - (2) 带符号定点整数的最大表示范围是多少?
 - (3) 浮点表示时, 最大正数是多少?
 - (4) 浮点表示时, 最大负数是多少?
 - (5) 浮点表示时, 最小的规格化正数是多少?

解:

采用补码进行数据表示的范围最大。整数表示时符号位 1 位, 数据位 31 位。浮点表示时,

$$-1 \times 2^{-23} - (1-2^{-23}) \times 2^{127}$$

$$-1 \times 2^{128} - (1-2^{-23}) \times 2^{127}$$

阶码占 8 位, 尾数占 24 位, 各包含一位符号位。因此:

- (1) 带符号定点小数的最大表示范围为: $-1 \times 2^{127} \sim (1-2^{-23}) \times 2^{127}$ 。
(2) 带符号定点整数的最大表示范围为: $-2^{31} \sim 2^{31}-1$ 。
(3) 浮点表示时, 最大正数为: $(1-2^{-23}) \times 2^{127}$ 。
(4) 浮点表示时, 最大负数为: $-2^{-23} \times 2^{127}$ 。
(5) 浮点表示时, 最小的规格化正数为: 0.5×2^{-128} 。

2、(10分)图2所示为双总线结构机器的数据通路, IR为指令寄存器, PC为程序计数器(具有自增功能), M为主存(受R/W信号控制), AR为地址寄存器, DR为数据缓冲寄存器, ALU由加、减控制信号决定完成何种操作, 控制信号G控制的是一个门电路。另外, 线上标注有小圈表示有控制信号, 其中 y_i 表示 y 寄存器的输入控制信号, $R1o$ 为寄存器R1的输出控制信号, 未标字符的线为直通线, 不受控制。现“SUB R1, R3”指令完成 $(R3)-(R1) \rightarrow R3$ 的操作, 画出其指令期流程图, 并列出相应的微操作控制信号序列。

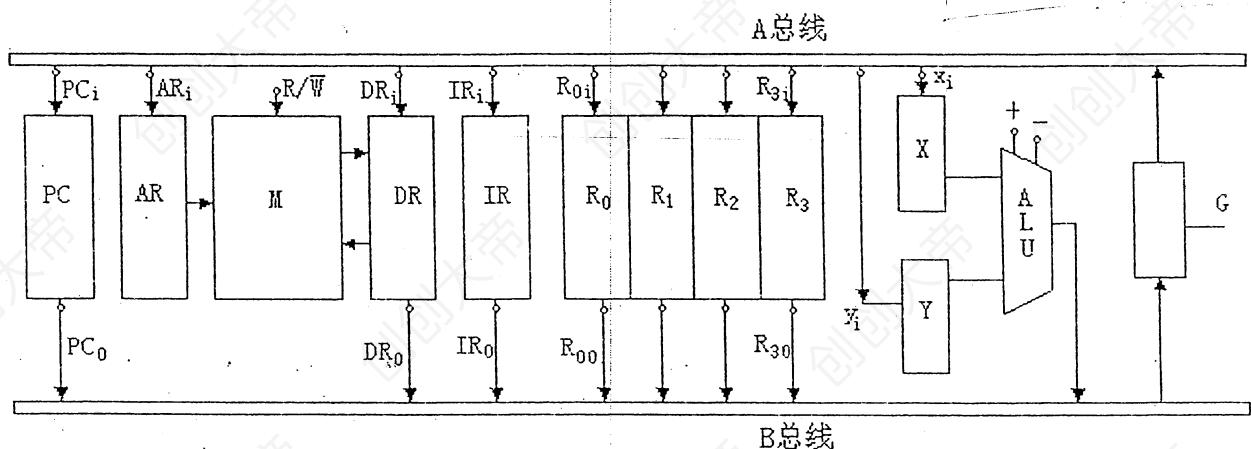
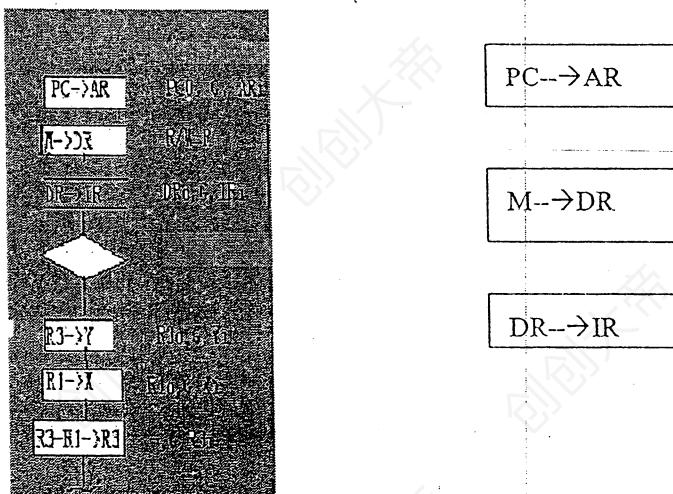


图 2

解：“SUB R1, R3”指令是一条减法指令，其指令周期流程图如图所示。图的右边部分标注了每一个机器周期中用到的微操作控制信号序列。



减法指令周期流程图

阶码占 8 位, 尾数占 24 位, 各包含一位符号位。因此:

- (1) 带符号定点小数的最大表示范围为: $-1 \times 2^{127} \sim (1-2^{-23}) \times 2^{127}$ 。
(2) 带符号定点整数的最大表示范围为: $-2^{31} \sim 2^{31}-1$ 。
(3) 浮点表示时, 最大正数为: $(1-2^{-23}) \times 2^{127}$ 。
(4) 浮点表示时, 最大负数为: $-2^{-23} \times 2^{127}$ 。
(5) 浮点表示时, 最小的规格化正数为: 0.5×2^{-128} 。

2、(10分)图2所示为双总线结构机器的数据通路, IR为指令寄存器, PC为程序计数器(具有自增功能), M为主存(受R/W信号控制), AR为地址寄存器, DR为数据缓冲寄存器, ALU由加、减控制信号决定完成何种操作, 控制信号G控制的是一个门电路。另外, 线上标注有小圈表示有控制信号, 其中 y_i 表示 y 寄存器的输入控制信号, $R1o$ 为寄存器R1的输出控制信号, 未标字符的线为直通线, 不受控制。现“SUB R1, R3”指令完成 $(R3)-(R1) \rightarrow R3$ 的操作, 画出其指令期流程图, 并列出相应的微操作控制信号序列。

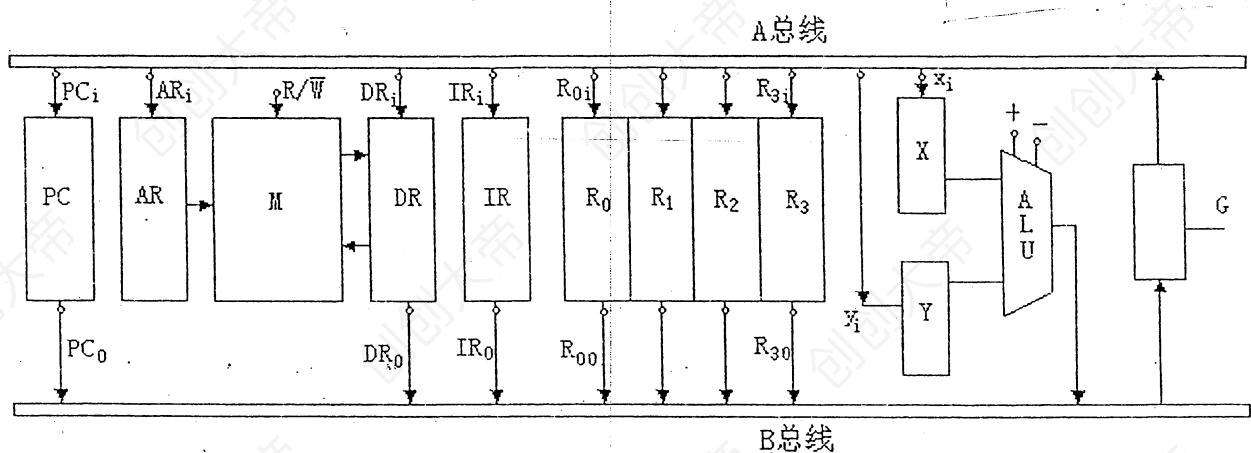
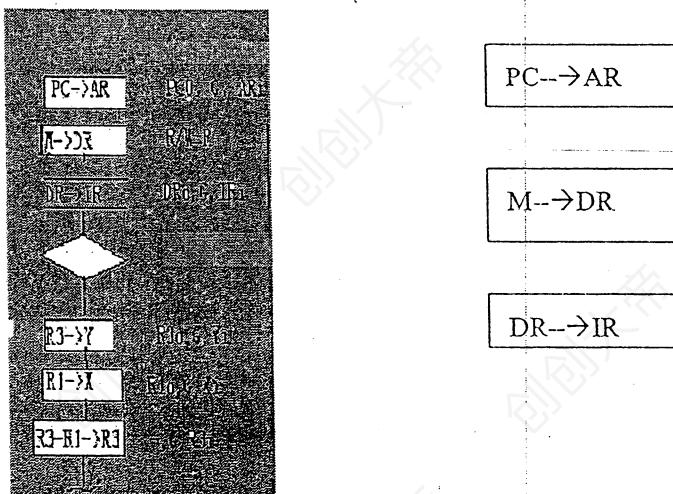


图 2

解：“SUB R1, R3”指令是一条减法指令，其指令周期流程图如图所示。图的右边部分标注了每一个机器周期中用到的微操作控制信号序列。



减法指令周期流程图