

1、选择题 (10分/10)

- 1、某数采用IEEE754单精度浮点数据格式表示为C6400000H, 则该数的值是_____。
A. -1.5×2^{13} B. -1.5×2^{12} C. -0.5×2^{13} D. -0.5×2^{12}
- 2、用海明码对长度为11位的数据进行检/纠错时, 若能纠正一位错, 则校验位数至少为_____。
A. 2 B. 3 C. 4 D. 5
- 3、定点16位字长的字, 采用二进制补码形式表示时, 一个字所能表示的整数范围是_____。
A. $-2^{15} \sim (2^{15}-1)$ B. $-(2^{15}-1) \sim (2^{15}-1)$ C. $-(2^{15}+1) \sim 2^{15}$ D. $-2^{15} \sim 2^{15}$
- 4、假定带符号整数采用补码表示, 若int型变量x和y的机器数分别是FFFFFACH和0000041H, 则x、y的十进制值以及[x-y]的补码机器数, 分别是_____。
A. $x = -65, y = 41, x-y$ 的机器数溢出
B. $x = -84, y = 65, x-y$ 的机器数为FFFFF6BH
C. $x = -84, y = 65, x-y$ 的机器数为FFFFF6EH
D. $x = -65, y = 41, x-y$ 的机器数为FFFFF96H
- 5、在机器数_____中, 零的表示形式是唯一的。
A. 原码 B. 补码 C. 移码 D. 反码
- 6、下列有关RAM和ROM的叙述中, 正确的是_____。
I. RAM是易失性存储器, ROM是非易失性存储器
II. RAM和ROM都采用随机存取方式进行信息访问
III. RAM和ROM都可用作Cache
IV. RAM和ROM都需要进行刷新
A. 仅I和II B. 仅II和III C. 仅I、II和IV D. 仅II、III和IV
- 7、假定主存地址为32位, 按字节编址, 主存和Cache之间采用直接映射方式, 主存块大小为4个字, 每字32位, 采用回写(Write Back)方式, 则能存放4K字数据的Cache的总容量的位数至少是_____。
A. 146K B. 148K C. 147K D. 158K
- 8、指令Load 3000, 表示把内存地址3000的内容装入到运算器的寄存器AC中, 某一寄存器R的值为BF29, 内存如下图所示。如果寻址模式分别为内存间接、寄存器R间接和变址寻址(假定R可作为变址寄存器), 则AC中被装入的值依次为_____。
- | 内存地址(Hex) | 左侧地址中的值(Hex) | 内存地址(Hex) | 左侧地址中的值(Hex) |
|-----------|--------------|-----------|--------------|
| 3000 | A1FD | BF29 | FFE8 |
| ... | | | |
| 5000 | EF29 | EF29 | 5678 |
| ... | | ... | |
| 8000 | 3456 | F200 | ADCE |
| ... | | ... | |
| A1FD | 1234 | FD11 | BC23 |
- A. A1FD, BF29, 3456 B. 1234, BF29, BC23
B. 1234, 3456, 5678 D. 1234, FFE8, 5678
- 9、下列有关浮点数加减运算的叙述中, 正确的是_____。
I. 对阶操作不会引起阶码上溢或下溢
II. 右规和尾数舍入都可能引起阶码上溢
III. 左规时可能引起阶码下溢
IV. 尾数溢出时结果不一定溢出
A. 仅II、III B. 仅I、II、IV C. I、II、III、IV D. 仅I、III、IV
- 10、下列选项中, 能缩短程序执行时间的措施是_____。
I. 提高CPU时钟频率 II. 优化数据通路结构 III. 对程序进行编译优化
A. 仅I和II B. 仅I和III C. I、II、III D. 仅II和III

二、简答题(18分/3)

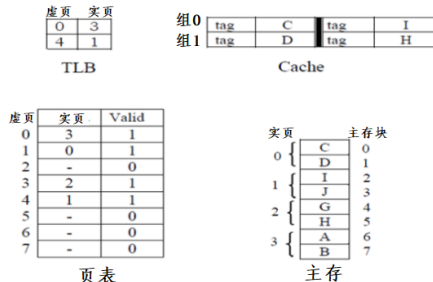
- 1、简述冯诺依曼体系结构的要点并分析其缺陷,现代计算机如何解决其缺陷。(6分)
- 2、为什么采用并行进位能提高加法器的运算速度?(2分)请简述如何用4位快速加法器SN74181及组间并行进位74182构建一个16位先行进位加法器。(4分)
- 3、简述复杂指令集计算机CISC与精简指令集计算机RISC的不同,列出至少三条不同之处,并分别列举至少一种典型的CISC及RISC的CPU微架构。(6分)

三、计算题(20分,所有计算题请给出计算过程,只有结果没过程不得分)

- 1、采用浮点数格式补码表示法计算 $x+y$,其中 $x=0.625, y=-22.25$,设浮点数的阶码为4比特(含阶符),尾数为6比特(含尾符),判断是否溢出。(请按浮点运算步骤对阶、尾数运算、规格化、舍入和判断溢出进行,结果不用转成十进制,尾数用0舍1法,如果不按浮点运算方法计算不得分)(8分)
- 2、假设某计算机A有24条指令,指令的操作码字段固定为5位,从00000-10111,该机器的后续机型B中需要增加16条指令,并与A保持兼容。
 - (1)试采用操作码扩展方法为计算机B设计指令操作码,写出其操作码范围。(3分)
 - (2)计算该计算机中所有指令操作码的平均长度。(3分)
- 3、若某程序编译后生成的目标代码由A、B、C、D四类指令组成,它们在程序中所占比例分别为20%、20%、10%、50%。已知A、B、C、D四类指令的CPI分别为1、2、2、2。现需要对程序进行编译优化,优化后的程序中D类指令条数减少了一半,而其它指令数量未发生变化。假设运行该程序的计算机CPU主频为800MHZ。(保留1位小数)
 - (1)优化前后程序的CPI各为多少?(2分)
 - (2)优化前后程序的MIPS各为多少?(2分)
 - (3)通过上面的计算结果你能得出什么结论?(2分)

四、分析题(22分)

- 1、现有某进程P的虚拟内存系统,它包含一个全相联的TLB,一个2路组相联Cache,主存和进程P的页表。假设Cache每块为8个字,实页及虚页大小为16个字;主存被分成块,每个块由一个字母表示(其块号即字母右侧数字),两个块等于一个主存实页。下图是进程P运行到某时刻,TLB、Cache、页表、主存的情况。请根据图示分析回答以下问题:
 - (1)虚拟地址 74_{10} ,请画出虚存地址格式并指出各字段名和大小(即各占几比特)。(2分)
 - (2)将虚拟地址 74_{10} 翻译成对应的物理地址,请画出物理地址格式并指出字段名和大小(即各占几比特)。(2分)
 - (3)解释CPU如何访问这个虚拟地址 74_{10} 中的数据。(注:解释中应包括TLB、页表、主存和Cache是如何被访问的及命中情况)(3分)
- (4)如果进程P中的一段程序需要将主存中C、D、I、J、G块循环3次,请计算Cache的命中率,采用LRU替换策略。(小数点后保留一位)(3分)
- (5)在(4)的基础上,循环结束时说明Cache中的块。(以其在主存中的字母表示)(2分)



- 2、今有5级流水线分别完成取出指令(IF)、指令译码(ID)、执行(EX)、访内(MEM)、送结果(WB)五步操作,今假设完成各步操作的时间依次为100ns,60ns,60ns,120ns,60ns。请问:
 - (1)该5级流水线操作的时钟周期应设计为多少?(2分)
 - (2)如下3条相邻指令发生了什么类型的流水冲突(风险)?(2分)
- ADD R0,R1,R2 (R1+R2->R0)
- SUB R3,R0,R4 (R0-R4->R3)
- AND R5,R0,R6 (R0 AND R6->R5)

(3) 如果在硬件上不采取措施, 那么SUB和AND指令分别要推迟几个时钟进入流水? 画出该3条指令的流水时空图。 (4分)

(4) 如果此5段流水线执行120条指令, 流水加速比是多少? (保留1位小数) (2分)

五、设计题(30分)

1、现有一个 $8M \times 32b$ 的主存, 由 $64K \times 16b$ 的DRAM芯片构成, 回答以下问题:

(1) 总共需要多少DRAM芯片? (2分)

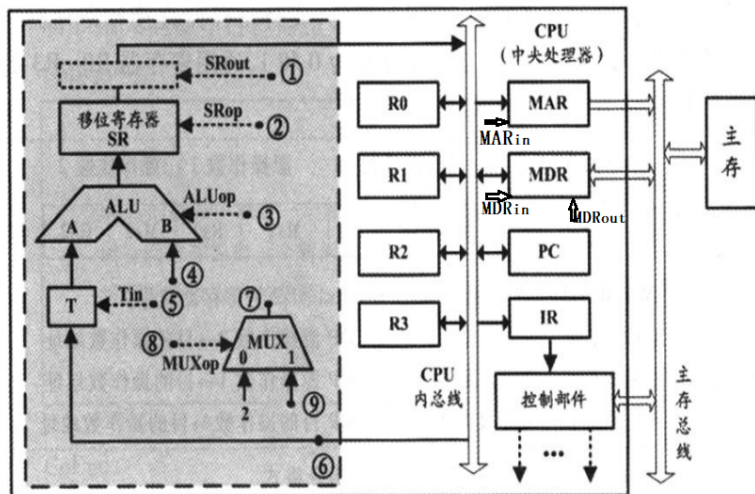
(2) 主存是如何通过 $64K \times 16b$ 的小DRAM芯片进行扩展? (说明字位扩展情况) (2分)

(3) 主存地址线一共需要多少位? (1分)

(4) 按低位交叉的方式进行组织, 给出主存地址格式 (标明字段及位长)。 (2分)

(5) 画出主存结构及其与CPU的连接。(需标明地址总线, 数据总线, 读写R/W控制线、MREQ控制线, 及译码器与片选信号CS的连接情况) (5分)

2、某16位计算机的主存按字节编址, 采用16位定长指令字格式; CPU采用单总线结构, 主要部分如下图所示。图中R0~R3为通用寄存器; T为暂存器; SR为移位寄存器, 可实现直送(mov)、左移一位(left)和右移一位(right)3种操作, 控制信号为SRop, SR的输出由信号SRout控制; ALU可实现直送A(mov)、A加B(add)、A减B(sub)、A与B(and)、A或B(or)、非A(not)、A加1(inc)7种操作, 控制信号为ALUop。支持寄存器直接和寄存器间接两种寻址方式, 寻址方式位分别为0和1, 请回答下列问题:



(1) 图中哪些寄存器是程序员可见? (1分)

(2) 控制信号ALUop和SRop的位数至少各是多少? (1分)

(3) 控制信号SRout所控制部件的名称或作用是什么? (2分)

(4) 端点①~⑨中, 哪些端点须连接到控制部件的输出端? (2分)

(5) 为完善单总线数据通路, 需要在端点①~⑨中相应的端点之间添加必要的连线。写出连线的起点和终点, 以正确表示数据的流动方向。 (1分)

(6) 根据(5)中补充完善的连线及下图所示指令格式及解释, 假设ADD指令操作码为04H, 给出指令ADD R2,R1(R0)的机器代码。 (16进制表示) (2分)

指令操作码	目的操作数	源操作数 1	源操作数 2
OP	Md	Rd	Ms1 Rs1 Ms2 Rs2

其中: Md、Ms1、Ms2 为寻址方式位, Rd、Rs1、Rs2 为寄存器编号。

三地址指令: 源操作数 1 OP 源操作数 2 → 目的操作数地址

二地址指令 (末 3 位均为 0): OP 源操作数 1 → 目的操作数地址

单地址指令 (末 6 位均为 0): OP 目的操作数 → 目的操作数地址

(7) 该指令系统最多可定义多少条指令? (1分)

(8) 假设寄存器R的输入和输出控制信号分别记为Rxin和Rxout (x表示寄存器编号, 如R1in,

R1out)，其值为1表示有效，为0表示无效(R3out=1表示R3中内容送内部总线)；存储器控制信号为MEMop，用于控制存储器的读(read=1)和写(write=0)操作，MDR寄存器如与内存交互，控制信号请加E，如MDRinE，MDRoutE。给出指令ADD R2,R1,(R0)执行阶段的数据流及控制流。
(4分)

(9) 假设控制器采用微程序方式实现，已知控制存储器容量为500字（字长即微指令长度），微指令操作控制字段采用混合法（只考虑①～⑨中的操作控制信号，水平编码还是垂直编码根据题干中的描述），判别条件为译码结束判断P1及微程序结束判断P2(判别条件无需译码)，下址字段采用计数器法。请设计微指令格式，标明各部分字段及位长，操作控制字段要写明具体控制信号及其位长。
(4分)