

# 南京信息工程大学期末考试卷

2023 - 2024 学年 第 2 学期 《计算机组成与系统结构》课程试卷样卷

本试卷共 5 页；考试时间 120 分钟；任课教师：\_\_\_；出卷时间 2024 年 6 月

学院\_\_\_\_\_专业\_\_\_\_\_年级\_\_\_\_\_班  
学号\_\_\_\_\_姓名\_\_\_\_\_得分\_\_\_\_\_

## 一、选择题（20 分）

- 完整的计算机系统应包括\_\_\_\_\_。  
A. 运算器、控制器、存储器  
B. 外部设备和主机  
C. 主机和实用程序  
D. 软硬件系统
- 计算机软件分为两大类，他们是\_\_\_\_\_。  
A. 操作系统与应用软件  
B. 操作系统与系统软件  
C. 操作系统与 CAD 软件  
D. 系统软件与应用软件
- 冯·诺依曼机的基本工作方式是\_\_\_\_\_。  
A. 控制流驱动方式  
B. 多指令多数据流方式  
C. 微程序控制方式  
D. 数据流驱动方式
- 若寄存器内容为 10000000，若它等于-0，则为\_\_\_\_\_。  
A. 原码  
B. 补码  
C. 反码  
D. 移码
- 实现 N 位(不包括符号位)补码一位乘时，乘积为\_\_\_位  
A. N  
B. N+1  
C. 2N  
D. 2N+1
- 加/减法器做减法运算使用的方法是\_\_\_\_\_。  
A. 用减法器实现被减数减去减数  
B. 从被减数中减去减数后求反  
C. 将减法转化为补码的加法运算  
D. 根据减数形式选择一种适当的方法

7. DRAM 的刷新是以\_\_\_\_为单位的。

A. 存储单元

**B. 行**

C. 列

D. 存储字

8. 假定用若干 16Kx8 位的存储芯片组成一个 64Kx8 位的存储器，芯片各单元采用交叉编址方式，则地址 BFFFH 所在的芯片的最小地址为\_\_\_\_\_。

A.0000H

B.0001H

C.0002H

**D.0003H**

9. CPU 不能直接访问的是\_\_\_\_\_。

A.DRAM

B.ROM

**C.磁盘**

D.SRAM

10. 需要刷新的存储器是\_\_\_\_\_。

A. Cache

B.ROM

C.静态存储器

**D.动态存储器**

11. CPU 中不包括\_\_\_\_\_。

A.存储器地址寄存器

B.指令寄存器

**C.地址译码器**

D.程序计数器

12. 下列关于流水 CPU 基本概念的描述中，正确的是\_\_\_\_\_。

A.流水 CPU 是以空间并行性为原理构造的处理器

B.流水 CPU 一定是 RISC 机器

C.流水 CPU 一定是多媒体 CPU

**D.流水 CPU 是一种非常经济而实用的时间并行技术**

13. 堆栈计算机中，有些堆栈零地址的运算类指令在指令格式中不给出操作数的地址，参加的两个操作数来自\_\_\_\_\_。

A.累加器和寄存器

B.累加器和暂存器

**C.堆栈的栈顶和次栈顶单元（如果有答案为 堆栈的栈顶和累加器 AC，也可选）**

D.堆栈的栈顶单元和暂存器

14.假定指令中地址码所给出的是操作数的有效地址，则该指令采用\_\_\_\_\_。

**A.直接寻址**

B.立即寻址

C.寄存器寻址

D.间接寻址

15. 采用基址寻址可以扩大寻址范围, 且\_\_\_\_\_。
- A. 基址寄存器的内容由用户确定, 在程序执行过程中不能改变  
**B. 基址寄存器的内容由操作系统确定, 在程序执行过程中不能改变**  
C. 基址寄存器的内容由用户确定, 在程序执行过程中可以改变  
D. 基址寄存器的内容由操作系统确定, 在程序执行过程中或以改变
16. CPU 响应中断时最先完成的步骤是\_\_\_\_\_。
- A. 开中断  
B. 保存断点  
**C. 关中断**  
D. 转入中断服务程序
17. 中央处理器 (CPU) 是指\_\_\_\_\_。
- A. 运算器  
B. 控制器  
**C. 运算器和控制器**  
D. 运算器、控制器和主存储器
18. 下列不属于 CPU 数据通路结构的是\_\_\_\_\_。
- A. 单总线结构  
B. 多总线结构  
**C. 部件内总线结构**  
D. 专用数据通路结构
19. 微机中读写信号的作用是\_\_\_\_\_。
- A. 决定数据总线上的数据流方向      B. 控制存储器操作类型  
C. 控制存储器中数据的流向      **D. 三者均正确**
20. 在\_\_\_\_的计算机系统中, 外设可以和主存储器单元统一编址, 因此可以不使用显式的 I/O 指令。
- A. 单总线**      B. 双总线      C. 三总线      D. 以上三种总线

## 二、填空题 (10 分, 每空一分)

1. 若十进制数为 137.5, 则其八进制数为 211.4。10001001.1
2. 若寄存器内容为 10000000, 若它等于-0, 则 10000000 为 原码。
3. 在 CPU 中, 跟踪下一条要执行的指令的地址的寄存器是 程序计数器。
4. 用 M264 静态 RAM 芯片(8K×8)构成 4 8 K 字节的存储器需要 6 片, 芯片上的地址引线有 13 根, C P U 要访问该存储器, 应该发出 16 位地址。
5. 指令系统的完整性通常是指 指令的有效性 和 指令的完备性。

一个指令系统应该具备：有效性、完备性、兼容性、规整性。

6. 微指令的三种编码方式分别为：水平表示法、编码表示法及混合表示法。

三、简答题（15 分）

1. （7 分）指令和数据都存于存储器中，CPU 如何区分它们？

**（1）时间不同：通常完成一条指令可分为取指阶段和执行阶段。在取指阶段通过访问存储器可将指令取出；在执行阶段通过访问存储器可将操作数取出。**

**（2）空间不同：虽然指令和数据都是以 0、1 代码形式存在存储器中，但 CPU 可以判断出在取指阶段访问存储器取出的 0、1 代码是指令，送往指令寄存器；在执行阶段访存取出的 0、1 代码是数据，送往数据寄存器。**

**（3）故 CPU 是根据取指阶段和执行阶段的访存性质不同来区分指令和数据的。**

2. （8 分）某机字长 32 位，指令单字长，指令系统中具有二地址指令、一地址指令和零地址指令各若干条，已知每个地址长 12 位，采用扩展操作码方式，问该指令系统中的二地址指令、一地址指令、零地址指令最多能有多少条？

**二地址  $2^8-1$**

**一地址  $(2^8-1)*2^{12}-1=2^{20}-2^{12}-1$**

**零地址  $((2^8-1)*2^{12}-1)*2^{12}=2^{32}-2^{24}-2^{12}$**

四、计算题（15 分）

1.  $x = -0.1011$ ,  $y = 0.0110$ ，用补码一位乘法求  $[x \times y]_{\text{补}}$  （4 分）

### 3.3.2 补码一位乘法

■ 补码一位乘法的运算规则

- ① 符号位参与运算，运算的数均以补码表示。
- ② 被乘数一般取双符号位参加运算，部分积初值为0。
- ③ 乘数可取单符号位，以决定最后一步是否需要校正，即是否要加 $[-x]_{补}$ 。
- ④ 乘数末位增设附加位 $y_{n+1}$ ，且初值为0。
- ⑤ 按表1所示进行操作。
- ⑥ 按照上述算法进行 $n+1$ 步操作，但第 $n+1$ 步不再移位，仅根据 $y_0$ 与 $y_1$ 的比较结果作相应的运算即可。

**补码移位规则：**部分积为正，右移时有效位最高位补0；为负时最高位补1。

表1 补码一位乘法算法

<div>乘数末位</div> <div><math>y_n</math> (高位) <math>y_{n+1}</math> (低位)</div>		操 作
0	0	部分积右移一位
0	1	部分积加 $x_{补}$ ，右移一位
1	0	部分积加 $[-x]_{补}$ ，右移一位
1	1	部分积右移一位

例  $x = -0.1011$ ,  $y = 0.0110$ , 用补码一位乘法求  $[x \times y]_{\text{补}}$ ?

解:  $[x]_{\text{补}} = 11.0101$ ,  $[-x]_{\text{补}} = 00.1011$  (用双符号表示)

$[y]_{\text{补}} = 0.0110$  (用单符号表示)

	部分积	乘数 $y_n y_{n+1}$	说明
	00.0000	0.0110 <u>0</u>	
	+ 00.0000		$y_n y_{n+1} = 00$ , 加0000
	00.0000		
P1 →	00.00000	0.01 <u>10</u>	右移一位得 $P_1$
	+ 00.1011	0.01 <u>1</u>	$y_n y_{n+1} = 10$ , 加 $[-x]_{\text{补}}$
	00.10110		右移一位得 $P_2$
P2 →	00.010110		$y_n y_{n+1} = 11$ ,
P3 →	00.0010110	0. <u>01</u>	右移一位得 $P_3$
	+ 11.0101		$y_n y_{n+1} = 01$ 加 $[x]_{\text{补}}$
	11.011110		
P4 →	11.1011110	<u>0.0</u>	右移一位得 $P_4$
	00.0000		$y_n y_{n+1} = 00$ , 加0
	11.1011110		最后一步不移位

即  $[x \times y]_{\text{补}} = 1.1011110$

## 1. 原码一位乘法的运算规则

■ 设  $x = x_f \cdot x_1 x_2 \dots x_n$ ,  $y = y_f \cdot y_1 y_2 \dots y_n$ , 乘积为  $P$ , 乘积的符号位为  $P_f$ , 则有

$$P_f = x_f \oplus y_f, \quad |P| = |x| \cdot |y|$$

求  $|P|$  的运算规则为:

- (1) 被乘数和乘数均取绝对值参加运算, 符号位单独考虑。
- (2) 被乘数取双符号, 部分积的长度与被乘数的长度相同, 部分积的初值为0。
- (3) 从乘数的最低位的  $y_n$  位开始对乘数进行判断,  
若  $y_n = 1$ , 则部分积加上被乘数  $|x|$ , 然后右移一位;  
若  $y_n = 0$ , 则部分积加上0, 然后右移一位。
- (4) 重复 (3) 判断  $n$  次。

$x = -0.1011$ ,  $y = 0.0110$ , 求:  $[x \times y]_{\text{原}} = ?$

解:  $|x| = 00.1011$  (用双符号表示)  $|y| = 0.0110$  (用单符号表示)

	部分积	乘数 $y_n$	说明
	00.0000	0.0110	
	+ 00.0000		$y_n=0$ , 加0
	00.0000		
$P_1$	→ 00.00000	0.011	右移一位得 $P_1$
	+ 00.1011		$y_n=1$ , 加 $ x $
	00.10110		
$P_2$	→ 00.010110	0.01	右移一位得 $P_2$
	+ 00.1011		$y_n=1$ , 加 $ x $
	01.00010		
$P_3$	→ 00.100010	0.0	右移一位得 $P_3$
	+ 00.0000		$y_n=0$ , 加0
	00.100010		
$P_4$	→ 00.0100010		右移一位得 $P_4$

由于  $P_f = x_f \oplus y_f = 1 \oplus 0 = 1$ ,  $|P| = |x| \cdot |y| = 0.0100010$

所以  $[x \times y]_{\text{原}} = 1.0100010$

2. (4分) CPU 执行一段程序时, Cache 完成存取的次数为 1900, 主存完成存取的次数为 100, 已知 Cache 存取周期为 50ns, 主存存取周期为 250ns. 设主存与 Cache 同时访问。

1) Cache 主存系统的效率是多少;

$$H_{\text{Cache}} = 1900/2000 = 0.95$$

$$e = 1/[H + (1-H) \cdot r] = 1/[0.95 + (1-0.95)250/50] = 83.33\%$$

$r$  表示主存慢于 cache 的倍率,  $r = t_m/t_c$ ;  $e$  表示访问效率。

$$e = t_c / t_a = t_c / [h \times t_c + (1-h) \times t_m] = 1 / [h + (1-h) \times r] = 1 / [r + (1-r) \times h]$$

2) 平均访问时间是多少。

$$T_A = T_{\text{cache}} \cdot H + T_m(1-H) = 50 \cdot 0.95 + 0.05 \cdot 250 = 60\text{ns}$$

3. (7分) 已知  $x = 0.5, y = -0.4375$ , 求  $x + y = ?$  (用 IEEE754 标准单精度格式计算)



已知 $x=0.5$ ,  $y=-0.4375$ , 求 $x+y=?$  (用IEEE754标准单精度格式计算)

解:  $x=0.5=1/2=(0.100...0)_2=(1.00...0)_2 \times 2^{-1}$

$y=-0.4375=(-0.01110...0)_2=(-1.110...0)_2 \times 2^{-2}$

$[x]_{\text{浮}}=0 \mid 01111110,00...0$   $[y]_{\text{浮}}=1 \mid 01111101,110...0$

对阶:  $[\Delta E]_{\text{补}}=0111\ 1110 + 1000\ 0011=0000\ 0001$ ,  $\Delta E=1$  这里是用补码加法进行对阶

故对 $y$ 进行对阶:  $[y]_{\text{浮}}=1\ 0111\ 1110\ 1110...0$ (高位补隐藏位)

尾数相加:  $01.0000...0 + (10.1110...0) = 00.00100...0$  注意, 这里是原码相加, 其实是相减, 因为 $y$ 是负数

(原码加法, 最左边一位为符号位)

原码符号位不能参与运算, 结果符号位同尾数绝对值大的一方 蓝色的0, 1不参与运算

左规:  $+(0.00100...0)_2 \times 2^{-1} = +(1.00...0)_2 \times 2^{-4}$

$[x+y]_{\text{浮}}=0 \mid 0111\ 1011 \mid 00...0$

$x+y=(1.0)_2 \times 2^{-4}=1/16=0.0625$

## 五、综合应用题 (40 分)

1. (12 分) 假设指令字长为 16 位, 操作数的地址码为 6 位, 指令有零地址、一地址、二地址 3 种格式。

1) 设操作码固定, 若零地址指令有  $M$  种, 一地址指令有  $N$  种, 则二地址指令最多有几种?

1) 根据操作数地址码为 6 位, 得到二地址指令中操作码的位数为  $16 - 6 - 6 = 4$ , 这 4 位操作码可有 16 种操作。由于操作码固定, 因此除了零地址指令有  $M$  种, 一地址指令有  $N$  种, 剩下的二地址指令最多有  $16 - M - N$  种。

2) 采用扩展操作码技术, 二地址指令最多有几种?

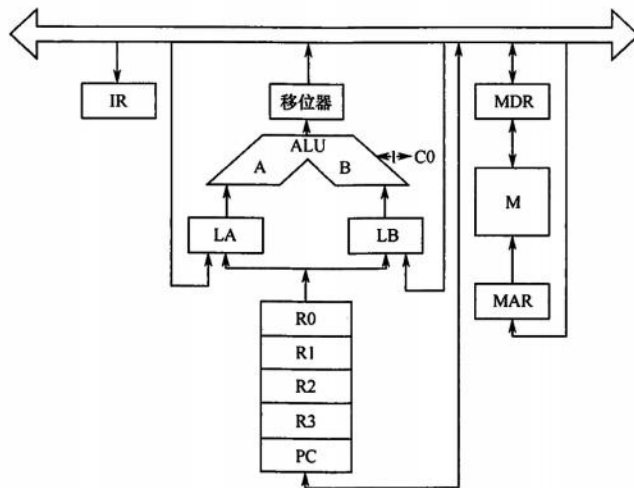
$2^4 - 1$

3) 采用扩展操作码技术, 若二地址指令有  $P$  条, 零地址指令有  $Q$  条, 则一地址指令最多有几种?

单地址指令总数  $[16 - P] \times 64$ , 假设单地址指令有  $X$  条, 则  $[(16 - P) \times 64 - X] \times 64 = Q$ ,  $X = (16 - P) \times 64 - Q / 64$  条

2. (12 分) 某计算机的数据通路结构如下图所示, 写出实现  $\text{ADD R1}, (\text{R2})$  的微操作序列(取指令及其后继指令地址)。





取指阶段:

PC→MAR, PC<sub>out</sub>, MAR<sub>in</sub>

M(MAR)→MDR, MemoryRE, MDR<sub>in</sub>

MDR→IR, MDR<sub>out</sub>, IR<sub>in</sub>

PC→LA, PC<sub>out</sub>, LA<sub>in</sub>

LA+1→移位器, LA<sub>out</sub>, +1, 移位器<sub>in</sub>

移位器→PC, 移位器<sub>out</sub>, PC<sub>in</sub>

计算操作数地址:

R2→MAR, R2<sub>out</sub>, MAR<sub>in</sub>

M(MAR)→MDR, MemoryRE, MDR<sub>in</sub>

MDR→LB, MDR<sub>out</sub>, LB<sub>in</sub>

执行阶段:

R1→LA, R1<sub>out</sub>, LA<sub>in</sub>

LA+LB→移位器, +, 移位器<sub>in</sub>

如果是(R1)+((R2))——>(R1);

移位器→R1, 移位器<sub>out</sub>, R1<sub>in</sub>

如果是(R1)+((R2))——>((R2))

移位器→MDR, 移位器<sub>out</sub>, MDR<sub>in</sub>

MDR——>M(MAR), MDR<sub>out</sub>, MemoryWE

**ADD R1,(R2)【解释为[R1+(R2)→R1] (R2)表示寄存器间接寻址】**，如果只考取执阶段及执行阶段的数据通路，答案如下：

**取执阶段数据通路:**

PC→MAR

M(MAR)→MDR

MDR→IR

PC->LA

LA+1->移位器，移位器->PC

### 执行阶段数据通路：

R1->LA

R2->MAR

M(MAR)->MDR

MDR->LB

LA+LB->移位器

移位器->R1

3. (16 分)用  $4K \times 4$  位的 EPROM 存储器片组成一个  $16K \times 8$  位的半导体只读存储器，试问：

- (1) 数据寄存器多少位？ 8
- (2) 地址寄存器多少位？ 14
- (3) 共需要多少个这样的存储器？ 8
- (4) 画出此存储器的组成框图？

