

《计算机组成及系统结构》期末考试复习大纲

注：没有一道题会与教材一模一样，都会在题型相似基础上微变，另外也不意味着出现的例题都会考，只是进一步明确考试会以什么样的题型出现。

请老师们千万不要将此文档给直接给学生，可以以复习的方式融入到您的课件

第一章 概述

1) 冯诺伊曼计算机的工作原理

这是计算机组成原理课程的出发点，要求学生能深刻理解存储程序和程序控制的内涵，并介绍课程后续章节中哪些是围绕“存储程序”展开，哪些是围绕“程序控制”展开。

例题如：教材（指谭志虎教材，以下同）18页1.3

2) 计算机系统的层次结构

熟悉计算机系统的具体层次结构，分析采用层次结构的意义和不同层次抽象的特点，理解透明性概念。

例题如：教材18页1.4

3) CPU性能公式及CPU性能评价方法

理解不同性能评价指标的内涵和利用其评价CPU性能的局限性。

例题如：教材18页1.5, 1.6

本章以选择、填空、简答、计算题为主。

第二章 数据信息的表示

1) 补码及其性质

原、反、补、移码的互换

例题如：教材55页2.4, 2.5

2) 定点及浮点数表示范围

理解浮点数据表示中阶码和尾数的尾数与符号与浮点数据表示范围的关系，含IEEE754单精度表示法及教材给定各部分位数表示法。

例题如：教材55页2.7, 2.13, 2.14, 2.9, 2.10

3) 校验码的原理与特点

让学生理解采用校验码的意义、掌握奇偶校验、海明校验、CRC校验的编码与校验方法。理解不同校验码的特点及其应用的局限性。

例题如：教材55页2.15, 2.17, 2.18

本章以选择、填空、计算题为主。

第三章 运算器方法与运算器

1) 定点及浮点补码加、减运算及溢出检测（填空或计算）

2) 并行进位加法器的设计（8, 16, 32位并行加法器的设计）

让学生深刻理解并行进位的必要性，掌握基于硬件迭代设计分级并行的进位电路的原理和方法。

例题如：教材93页3.3 (1), 3.4, 3.5, 3.9, 94页实训（1）【不是要考logisim的实验，而是根据这个实验能够按题目要求设计并行加法器】

本章含选择、填空、计算、设计题。

第四章 存储器系统

1) 存储扩展与地址计算

将存储字扩展与芯片的全局地址范围计算有机结合，能完成包括非连续地址空间与特殊地址空间的存储扩展。

例题如：教材149页4.3, 4.6, 4.7, 4.8

2) Cache的工作原理

深刻理解Cache内部结构、不同映射方式下主存地址划分方法、Cache数据载入与查找的过程与查找电路、Cache的相关性能分析与计算（包括局部性分析、Cache命中率等），掌握包含虚拟存储器、Cache和主存的存储体系的工作原理及从虚拟地址到实地址的转换过程。

例题如：教材150页4.11, 4.13, 4.14

3) 页式虚拟存储器的工作原理

掌握页式虚拟存储器的工作原理，熟悉虚拟地址转换成物理地址的原理与过程，能完成与页式虚拟存储器相关的性能分析与计算。

例题如：教材151页4.17, 4.18, 4.19

本章含选择、填空、简答、计算、分析、设计题。

第5章 指令系统

1) 操作数寻址方式

深刻理解不同操作数寻址方式的工作原理与特点，能根据约束条件选择最优化的数据寻址方式。

2) 指令格式设计

能根据约束条件，设计指令格式。

3) 操作码扩展

掌握操作码向地址码扩展的方法。

例题如：教材184-185页6.7,8,9,12,13

本章含选择、填空、计算、分析、设计题。

第六章 中央处理器

1) 指令执行全过程的分析与数据通路分析与设计

正确分析指令执行的流程、分析与设计指令执行的数据通路；

例题如：教材248-249页6.3,6.4

2) 微程序控制的工作原理

请参考教材250-253页：6.22-6.25题型

例题如：教材249-252页6.22,6.23,6.24,6.25

3) 指令级流水线：流水加速比计算、流水线风险及解决方法、流水线时空图

会计算流水加速比，知道流水线风险及其解决方法，能解决流水线与指令相关的较综合问题（如下例）

例：今有4级流水线分别完成取值、指令译码并取数、运算、送结果四步操作，今假设完成各步操作的时间依次为100ns, 100ns, 80ns, 50ns。

请问：

- (1) 流水线的操作周期应设计为多少？
- (2) 若相邻两条指令发生数据相关，而且在硬件上不采取措施，那么第二条指令要推迟多少时间进行。
- (3) 如果在硬件设计上加以改进，至少需推迟多少时间？

解：(1)流水线的操作时钟周期 t按四步操作中最长时间来考虑,所以 $t=100\text{ns}$.

(2)两条指令发生数据相关冲突情况：

ADD R1,R2,R3； R2+R3->R1

SUB R4,R1,R5； R1-R5->R4

两条指令在流水线中执行情况如下表所示：

时钟指令	1	2	3	4	5	6	7
ADD	IF	ID	EX	WB			
SUB		IF	ID	EX	WB		

ADD指令在时钟4时将结果写入寄存器堆(R1),但SUB指令在时钟3时读寄存器堆(R1).本来ADD指令应先写入R1,SUB指令后读R1,结果变成SUB指令先读R1,ADD指令后写R1,因而发生两条指令间数据相关.如果硬件上不采取措施,第2条指令SUB至少应推迟2个操作时钟周期($2 \times 100\text{ns}$).

(3)如果硬件上加以改进(采取旁路技术),可推迟1个操作时钟周期(100ns).

本章含选择、填空、简答、分析、设计题。

期末考试题型：

- 1、选择题 (16道/16分)
- 2、填空题 (6道/6分)
- 3、简答题 (3道/18分)
- 4、计算题 (3道/18分)
- 5、案例分析题 (2道/20分)
- 6、设计题 (2道/22分)