



计算机硬件系统设计

快速加法器设计实验

实验目的

■ 验证串行加法器逻辑实现

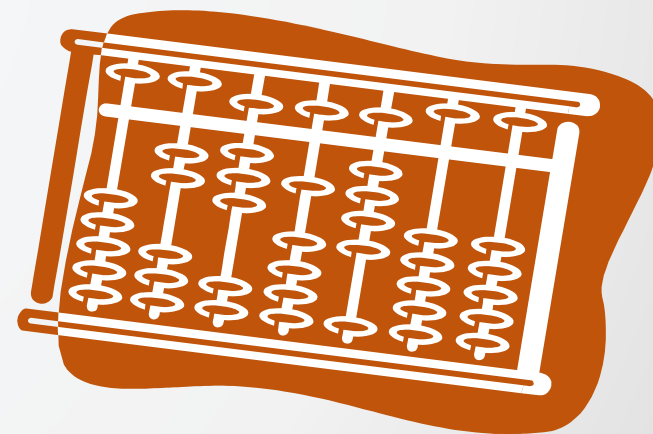
- 能设计8位可控加减法电路

■ 掌握快速加法器逻辑实现

- 能设计4位先行进位电路
- 能设计4位快速加法器

■ 理解组内先行，组间先行的基本原理

- 利用4位快速加法器构建16位
- 能分析相关电路延迟



1、8位可控加减法器设计 alu.circ

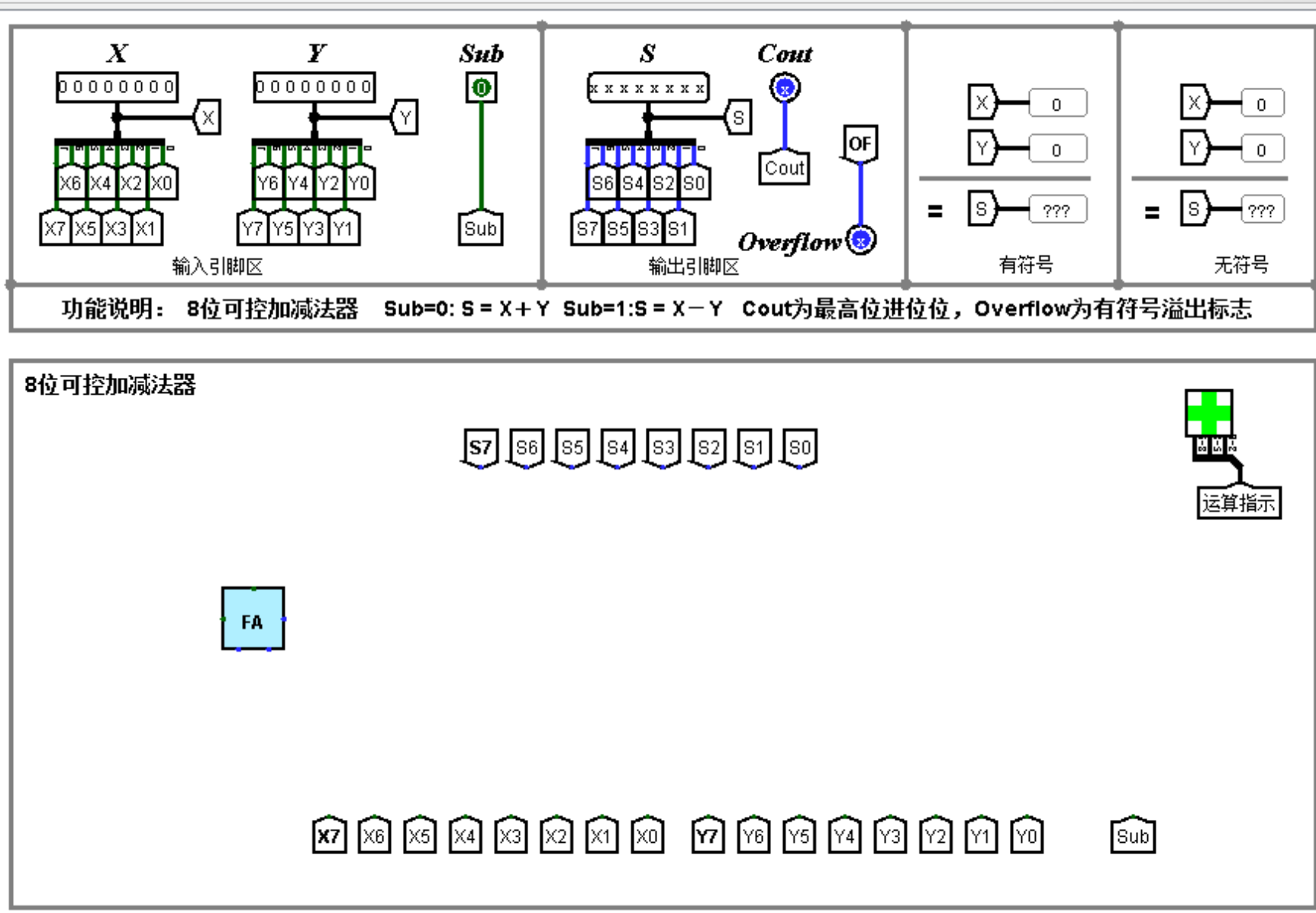
alul

- ☆8位可控加减法器
- ☆4位先行进位74182
- ☆4位快速加法器
- ☆16位快速加法器
- ☆32位快速加法器
- ☆5位阵列乘法器
- ☆6位补码阵列乘法器
- ☆原码一位乘法器
- ☆补码一位乘法器
- ☆算术逻辑运算单元ALU
- ★ALU自动测试
- ★5位乘法与门阵列
- ★一位全加器FA封装1
- ★一位全加器FA封装2
- ★一位全加器FA封装3
- ★8位串行加法器
- ★华莱士树
- ★shape
- ★trace
- ★单项评分
- ★总评分

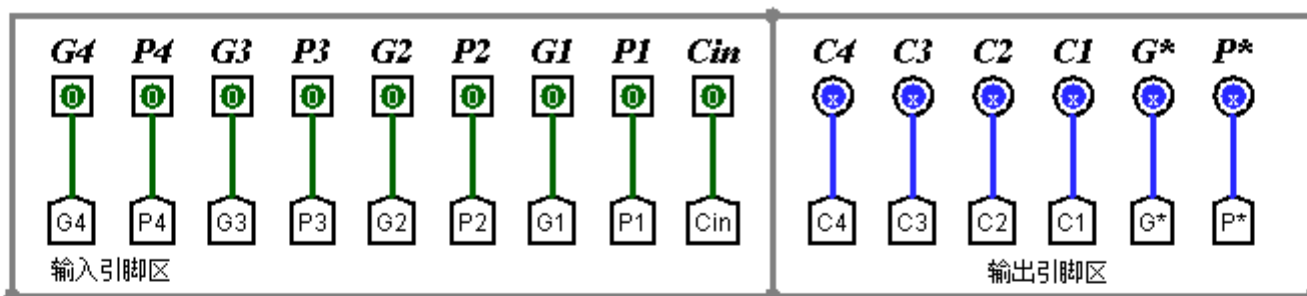
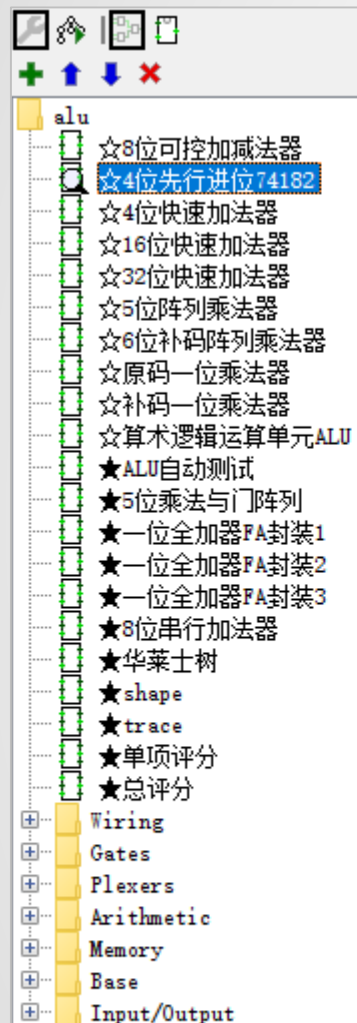
Wiring

Circuit: ☆8位可控加减法器

Circuit Name	☆8位可控加减法器
Shared Label	CAS
Shared Label Facing	North
Shared Label Font	SansSerif Bold 12

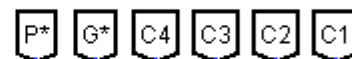


2、4位先行进位电路设计



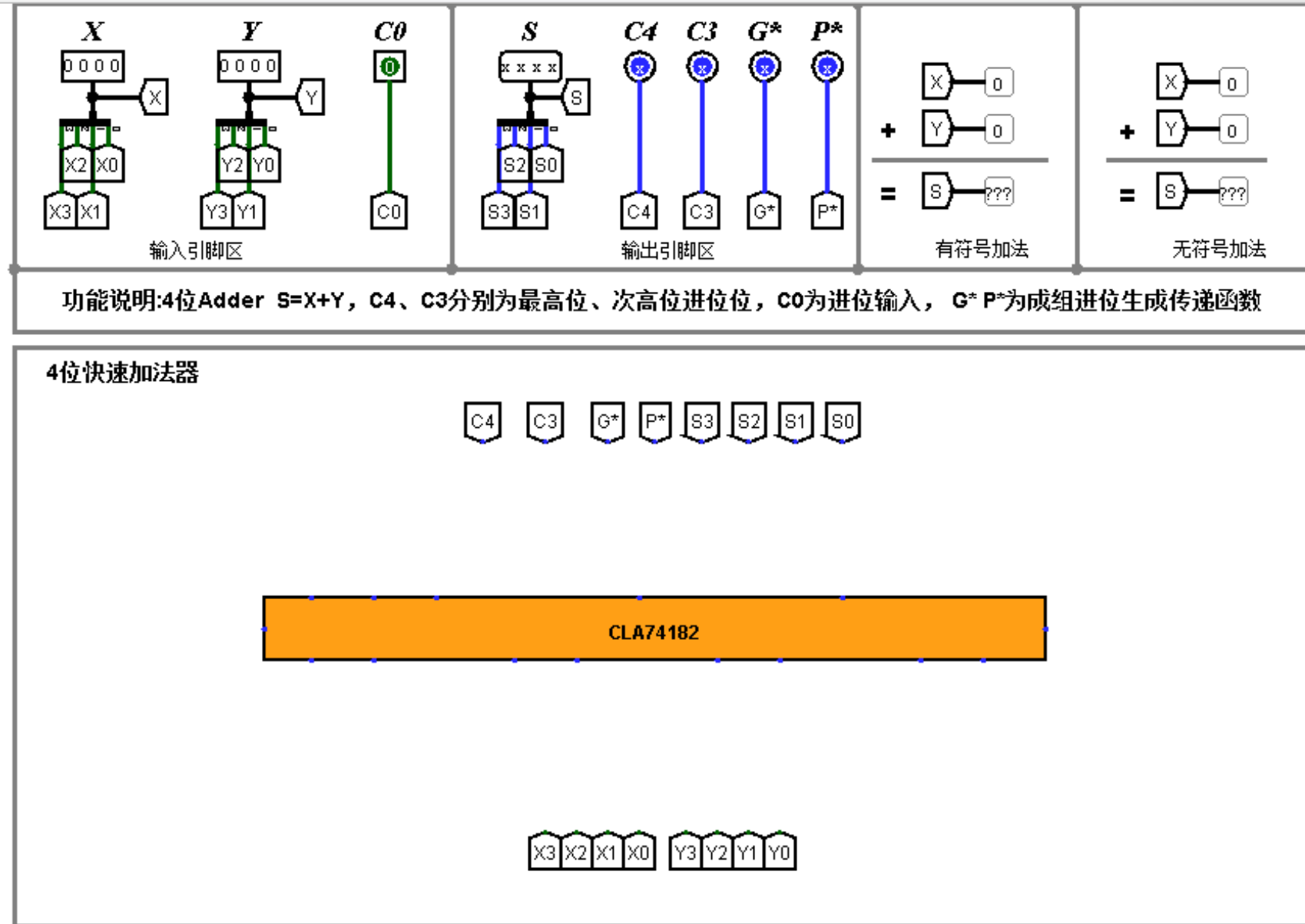
请根据以上引脚以及隧道信号设计完成74LS182先行进位电路，尽可能使用多输入逻辑门，并分析电路延迟

4位先行进位电路



3、4位快速加法器设计

- ☆8位可控加减法器
- ☆4位先行进位74182
- ☆4位快速加法器
- ☆16位快速加法器
- ☆32位快速加法器
- ☆5位阵列乘法器
- ☆6位补码阵列乘法器
- ☆原码一位乘法器
- ☆补码一位乘法器
- ☆算术逻辑运算单元ALU
- ★ALU自动测试
- ★5位乘法与门阵列
- ★一位全加器FA封装1
- ★一位全加器FA封装2
- ★一位全加器FA封装3
- ★8位串行加法器
- ★华莱士树
- ★shape
- ★trace
- ★单项评分
- ★总评分
- Wiring
- Gates
- Plexers
- Arithmetic
- Memory
- Base
- Input/Output



4、16位快速加法器设计

+

↑

↓

×

alu

☆8位可控加减法器

☆4位先行进位74182

☆4位快速加法器

☆16位快速加法器

☆32位快速加法器

☆5位阵列乘法器

☆6位补码阵列乘法器

☆原码一位乘法器

☆补码一位乘法器

☆算术逻辑运算单元ALU

★ALU自动测试

★5位乘法与门阵列

★一位全加器FA封装1

★一位全加器FA封装2

★一位全加器FA封装3

★8位串行加法器

★华莱士树

★shape

★trace

★单项评分

★总评分

Wiring

Gates

Plexers

Arithmetic

Memory

Base

Input/Output

Circuit: ☆16位快速加法器

Circuit Name	☆16位快速加法器
Shared Label	16位快速加法器
Shared Label Facing	North
Shared Label Font	SansSerif Bold 12

X

00000000

00000000

X

Y

00000000

00000000

Y

C0

0

C0

S

xxxxxxx

xxxxxxx

S

C16

C15

G*

P*

S3

S2

S1

S0

C16

C15

G*

P*

X

0

Y

0

S

???

X

0

Y

0

S

???

输入引脚区

输出引脚区

有符号加法

无符号加法

功能说明：16位Adder $S=X+Y$ ，C16、C15分别为最高位、次高位进位位，C0为进位输入，G* P*为成组进位生成传递函数

16位快速加法器

S3 S2 S1 S0

C16 C15 G* P*

CLA74182

4位快速加法器

组内先行，组件先行

X3 X2 X1 X0

Y3 Y2 Y1 Y0

C0

6



计算机硬件系统设计



下节课再见...

