

# 实验四

## 触发器和锁存器的设计

实验报告

日期：2020年10月9日

姓名：朱嘉琦

学号：191220185

班级：数电实验一班

邮箱：1477194584@qq.com



# 实验四报告——触发器和锁存器

191220185 朱嘉琦

## 一、实验目的

复习锁存器和触发器的工作原理，复习时序电路中电路时序图的分析和阅读。学习如何对时序电路进行仿真，了解Verilog语言中阻塞赋值语句和非阻塞赋值语句的区别。

## 二、实验原理

锁存器和触发器是时序电路的基本构件。锁存器和触发器都是由独立的逻辑门电路和反馈电路构成的。锁存器在时钟信号为有效电平的整个时间段，不断检测其所有的输入端，此段时间内的任何满足输出改变条件的输入，都会改变输出；触发器只有在时钟信号变化的瞬间才改变输出值。

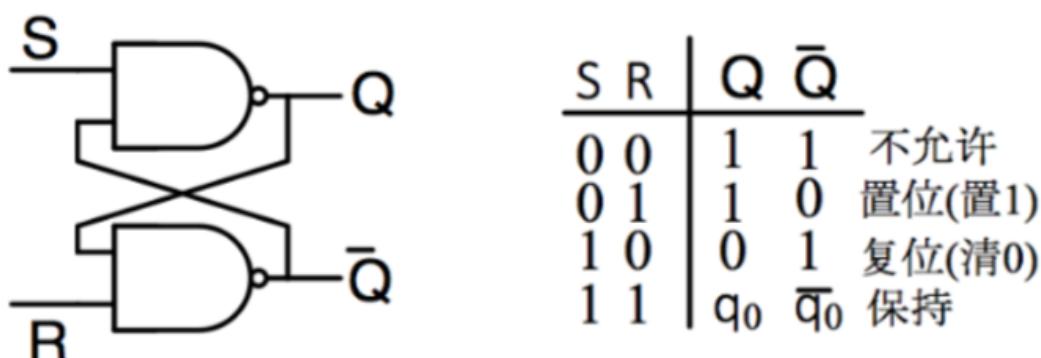


图 4-1: RS 锁存器

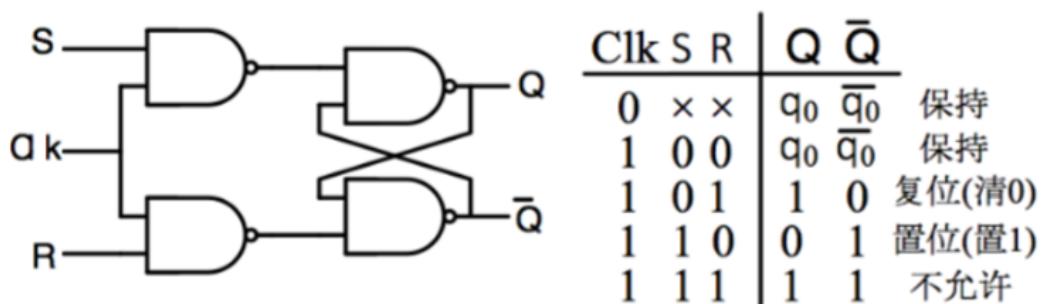


图 4-2: 时钟触发的 RS 锁存器

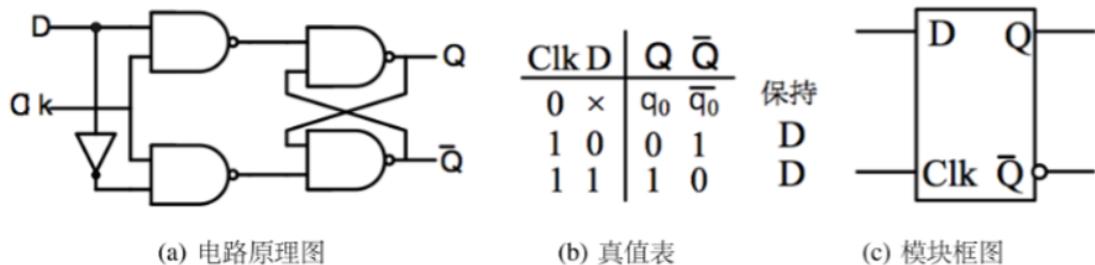


图 4-3: D 锁存器

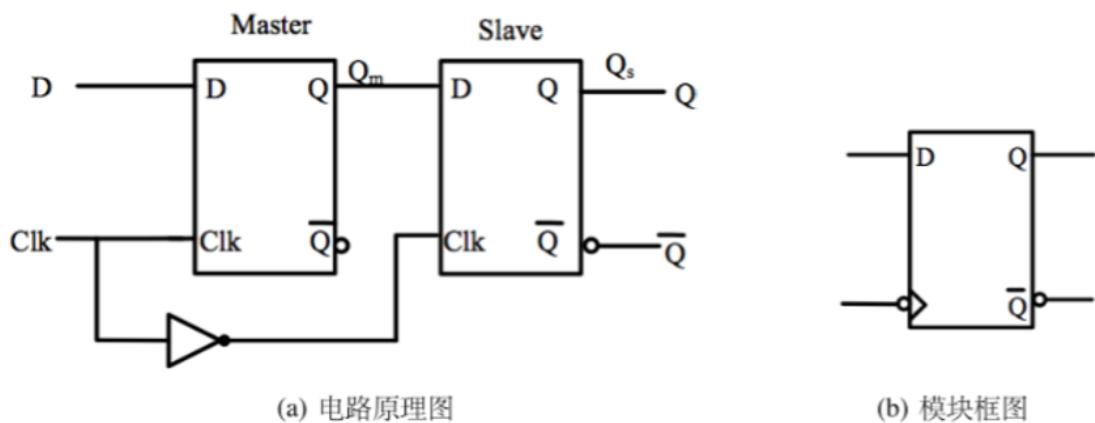


图 4-5: D 触发器

### 三、实验环境/器材

实验环境是Quarters 17.1 Lite，实验器材是DE10 开发板

### 四、程序代码或流程图

#### 1. 阻塞赋值和非阻塞赋值两种实现两个D触发器

```

module exp4_1(c1k,in_d,en,out_lock1,out_lock2);
    input c1k,in_d,en;
    output reg out_lock1, out_lock2;

    always @(posedge c1k) begin
        if(en)
            begin
                out_lock1=in_d;
                out_lock2=out_lock1;
            end
        else
            begin
                out_lock1=out_lock1;
                out_lock2=out_lock2;
            end
    end
endmodule

```

```

module exp4_1_2(c1k,in_d,en,out_lock1,out_lock2);
    input c1k,in_d,en;
    output reg out_lock1, out_lock2;

    always @(posedge c1k) begin
        if(en)
            begin
                out_lock1<=in_d;
                out_lock2<=out_lock1;
            end
        else
            begin
                out_lock1<=out_lock1;
                out_lock2<=out_lock2;
            end
    end
endmodule

```

## 2. 包含一个同步清零和一个异步清零的D触发器的Trigger

同步清零 mysynchro.v

```

module mysynchro(d,c1k,c1r,q);
    input d,c1k,c1r;
    output reg q;

    always @(posedge c1k)
        begin
            if(c1r) q<=0;
            else q<=d;
        end
endmodule

```

异步清零 myasynchro.v

```

module myasynchro(d,clk,clr,q);
    input d,clk,clr;
    output reg q;

    always @(posedge clk or posedge clr)
        begin
            if(clr) q<=0;
            else q<=d;
        end
endmodule

```

#### 工程文件Trigger.v

```

module Trigger(d,clk,clr1,clr2,q1,q2);
    input d,clk,clr1,clr2;
    output q1,q2;
    mysynchro A(d,clk,clr1,q1);
    myasynchro B(d,clk,clr2,q2);

endmodule

```

## 五、实验步骤

- 根据讲义编写两种不同赋值方式下两个D触发器的异同，在阻塞赋值下的两个D触发器的输出同时改变，而非阻塞赋值的两个D触发器在两个时钟周期内分别改变。
- 分析两种D触发器的RTL viewer，了解电路实现原理。
- 利用always语句中posegde语句实现一个同步清零D触发器和一个异步清零D触发器，分别利用仿真实验验证正确性。
- 在工程文件Trigger中实例化两种D触发器，并且为其分配引脚，利用button代替clk，方便验证。
- 将sof文件下载到FPGA平台，利用硬件验证。

## 六、测试代码

### 1. 激励代码

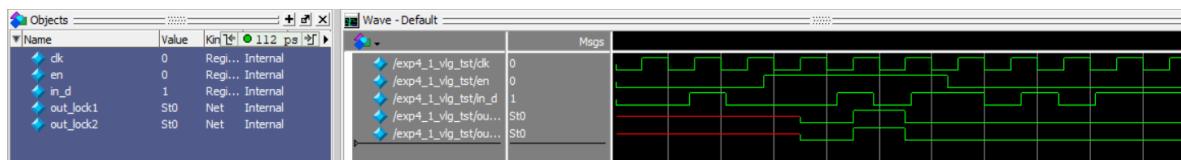
通过在激励代码中枚举所有可能的情况，在仿真波形图中对结果进行验证

阻塞赋值设计的两个触发器的激励代码和仿真实验

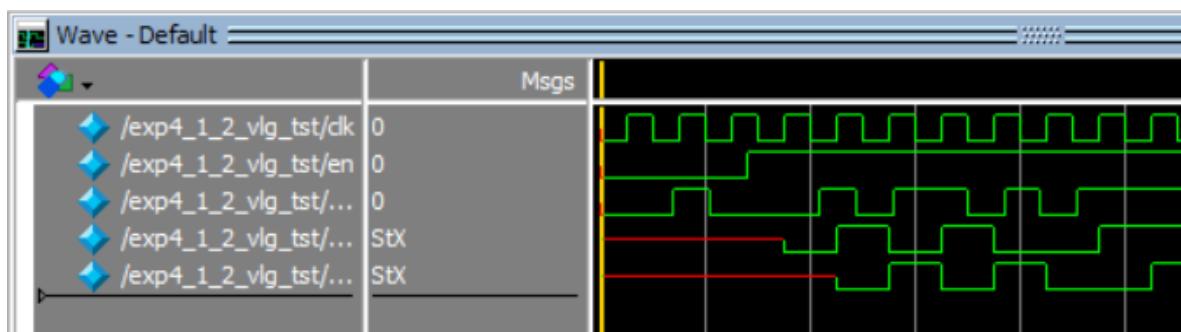
```

49  initial
50  begin
51  // code that executes only once
52  // insert code here --> begin
53  clk=0;    in_d=0;    en=0; #7;
54  in_d=0;    #7;
55  in_d=1;    #7;
56  in_d=0;    #7;
57  en=1; #7;
58  in_d=0;    #7;
59  in_d=1;    #7;
60  in_d=0;    #7;
61  in_d=1;    #7;
62  en=0; #7;
63  in_d=0;    #7;
64  in_d=1;    #7;
65  in_d=0;    #7;
66  in_d=1;    #7;
67  // --> end
68 end
69 always
70 // optional sensitivity list
71
72 // @ (event1 or event2 or .... eventn)
73 begin
74 // code executes for every event on sensitivity list
75 // insert code here --> begin
76 #5 clk = ~clk;
77 //@eachvec;
78 // --> end
79 end
80 endmodule

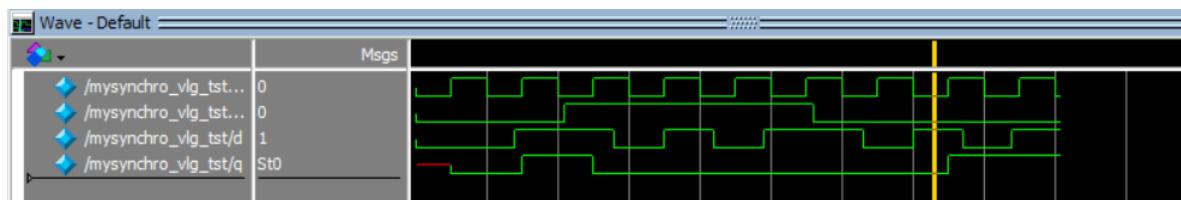
```



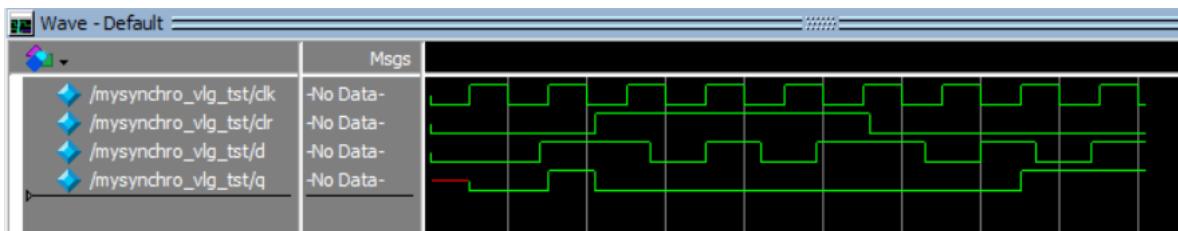
非阻塞赋值设计的仿真实验



同步清零上升沿触发的D触发器的仿真实验



异步清零上升沿触发的D触发器的仿真实验



Trigger的引脚分配

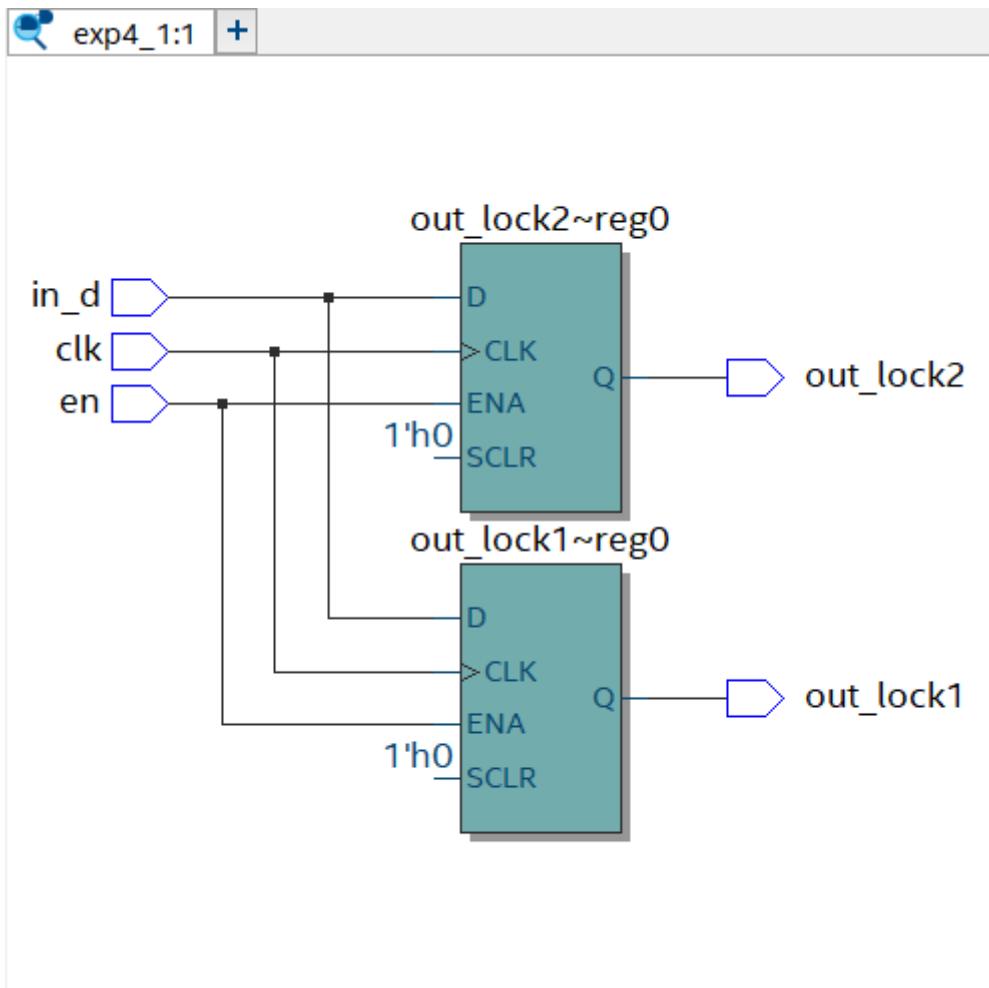
Node Name	Direction	Location
clk	Input	PIN_AJ4
clr1	Input	PIN_Y27
clr2	Input	PIN_AB28
d	Input	PIN_AB30
q1	Output	PIN_AA24
q2	Output	PIN_AB23

## 2. 硬件测试

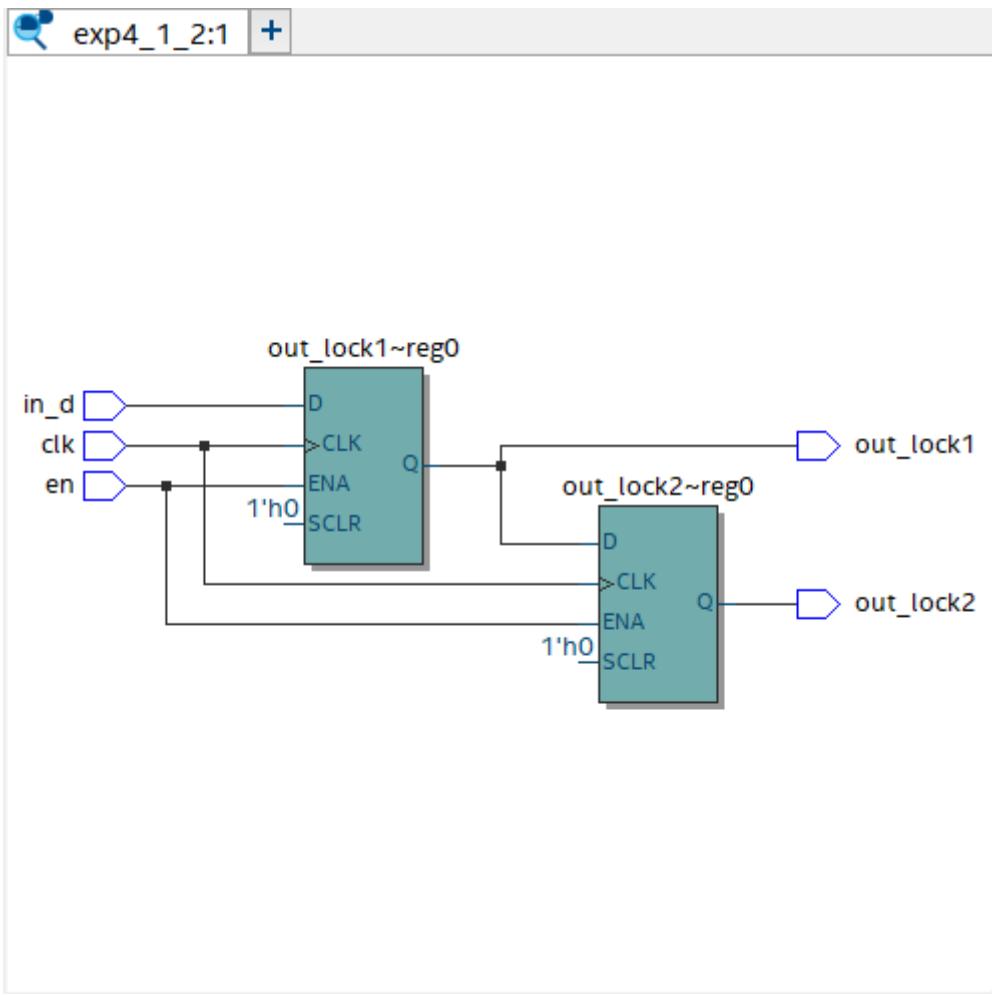
在开发板上验证所有可能的输入，观察输出结果与输出逻辑是否一致来进行验证，结果正确。

# 七、实验结果

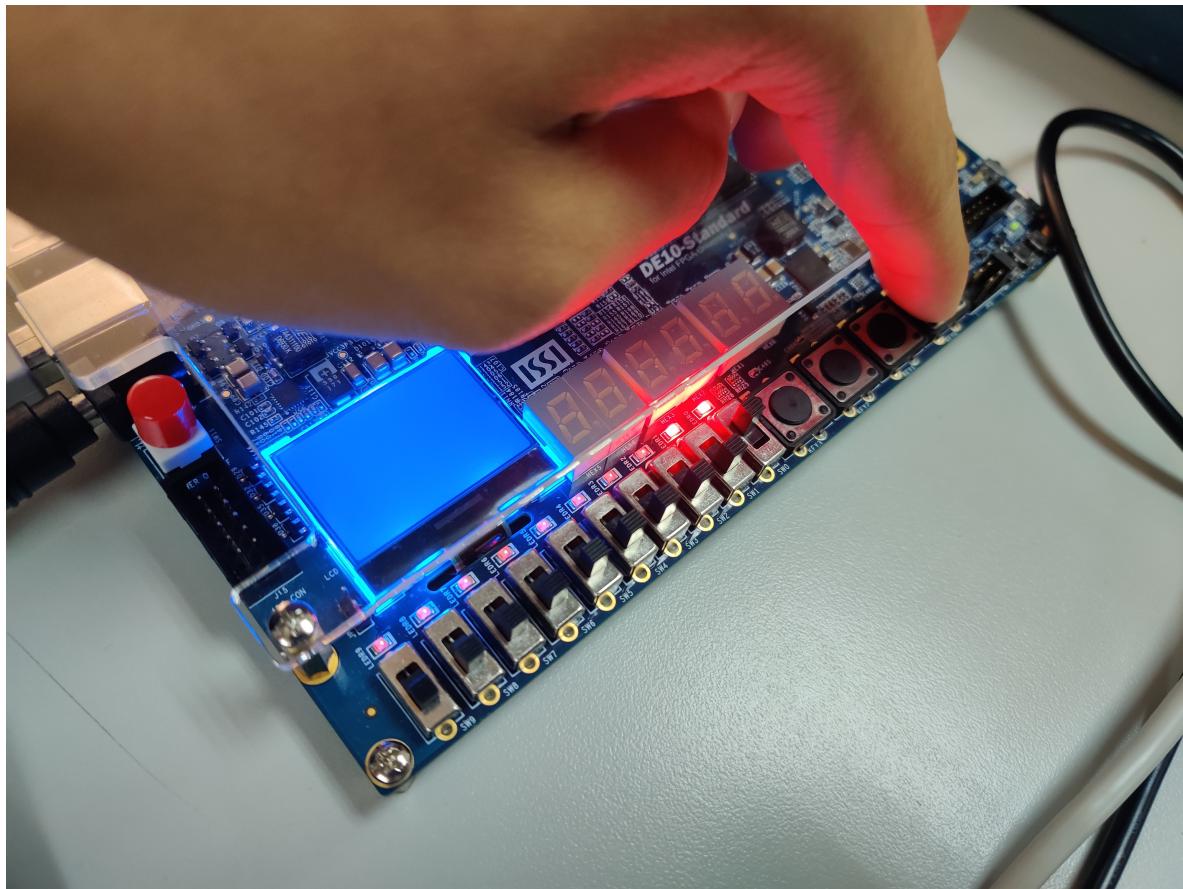
## 1. 阻塞赋值设计的两个触发器的实际电路原理

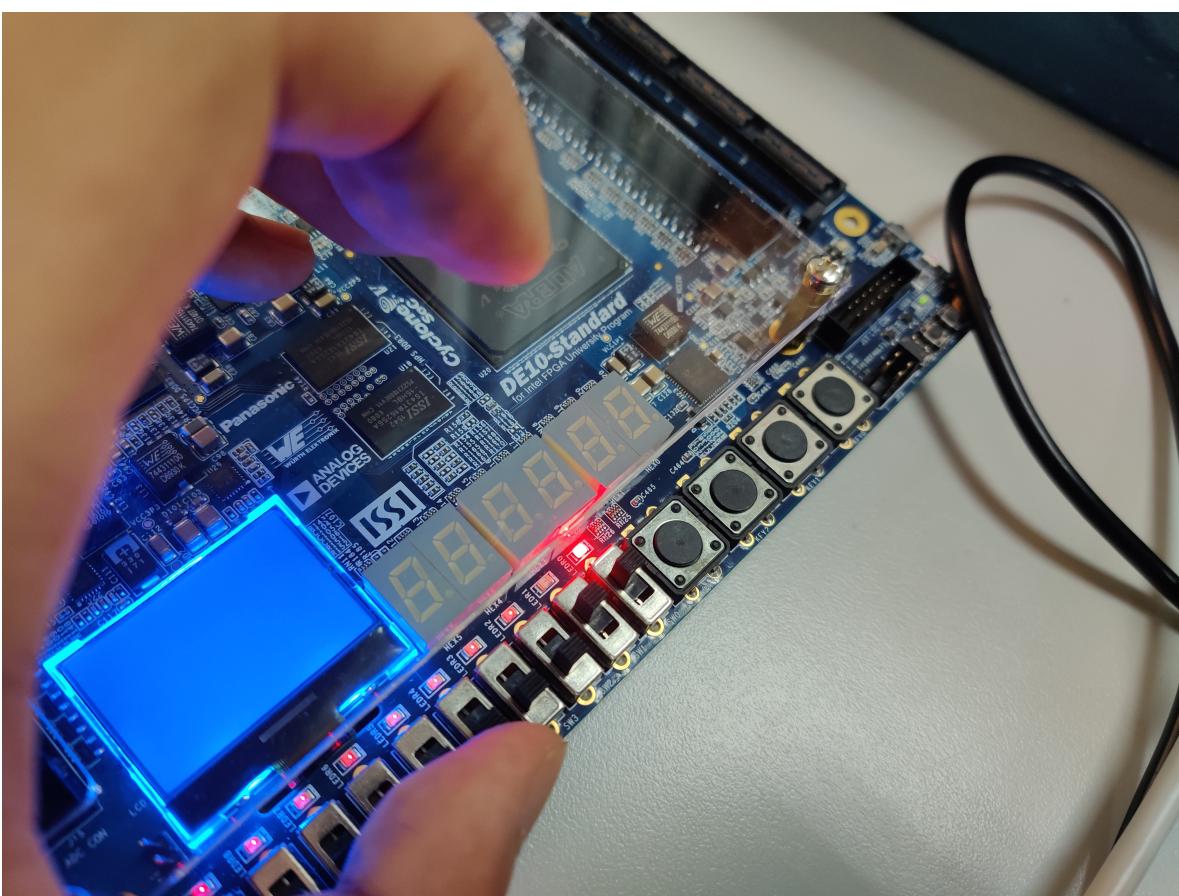
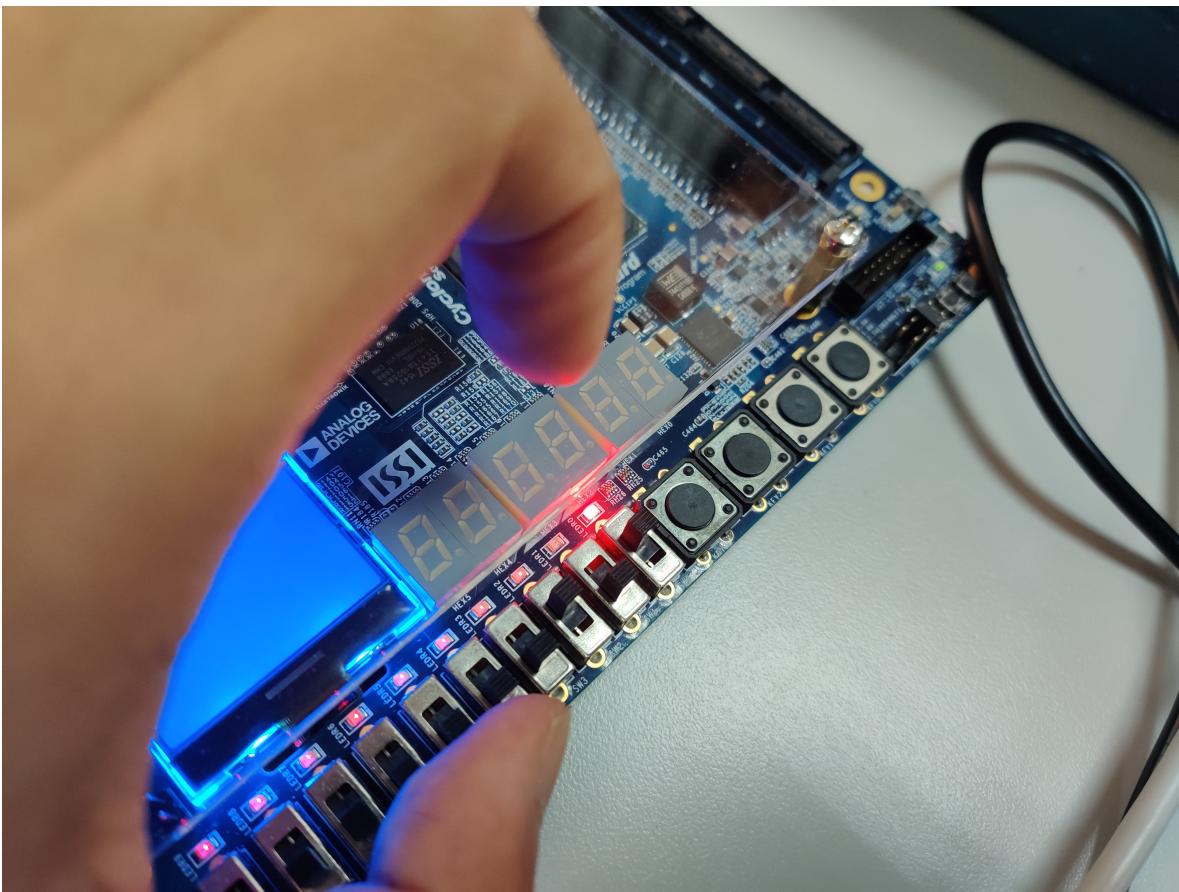


## 2. 非阻塞赋值设计的两个触发器的实际电路原理



### 3. Trigger





## 八、思考

无

## **九、实验中遇到的问题及解决方法**

在做同步异步触发器的时候，第一次在同一个工程文件下创建多个模块，遇到不少问题，比如在做第一个同步触发器的时候就发现没有办法分析与综合，在看了讲义后面的部分后知道了要将模块置为顶层。

在Trigger中调用的时候发现通不过编译，因为我以为在模块中q1和q2是reg型变量，所以在Trigger中也用了reg型变量，但好像在Trigger中由于不使用always语句，所以不需要reg变量（我也不确定，希望老师能解答。），改成wire就能正常运行了。

## **十、实验得到的启示**

对于实例化和模块化有了更深的了解。

了解了分别在哪些情况下要利用阻塞化和非阻塞化赋值的方式。

## **十一、意见和建议**

无