

2.11 本章小结

与、或和非逻辑运算定义了称之为门的逻辑元件的输入/输出关系,利用这些门可以实现数字系统。根据这些运算我们定义了布尔代数,它为数字逻辑电路设计提供了一种处理布尔函数的工具。最小项和最大项的标准形式直接对应函数的真值表,这些标准形式可以被写成积之和与和之积的形式,每种形式对应两级门电路。在优化一个电路时两种成本均需要达到最小,即输入电路的文字的个数和电路中门的输入总数。二至四变量的卡诺图在优化小电路时是一种有效的替代代数处理的方式。这些图能够用来优化积之和式、和之积式以及带有无关项的非完全确定函数。

在最常用的逻辑系列中,并没有直接用基本逻辑元件来实现与、或基本运算。这些系列由与非门和或非门这样的基本门组成,并用来构建电路。我们还介绍了更复杂的基本门——异或门以及它的补,即异或非门,并讨论了它们的数学性质。

介绍了门的传播延迟。传播延迟决定整个数字电路的速度,因此是一个主要的设计约束。

最后,本章还对硬件描述语言做了一般性的介绍,并介绍了 VHDL 和 Verilog 两种语言。用组合电路对这两种语言的结构级和行为级的描述方法进行了讲解。

参考文献

1. BOOLE, G. *An Investigation of the Laws of Thought*. New York: Dover, 1854.
2. DIETMEYER, D. L. *Logic Design of Digital Systems*, 3rd ed. Boston: Allyn & Bacon, 1988.
3. GAJSKI, D. D. *Principles of Digital Design*. Upper Saddle River, NJ: Prentice Hall, 1997.
4. *IEEE Standard Graphic Symbols for Logic Functions* (includes IEEE Std 91a-1991 Supplement and IEEE Std 91-1984). New York: The Institute of Electrical and Electronics Engineers, 1991.
5. KARNAUGH, M. "A Map Method for Synthesis of Combinational Logic Circuits," *Transactions of AIEE, Communication and Electronics*, 72, part I (November 1953), 593-99.
6. MANO, M. M. *Digital Design*, 3rd ed. Upper Saddle River, NJ: Prentice Hall, 2002.
7. WAKERLY, J. F. *Digital Design: Principles and Practices*, 4th ed. Upper Saddle River, NJ: Pearson Prentice Hall, 2004.

习题



(+) 表明更深层次的问题, (*) 表明在原书配套网站上有相应的解答。

*2-1 用真值表证明下列性质的正确性:

- (a) 三变量的德摩根定理: $\overline{XYZ} = \overline{X} + \overline{Y} + \overline{Z}$
- (b) 第二分配律: $X + YZ = (X + Y)(X + Z)$
- (c) $\overline{X}Y + \overline{Y}Z + X\overline{Z} = \overline{X}\overline{Y} + Y\overline{Z} + \overline{X}Z$

*2-2 用代数操作证明以下布尔等式:

- (a) $\overline{X}\overline{Y} + \overline{X}Y + XY = \overline{X} + Y$
- (b) $\overline{A}B + \overline{B}C + AB + \overline{B}C = 1$
- (c) $Y + \overline{X}Z + XY = X + Y + Z$
- (d) $\overline{X}\overline{Y} + \overline{Y}Z + XZ + XY + Y\overline{Z} = \overline{X}\overline{Y} + XZ + Y\overline{Z}$

+2-3 用代数操作证明以下布尔等式:

$$(a) \overline{A}B\overline{C} + \overline{B}C\overline{D} + \overline{B}C + \overline{C}D = B + \overline{C}D$$

$$(b) \overline{W}Y + \overline{W}Y\overline{Z} + \overline{W}XZ + \overline{W}X\overline{Y} = \overline{W}Y + \overline{W}X\overline{Z} + \overline{X}Y\overline{Z} + \overline{X}Y\overline{Z}$$

$$(c) \overline{A}D + \overline{A}B + \overline{C}D + \overline{B}C = (\overline{A} + \overline{B} + \overline{C} + \overline{D})(A + B + C + D)$$

+2-4 已知 $A \cdot B = 0$ 和 $A + B = 1$, 用代数操作证明:

$$(A + C) \cdot (\overline{A} + B) \cdot (B + C) = B \cdot C$$

+2-5 在这一章里已经用到只有两个元素 0 和 1 的特殊布尔代数。我们还可以用相应的二进制字符串去定义超过两个元素的其他布尔代数。这些代数式为我们在第 6 章将要学习的按位逻辑运算奠定数学基础。假设这些字符串都是半字节即 4 位, 在运算中就有 2^4 (即 16) 个元素, 这样 4 位半字节的二进制字符串元素 I 相对应于十进制的元素 I 。以两元素布尔代数按位运算为基础, 按照布尔特性, 试定义以下新的代数。

(a) 对任意两元素 A 和 B 的或运算 (OR), 用 $A + B$ 表示。

(b) 对任意两元素 A 和 B 的与运算 (AND), 用 $A \cdot B$ 表示。

(c) 在代数式中扮演 0 角色的元素。

(d) 在代数式中扮演 1 角色的元素。

(e) 对应任意元素 A 的元素 \overline{A} 。

2-6 化简以下布尔表达式使之含有最少的文字

$$(a) \overline{A}\overline{C} + \overline{A}BC + \overline{B}C$$

$$(b) (\overline{A} + \overline{B} + \overline{C}) \cdot \overline{ABC}$$

$$(c) \overline{A}B\overline{C} + AC$$

$$(d) \overline{A}\overline{B}D + \overline{A}\overline{C}D + BD$$

$$(e) (A + B)(A + C)(\overline{A}B\overline{C})$$

*2-7 化简以下布尔表达式使之含有给定的文字数

$$(a) \text{用三个文字表示: } \overline{X}Y + XYZ + \overline{X}Y$$

$$(b) \text{用两个文字表示: } X + Y(Z + \overline{X} + \overline{Z})$$

$$(c) \text{用一个文字表示: } \overline{W}X(\overline{Z} + \overline{Y}Z) + X(W + \overline{W}YZ)$$

$$(d) \text{用四个文字表示: } (AB + \overline{A}\overline{B})(\overline{C}D + CD) + \overline{A}\overline{C}$$

103

2-8 利用德摩根定理, 表示函数

$$F = \overline{A}B\overline{C} + \overline{A}\overline{C} + AB$$

(a) 只用或及取反操作。

(b) 只用与及取反操作。

(c) 只用与非及取反操作。

*2-9 对下列表达式取反:

$$(a) \overline{A}\overline{B} + \overline{A}B$$

$$(b) (\overline{V}W + X)Y + \overline{Z}$$

$$(c) \overline{W}X(\overline{Y}Z + Y\overline{Z}) + \overline{W}\overline{X}(\overline{Y} + Z)(Y + \overline{Z})$$

$$(d) (A + \overline{B} + C)(\overline{A}\overline{B} + C)(A + \overline{B}\overline{C})$$

*2-10 作出以下函数的真值表, 并用最小项之和最大项之积的形式表示每一个函数:

$$(a) (XY + Z)(Y + XZ)$$

$$(b) (\overline{A} + B)(\overline{B} + C)$$

$$(c) \overline{W}X\overline{Y} + \overline{W}X\overline{Z} + \overline{W}XZ + Y\overline{Z}$$

2-11 对于用以下真值表给出的布尔函数 E 和 F :

| X | Y | Z | E | F |
|-----|-----|-----|-----|-----|
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 |

(a) 分别列出每个函数的最大项和最小项。

(b) 列出 \bar{E} 和 \bar{F} 的最小项。

(c) 列出 $E+F$ 和 $E \cdot F$ 的最小项。

(d) 用最小项之和的形式来表示 E 和 F 。

(e) 用最少的文字简化 E 和 F 。

*2-12 将以下表达式转化为积之和的形式及和之积的形式：

(a) $(AB+C)(B+\bar{C}D)$

(b) $\bar{X}+X(X+\bar{Y})(Y+\bar{Z})$

(c) $(A+B\bar{C}+CD)(\bar{B}+EF)$

104

2-13 画出以下布尔表达式的逻辑图。要求逻辑图应该完全与方程式对应，并假设没有取反的输入。

(a) $\bar{A}\bar{B}\bar{C}+AB+AC$

(b) $X(Y\bar{Z}+\bar{Y}Z)+\bar{W}(\bar{Y}+\bar{X}Z)$

(c) $AC(\bar{B}+D)+\bar{A}C(\bar{B}+\bar{D})+BC(\bar{A}+\bar{D})$

2-14 用三变量卡诺图化简以下布尔函数：

(a) $F(X, Y, Z)=\sum m(2, 3, 4, 7)$

(b) $F(X, Y, Z)=\sum m(0, 4, 5, 6)$

(c) $F(A, B, C)=\sum m(0, 2, 3, 4, 6, 7)$

(d) $F(A, B, C)=\sum m(0, 1, 3, 4, 6, 7)$

*2-15 用卡诺图化简以下布尔表达式：

(a) $\bar{X}\bar{Z}+Y\bar{Z}+XYZ$

(b) $\bar{A}B+\bar{B}C+\bar{A}\bar{B}\bar{C}$

(c) $\bar{A}\bar{B}+\bar{A}\bar{C}+\bar{B}C+\bar{A}\bar{B}\bar{C}$

2-16 用四变量卡诺图化简以下布尔函数：

(a) $F(A, B, C, D)=\sum m(0, 2, 4, 5, 8, 10, 11, 15)$

(b) $F(A, B, C, D)=\sum m(0, 1, 2, 4, 5, 6, 10, 11)$

(c) $F(W, X, Y, Z)=\sum m(0, 2, 4, 7, 8, 10, 12, 13)$

2-17 用卡诺图化简以下布尔函数：

(a) $F(W, X, Y, Z)=\sum m(0, 1, 2, 4, 7, 8, 10, 12)$

(b) $F(A, B, C, D)=\sum m(1, 4, 5, 6, 10, 11, 12, 13, 15)$

*2-18 画出以下表达式的卡诺图，并找出最小项：

(a) $XY+XZ+\bar{X}YZ$

(b) $XZ+\bar{W}X\bar{Y}+WXY+\bar{W}YZ+W\bar{Y}Z$

$$(c) \bar{B}\bar{D} + ABD + \bar{A}BC$$

*2-19 找出以下布尔函数的主蕴涵项，并指出哪些是必需的：

$$(a) F(W, X, Y, Z) = \sum m(0, 2, 5, 7, 8, 10, 12, 13, 14, 15)$$

$$(b) F(A, B, C, D) = \sum m(0, 2, 3, 5, 7, 8, 10, 11, 14, 15)$$

$$(c) F(A, B, C, D) = \sum m(1, 3, 4, 5, 9, 10, 11, 12, 13, 14, 15)$$

2-20 通过找出所有主蕴涵项和质主蕴涵项，并运用选择规则化简以下布尔函数：

$$(a) F(A, B, C, D) = \sum m(1, 5, 6, 7, 11, 12, 13, 15)$$

$$(b) F(W, X, Y, Z) = \sum m(0, 1, 2, 3, 4, 5, 10, 11, 13, 15)$$

$$(c) F(W, X, Y, Z) = \sum m(0, 1, 2, 5, 7, 8, 10, 12, 14, 15)$$

105

2-21 以和之积的形式化简以下布尔函数：

$$(a) F(W, X, Y, Z) = \sum m(0, 1, 2, 8, 10, 12, 14, 15)$$

$$(b) F(A, B, C, D) = \sum m(0, 2, 6, 7, 8, 9, 10, 12, 14, 15)$$

*2-22 用积之和的形式以及和之积的形式化简以下表达式：

$$(a) A\bar{C} + \bar{B}D + \bar{A}CD + ABCD$$

$$(b) (\bar{A} + \bar{B} + \bar{D})(A + \bar{B} + \bar{C})(\bar{A} + B + \bar{D})(B + \bar{C} + \bar{D})$$

$$(c) (\bar{A} + \bar{B} + D)(\bar{A} + \bar{D})(A + B + \bar{D})(A + \bar{B} + C + D)$$

2-23 用积之和的形式以及和之积的形式化简以下函数：

$$(a) F(A, B, C, D) = \sum m(2, 3, 5, 7, 8, 10, 12, 13)$$

$$(b) F(W, X, Y, Z) = \prod m(5, 12, 13, 14)$$

2-24 结合无关最小项 d 来化简以下布尔函数 F ：

$$(a) F(A, B, C) = \sum m(2, 4, 7), d(A, B, C) = \sum m(0, 1, 5, 6)$$

$$(b) F(A, B, C, D) = \sum m(2, 5, 6, 13, 15), d(A, B, C, D) = \sum m(0, 4, 8, 10, 11)$$

$$(c) F(W, X, Y, Z) = \sum m(1, 2, 4, 10, 13), d(W, X, Y, Z) = \sum m(5, 7, 11, 14)$$

*2-25 结合无关最小项 d 来化简以下布尔函数 F 。找出所有主蕴涵项和质主蕴涵项，并运用选择规则。

$$(a) F(A, B, C) = \sum m(3, 5, 6), d(A, B, C) = \sum m(0, 7)$$

$$(b) F(W, X, Y, Z) = \sum m(0, 2, 4, 5, 8, 14, 15), d(W, X, Y, Z) = \sum m(7, 10, 13)$$

$$(c) F(A, B, C, D) = \sum m(4, 6, 7, 8, 12, 15), d(A, B, C, D) = \sum m(2, 3, 5, 10, 11, 14)$$

2-26 以积之和的形式与和之积的形式，并结合无关最小项 d 来化简以下布尔函数 F ：

$$(a) F(W, X, Y, Z) = \sum m(5, 6, 11, 12), d(W, X, Y, Z) = \sum m(0, 1, 2, 9, 10, 14, 15)$$

$$(b) F(A, B, C, D) = \prod m(3, 4, 6, 11, 12, 14), d(A, B, C, D) = \sum m(0, 1, 2, 7, 8, 9, 10)$$

*2-27 证明异或的对偶式是它的非。

2-28 用异或门和与门实现下面的布尔函数，要求门的输入数最小。

$$F(A, B, C, D) = ABC\bar{D} + \bar{A}D + \bar{A}D$$

*2-29 图 2-39 中或非门的传播延迟为 $t_{pd} = 0.073 \text{ ns}$ ，反相器的传播延迟为 $t_{pd} = 0.048 \text{ ns}$ 。问该电路最长路径的传播延迟是多少？

106

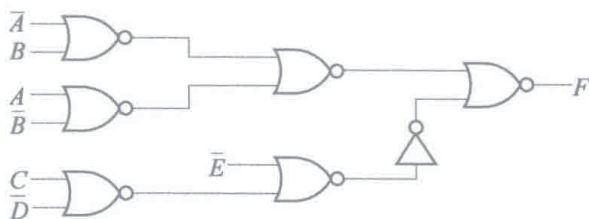


图 2-39 习题 2-29 的电路

2-30 将图 2-40 所示的波形加载到一个反相器。试画出该反相器的输出波形，假定

- (a) 没有延迟。
- (b) 传输延迟为 0.06 ns。
- (c) 惯性延迟为 0.06 ns，拒绝时间为 0.04 ns。

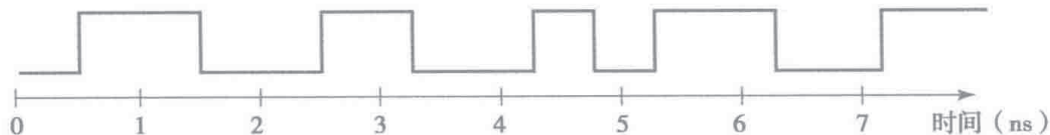


图 2-40 习题 2-30 的波形

2-31 假定 t_{pd} 是 t_{PHL} 和 t_{PLH} 的平均值，算出图 2-41 中从每个输入到输出的时间延迟。

- (a) 算出每条路径的 t_{PHL} 和 t_{PLH} ，假定每个门的 $t_{PHL}=0.20$ ns， $t_{PLH}=0.36$ ns。由这些值算出每条路径的 t_{pd} 。
- (b) 假定每个门的 $t_{pd}=0.28$ ns，算出每条路径的 t_{pd} 。
- (c) 比较 (a)、(b) 的结果，并讨论它们的不同之处。

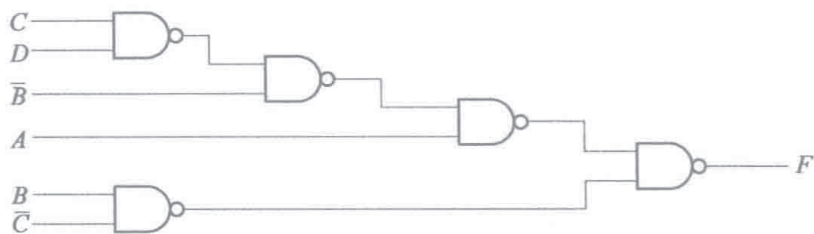


图 2-41 习题 2-31 的电路

2-32 惯性延迟的拒绝时间要求小于或等于传播延迟。根据图 2-25 中讨论的实例，为什么这个条件对确定输出时延是必需的？

+2-33 对于一个给定的门， $t_{PHL}=0.05$ ns， $t_{PLH}=0.10$ ns。假定从这些信息为典型的门延迟行为建立惯性延迟模型。

- (a) 假设输出为一个正脉冲 (L H L)，那么传播延迟与拒绝时间是多少？
- (b) 假定输出为一个负脉冲 (H L H)，讨论 (a) 中参数的合理性。

以下习题中涉及的所有硬件语言描述文件均在配套网站上提供，它们使用 ASCII 码形式，可以编辑和用来模拟。当习题或习题中的某一部分需要模拟时，要使用 VHDL 或 Verilog 编译/模拟器。但是对于很多不需要使用编译或模拟器的习题，仍然要写出描述。

*2-34 画出对应图 2-42 的 VHDL 结构描述的逻辑电路图。注意电路不提供反变量输入。

```
-- Combinational Circuit 1: Structural VHDL Description
library ieee, lcdf_vhdl;
use ieee.std_logic_1164.all, lcdf_vhdl.func_prims.all;
entity comb_ckt_1 is
    port(x1, x2, x3, x4 : in std_logic;
         f : out std_logic);
end comb_ckt_1;

architecture structural_1 of comb_ckt_1 is
    component NOT1
        port(in1: in std_logic;
```

图 2-42 习题 2-34 的 VHDL

```

        out1: out std_logic);
end component;
component AND2
    port(in1, in2 : in std_logic;
          out1: out std_logic);
end component;
component OR3
    port(in1, in2, in3 : in std_logic;
          out1: out std_logic);
end component;
signal n1, n2, n3, n4, n5, n6 : std_logic;
begin
    g0: NOT1 port map (in1 => x1, out1 => n1);
    g1: NOT1 port map (in1 => n3, out1 => n4);
    g2: AND2 port map (in1 => x2, in2 => n1,
                      out1 => n2);
    g3: AND2 port map (in1 => x2, in2 => x3,
                      out1 => n3);
    g4: AND2 port map (in1 => x3, in2 => x4,
                      out1 => n5);
    g5: AND2 port map (in1 => x1, in2 => n4,
                      out1 => n6);
    g6: OR3 port map (in1 => n2, in2 => n5,
                     in3 => n6, out1 => f);
end structural_1;

```

图 2-42 (续)

108

- 2-35 用图 2-28 作为框架，写出图 2-43 电路的 VHDL 结构化描述。用向量 $X(2:0)$ 取代 X 、 Y 和 Z 。查阅库 `lcdf_vhdl` 中的包 `func_prims` 以了解各种门器件的信息。编译 `func_prims` 和编写的 VHDL 程序，对输入的所有 8 种可能的组合进行仿真以验证描述的正确性。

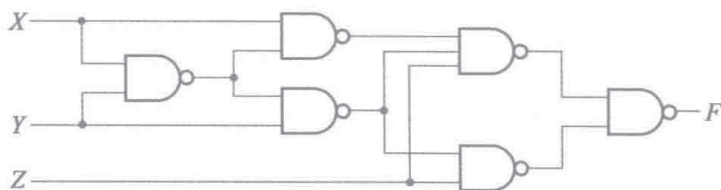


图 2-43 习题 2-35、习题 2-38、习题 2-41 和习题 2-43 的电路

- 2-36 用图 2-28 作为框架，写出图 2-44 所示电路的 VHDL 结构化描述。查阅库 `lcdf_vhdl` 中的包 `func_prims` 以了解各种门器件的信息。编译 `func_prims` 和编写的 VHDL 程序，对所有 16 种可能的输入组合进行仿真以验证描述的正确性。

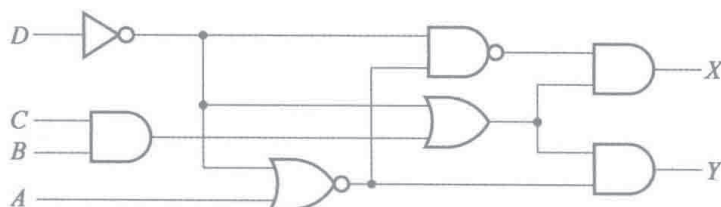


图 2-44 习题 2-36 和习题 2-40 的电路

- 2-37 画出图 2-45 中 VHDL 数据流描述的最小二级实现的逻辑电路图。可以使用反变量输入。
 *2-38 根据输出 F 的布尔方程，写出图 2-43 电路的 VHDL 数据流描述。
 *2-39 画出对应图 2-46 的 Verilog 结构化描述的逻辑电路图。注意电路不提供反变量输入。

109

```
-- Combinational Circuit 2: Dataflow VHDL Description
library ieee;
use ieee.std_logic_1164.all;
entity comb_ckt_2 is
    port(a, b, c, d, a_n, b_n, c_n, d_n: in std_logic;
         f, g : out std_logic);
    -- a_n, b_n, . . . are complements of a, b, . . . , respectively.

end comb_ckt_2;
architecture dataflow_1 of comb_ckt_2 is
begin
    f <= b and (a or (a_n and c)) or (b_n and c and d_n);
    g <= b and (c or (a_n and c_n) or (c_n and d_n));
end dataflow_1;
```

图 2-45 习题 2-37 的 VHDL

```
// Combinational Circuit 1: Structural Verilog Description
module comb_ckt_1(x1, x2, x3, x4, f);
    input x1, x2, x3, x4;
    output f;

    wire n1, n2, n3, n4, n5, n6;
    not
        go(n1, x1),
        g1(n4, n3);
    and
        g2(n2, x2, n1),
        g3(n3, x2, x3),
        g4(n5, x3, x4),);
        g5(n6, x1, n4),);
    or
        g6(f, n2, n5, n6),
endmodule
```

图 2-46 习题 2-39 和习题 2-41 的 Verilog

- 2-40 用图 2-33 作为框架，写出图 2-44 所示电路的 Verilog 结构化描述。编译和模拟编写的 Verilog 模型，对所有 16 种可能的输入组合进行仿真以验证描述的正确性。
- 2-41 用图 2-46 作为框架，写出图 2-43 电路的 Verilog 结构化描述。用 **input** [2:0]x 代替 X、Y 和 Z。编译和模拟所编写的 Verilog 模型，对所有 8 种可能的输入组合进行仿真以验证描述的正确性。
- 2-42 画出图 2-47 中 Verilog 数据流描述的最小二级实现的逻辑电路图。可以使用反变量输入。

```
// Combinational Circuit 2: Dataflow Verilog Description
module comb_ckt_1 (a, b, c, d, a_n, b_n, c_n, d_n, f, g);
    // a_n, b_n, . . . are complements of a, b, . . . , respectively.
    input a, b, c, d, a_n, b_n, c_n, d_n;
    output f, g;

    assign f = b & (a | (a_n & c)) | (b_n & c & d_n);
    assign g = b & (c | (a_n & c_n) | (c_n & d_n));
endmodule
```

图 2-47 习题 2-42 的 Verilog

110

111

- *2-43 根据图 2-34 所示模型中输出 F 的布尔方程，写出图 2-43 电路的 Verilog 数据流描述。