

器或者一个反相器和一个 $(n-1)-1$ 多路复用器来实现任何 n 输入的布尔函数的方法。

本章还介绍了执行算术运算常用的组合电路。详细介绍了二进制加法器的实现, 以及使用二进制补码的无符号二进制数的减法, 和有符号二进制数的表示及其加、减法。为无符号二进制数设计的加法-减法器, 可以直接应用于二进制补码表示的有符号数的加法和减法运算。

参考文献

1. *High-Speed CMOS Logic Data Book*. Dallas: Texas Instruments, 1989.
2. *IEEE Standard VHDL Language Reference Manual* (ANSI/IEEE Std 1076-1993; revision of IEEE Std 1076-1987). New York: The Institute of Electrical and Electronics Engineers, 1994.
3. *IEEE Standard Description Language Based on the Verilog Hardware Description Language* (IEEE Std 1364-1995). New York: The Institute of Electrical and Electronics Engineers, 1995.
4. MANO, M. M. *Digital Design*, 3rd ed. Englewood Cliffs, NJ: Prentice Hall, 2002.
5. THOMAS, D. and P. Moorby. *The Verilog Hardware Description Language*, 5th ed. New York: Springer, 2002.
6. WAKERLY, J. F. *Digital Design: Principles and Practices*, 4th ed. Upper Saddle River, NJ: Pearson Prentice Hall, 2006.
7. YALAMANCHILI, S. *VHDL Starter's Guide*, 2nd ed. Upper Saddle River, NJ: Pearson Prentice Hall, 2005.

181
183

习题



(+) 表明更深层次的问题, (*) 表明在原书配套网站上有相应的解答。

- 3-1 如果函数输入端值为 1 的个数超过值为 0 的个数, 则这个函数的输出值为 1。其他情况输出值为 0。请设计这样一个三输入函数。
- *3-2 设计一个函数来检测用 BCD 码表示的十进制数的一个错误。换句话说, 也就是写出一个等式, 当输入为 BCD 码的 6 个无效代码中的一个时, 其值为 1, 其他情况下则为 0。
- 3-3 设计一个格雷码至 BCD 码的转换器, 当输入为无效的组合时输出码为 1111。假设格雷码序列对应十进制数字 0~9 是 0000, 0001, 0011, 0010, 0110, 0111, 0101, 0100, 1100 和 1101, 其他所有的输入组合均被认为是无效的。



- 3-4 三子棋游戏 (tic-tac-toe) 是一个有名的简单游戏, 玩这个游戏需要两个人在一个 3×3 的方格中进行。游戏者交替轮流, 每个游戏者选择一个方格并在方格中做上记号 (一个游戏者使用 X , 另一个游戏者使用 O)。如果有某一方先将一行或一列或一对角线连接起来, 则获得游戏的胜利。设计一个逻辑电路来预测游戏胜利者的产生。当游戏胜利者产生时, 电路的输出 W 为 1。没有出现时, 电路的输出 W 为 0。对于 9 个方格中的任一个, 有两种信号, X_i 和 O_i , 这就存在两种电路, 一种是关于 X , 另一种是关于 O 。提示: 对 $W(X_1, X_2, \dots, X_9)$ 列出一个紧凑的真值表。

(a) 对于下面方格所表示的信号设计 X 的电路:

$$X_1 X_2 X_3$$

$$X_4 X_5 X_6$$

$$X_7 X_8 X_9$$

(b) 使用布尔代数尽可能地将关于 X 电路的输出 W 最小化。



- 3-5 如果游戏在一个 4×4 的方格中进行, 重做习题 3-4。假设数字像在习题 3-4 中一样, 从左

到右,从上到下按升序排序。

184

- RW 3-6** 一个低电压的照明系统采用二进制逻辑控制器控制一盏特殊灯的照明,这盏灯用于T型走廊的交叉口。在T型走廊的三个端点各有一个控制灯的开关,这些开关的开关状态决定它们的二进制输出是0还是1,三个开关分别用 X_1 、 X_2 和 X_3 表示。这盏灯由一个带缓冲驱动的可控硅控制,可控硅控制电灯电源电路的导通。当缓冲器的输入 Z 为1的时候,灯是开着的,当 Z 为0的时候,灯是熄灭的。你需要得到这样一个函数 $Z=F(X_1, X_2, X_3)$,如果任意一个开关变化了, Z 的值就会改变,从而控制电灯的开和关。

- RW +3-7** 一个简单十字路口的交通灯控制器采用二进制码计数器在输出 A 、 B 、 C 、 D 端按顺序产生如下二进制码的组合:0000,0001,0011,0010,0110,0111,0101,0100,1100,1101,1111,1110,1010,1011,1001,1000。在1000之后,又重新从0000开始循环。在下一个组合出现之前,每种组合出现的时间为5秒。这些逻辑组合对应于输出的灯RNS(红——北/南)、YNS(黄——北/南)、GNS(绿——北/南)、REW(红——东/西)、YEW(黄——东/西)、GEW(绿——东/西)。灯是由每个对应的输出值来控制,值为1则灯开启,值为0则灯熄灭。对于一个给定的方向,假设绿灯亮30秒,黄灯亮5秒,红灯亮45秒(红灯间隔重叠5秒。)将这80秒的时间按16种组合的循环划分为16个间隔时间,并按预期的驾驶员行为决定每个间隔时刻该亮什么颜色的灯。假设,对于组合0000对应的间隔,GNS=1,REW=1,其他的输出为0。使用与门、或门和反相器来设计这种6输出的逻辑电路。

- 3-8 设计一个组合电路,输入一个3位的数字,输出一个6位的二进制数字,且输出数字的值等于输入数字值的平方。
- +3-9 设计一个组合电路,输入一个4位的数字,输出一个3位的二进制数字,且输出数字的值近似等于输入数字值的平方根。例如,如果平方根的值等于3.5或者更大的值,则四舍五入记为4。如果平方根的值小于3.5大于等于2.5,则记为3。
- 3-10 设计一个电路,输入端 A 、 B 、 C 、 D 为4位的BCD码,在输出端 W 、 X 、 Y 、 Z 则得到一个值等于输入值+3的二进制码。例如,9(1001)+3(0011)=12(1100)。不考虑无效的BCD码输出。

- RW 3-11** 一个交通测量系统可控制从高速公路匝道上进入高速公路的车流,它的一部分控制系统的要求如下:有三个平行的测量车道,每个都有独立的交通灯,红灯停绿灯行。其中的一个车道称为合乘车辆道,它的绿灯优先级比其他两个车道要高,而其他两个行车道(左车道和右车道)的绿灯则循环起作用。设计能决定哪个灯将会变为绿灯(而不是红灯)的控制器。具体要求描述如下:

输入

- PS 合乘车辆车道传感器(有车——1;无车——0)
 LS 左行车道传感器(有车——1;无车——0)
 RS 右行车道传感器(有车——1;无车——0)
 RR 循环信号(选择左边——1;选择右边——0)

输出

- PL 合乘车辆车道灯(绿——1;红——0)
 LL 左行车道灯(绿——1;红——0)
 RL 右行车道灯(绿——1;红——0)

应用

1. 如果在合乘车辆车道上有一辆汽车,则PL为1。
2. 如果在合乘车辆车道上和右行车道上没有汽车,在左行车道上有一辆汽车,则LL为1。

185

3. 如果在合乘车辆车道上和左行车道上没有汽车, 在右行车道上有一辆汽车, 则 RL 为 1。
4. 如果在合乘车辆车道上没有汽车, 在左行车道和右行车道都有汽车, 且 RR 为 1 时, 则 LL 为 1。
5. 如果在汽车行车道上没有汽车, 在左行车道和右行车道都有汽车, 且 RR 为 0 时, 则 RL 为 1。
6. 如果上述的 PL、LL 或 RL 均不为 1, 则其值为 0。

(a) 写出控制器的真值表。

(b) 采用多级电路方式, 使用与门、或门和反相器实现该电路, 要求电路的门输入成本最小。



3-12 完成 BCD 码转换成 7 段码的译码器的设计, 设计步骤如下:

- (a) 对于 BCD 码至 7 段码译码器的 7 个输出端, 每个输出端绘制一张如表 3-9 所示的图。
- (b) 化简这 7 个输出函数得到积之和的形式, 确定将要实现的译码器所需门输入的数量。
- (c) 证明这 7 个输出函数式是最简的, 并与 (b) 得到的门输入的数量相比较, 解释两者的不同之处。

3-13 设计一个电路实现如下所示的布尔等式:

$$F = A(\overline{C}\overline{E} + DE) + \overline{A}D$$

$$G = B(\overline{C}\overline{E} + DE) + \overline{B}C$$

电路基于等式中的因子分解, 采用分层设计思想, 得到简化的原理图。要求用两个与门、一个或门、一个反相器组成一个简单的分层部件, 整个电路用 3 个分层部件构成。画出这个分层部件的逻辑图和整个电路的逻辑图, 在整个电路的逻辑图中分层部件用一个符号来代替。

3-14 一个分层部件与反相器连接实现如下等式:

$$H = \overline{X}Y + XZ$$

$$G = \overline{A}\overline{B}C + \overline{A}BD + \overline{A}\overline{B}\overline{C} + AB\overline{D}$$

整个电路可以通过使用香农展开定理得到,

$$F = \overline{X} \cdot F_0(X) + X \cdot F_1(X)$$

其中 $F_0(X)$ 表示当 $X=0$ 时 F 的表达式, $F_1(X)$ 表示当 $X=1$ 时 F 的表达式。设函数 H 中 $Y = F_0$ 且 $Z = F_1$, 函数 F 即可按香农展开定理展开。 F_0 和 F_1 同样可继续按香农展开定理展开, 每个函数中使用一个变量, 特别是这个变量的取反与不取反形式在函数中同时出现, 重复这个过程直到所有的 F_i 都是单变量或者常量为止。对于 G , 令 $X=A$ 可以得到 G_0 和 G_1 , 然后对于 G_0 和 G_1 , 则可令 $X=B$ 。请以 H 作为一个分层部件, 画出 G 的顶层框图。

+3-15 设计一个八输入与非门。对于下面的每一种情况, 要求在多层设计中使用最少数量的门电路:

- (a) 使用二输入与非门和非门来设计八输入与非门。
- (b) 使用二输入与非门和二输入或非门, 如果需要还可以使用非门来设计八输入与非门。
- (c) 比较 (a) 方案和 (b) 方案的门数量。

3-16 对如图 3-54 所示的电路用与非门进行工艺映射。可以选用的器件如下: 反相器 ($n=1$), 2 与非门, 3 与非门, 4 与非门, 它们与 3.2 节开头定义的一样。

3-17 重复习题 3-16 的要求, 使用如下的或非门单元: 反相器 ($n=1$), 2 或非门, 3 或非门, 4 或非门, 这些和 4 个与非门单元一样在 3.2 节开头也定义了。

3-18 (a) 重复习题 3-16 的要求, 写出例 3-18 中 BCD 码至 7 段码译码器中的 a 段和 c 段的布尔等式, 尽可能共享公共项。

- (b) 仅使用反相器 ($n=1$) 和 2 与非门单元类型重复 (a)。

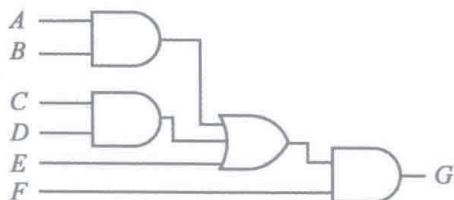


图 3-54 习题 3-16 和习题 3-17 的电路

3-19 (a) 用习题 3-17 中的或非门单元, 重做习题 3-18, 尽可能共享公共项。

(b) 仅使用反相器 ($n=1$) 和 2 与非门单元类型重复 (a)。

3-20 使用人工的方法, 验证图 3-55 中电路的表达式是否为异或非函数。

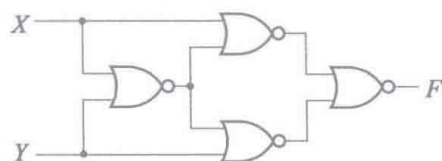


图 3-55 习题 3-20 的电路

RW 3-21 如图 3-56 所示的是 74HC138 MSI CMOS 电路的逻辑原理图。写出每个输出端的布尔函数, 详细地描述电路的功能。

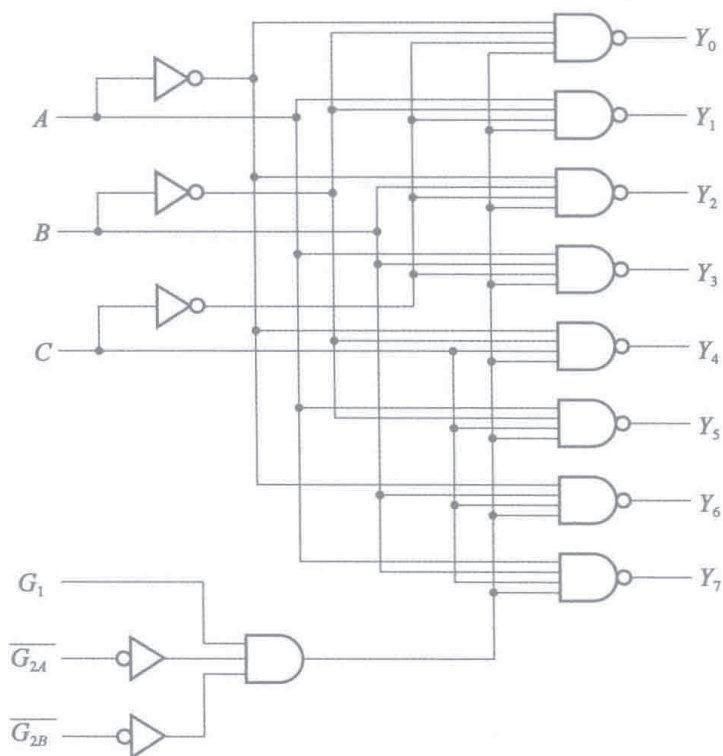


图 3-56 习题 3-21 和习题 3-22 的电路

RW 3-22 对习题 3-21, 使用逻辑模拟得到电路的输出波形或者部分真值表。

3-23 (a) 使用逻辑模拟验证例 3-18 描述的电路正确实现了 BCD 码至 7 段码的转换。

(b) 设计这个转换器, 假定未使用的输入组合 (最小项 10-15) 是无关项而不是 0。对设计进行模拟, 并与 (a) 的模拟结果相比较。

*3-24 (a) 使用如图 3-7b 所示的地线和电源符号, 画出一个能实现常数向量函数 $F = (F_7, F_6, F_5, F_4, F_3, F_2, F_1, F_0) = (1, 0, 0, 1, 0, 1, 1, 0)$ 的图。

(b) 使用输入 1、0、 A 、 \bar{A} , 画出一个能实现基本向量函数 $G = (G_7, G_6, G_5, G_4, G_3, G_2, G_1, G_0) = (A, \bar{A}, 0, 1, \bar{A}, A, 1, 1)$ 的图。

3-25 (a) 使用如图 3-7b 所示的地线和电源符号, 以及图 3-7c 和图 3-7d 所示的传输线和反相器, 画出一个能实现基本向量函数 $F = (F_7, F_6, F_5, F_4, F_3, F_2, F_1, F_0) = (A, \bar{A}, 1, \bar{A}, A, 0, 1, \bar{A})$ 的图。

(b) 使用地线、电源符号和向量 F 的组成部分, 画出一个能实现基本向量函数 $G = (G_7, G_6, G_5, G_4, G_3, G_2, G_1, G_0) = (\bar{F}_0, \bar{F}_1, \bar{F}_3, \bar{F}_2, 1, 0, 0, 1)$ 的图。

3-26 (a) 画出一个能实现向量 $G = (G_5, G_4, G_3, G_2, G_1, G_0) = (F_{13}, F_8, F_5, F_3, F_2, F_1)$ 的图。

(b) 画出一个能实现基本向量函数 $H = (H_7, H_6, H_5, H_4, H_3, H_2, H_1, H_0) = (F_3, F_2, F_1, F_0, G_3, G_2, G_1, G_0)$ 的图。

- 3-27** 一个家庭安全系统使用一个主控开关来控制警报、照明、视频监视、电话报警系统，当6个传感器中的一个或多个检测到入侵事件就向当地警察局电话报警。另外，还有单独的开关控制警报、照明和电话报警系统的开启和关闭。输入、输出和使能逻辑的功能描述如下：

输入

S_i : $i=0, 1, 2, 3, 4, 5$: 六组传感器信号 (0=检测到入侵者, 1=没有检测到入侵者)

M : 主开关 (0=安全系统开启, 1=安全系统关闭)

A : 警报开关 (0=警报解除, 1=警报开启)

L : 照明开关 (0=照明关闭, 1=照明开启)

P : 报警开关 (0=报警系统关闭, 1=报警系统开启)

输出

A : 警报 (0=警报开启, 1=警报解除)

L : 照明 (0=照明开启, 1=照明关闭)

V : 视频监视 (0=视频监视关闭, 1=视频监视开启)

C : 报警 (0=报警系统关闭, 1=报警系统开启)

应用

如果一个或多个传感器检测到入侵者，并且安全系统为开启，则输出取决于其他开关的输出状态。否则，所有的输出都无效。

使用与门、或门和反相器构造这样一个门输入开销最少的报警电路。

189

- 3-28 使用2个3-8译码器和16个二输入与门构造一个4-16译码器。
- 3-29 使用如图3-16所示的5个带使能的2-4译码器来构造一个带使能的4-16译码器。
- *3-30 使用1个3-8译码器、一个2-4译码器和32个二输入与门来构造一个5-32译码器。
- 3-31 设计一个特殊的4-6译码器。输入码的范围从000至101。对于一个给定的输入码，对应的输出 D_i 为1，其他输出为0，其中 i 的值等于输入码的等效十进制数值。使用1个2-4译码器、1个1-2译码器和6个二输入与门设计这个特殊的译码器，使所有译码器的输出至少使用一次。

- 3-32** 一个电子游戏使用7段数码管（发光二极管）阵列来显示骰子的随机结果。设计一个译码器来点亮适当的二极管，分别用于骰子的6个面。需要显示的图形如图3-57所示。

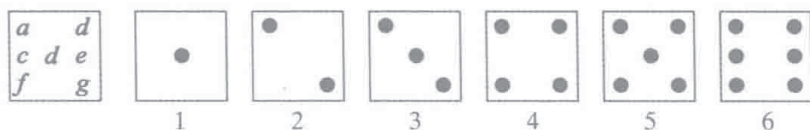


图 3-57 习题 3-32 的骰子图案

- (a) 使用1个3-8译码器和几个或门把输入 X_2 、 X_1 和 X_0 的3位组合1~6。映射到对应的输出 $a \sim g$ ，输入组合000和111是无关项。
- (b) 注意表示骰子的6个面只需要点阵图案集合的一部分即可表示。例如，点阵图案 $A=\{d\}$ 和点阵图案 $B=\{a, g\}$ 可以被用来表示输入值1、2、3，其中点阵图案 $\{A\}$ 表示1，点阵图案 $\{B\}$ 表示2，点阵图案 $\{A, B\}$ 表示3。定义4个点组合 A 、 B 、 C 、 D ，即可组成所有6个输出图案。设计一个最小化的译码器，输入端为 X_2 、 X_1 、 X_0 ，输出端为 A 、 B 、 C 、 D 。并与(a)部分使用3-8译码器和或门的门输入成本进行比较。

- 3-33 只使用或非门和非门，画出有使能端的3-8译码器的详细逻辑图。

- 3-34** 为了提高上坡跑步和步行的功能，跑步机可以进行坡度等级设定，设定范围在0.0%~15.0%，递增量为0.1%。（百分比形式的等级就是用百分比表示坡度。例如，坡度0.10就是等级10%。）这个跑步机有一个10厘米高、20厘米宽的液晶显示点阵屏，可显示坡度随时间变

190

化的曲线。我们这里只关心纵坐标数据的显示。

为了用液晶点阵屏的垂直位置上的圆点来表示当前的等级, 需要将 151 种的等级值 (0.0~15.0) 转换为点阵屏上的 10 个不同的点位置: $P_0 \sim P_9$ 。输入值区间到输出点的对应关系如下: $[(0.0, 1.4), 0]$, $[(1.5, 2.9), 1]$, $[(3.0, 4.4), 2]$, $[(4.5, 5.9), 3]$, $[(6.0, 7.4), 4]$, $[(7.5, 8.9), 5]$, $[(9.0, 10.4), 6]$, $[(10.5, 11.9), 7]$, $[(12.0, 13.4), 8]$, $[(13.5, 15.0), 9]$ 。等级值用一对数值来表示, 一个是用 4 位二进制码表示的值, 范围是 0~15; 另一个是用 4 位 BCD 码表示的值, 范围是 0~9。例如, 10.6 表示形式就是 (10, 6) [1010, 0110]。设计一个 8 输入 10 输出的特殊译码器来实现这个转换。提示: 使用两个子电路, 一个是 4-16 译码器, 二进制码作为其输入, $D_0 \sim D_{15}$ 作为输出。另一个电路判断 BCD 输入值是大于还是等于 5 (0101), GE_5 作为其输出值。另外还需要一个电路将 $D_0 \sim D_{15}$ 和 GE_5 结合构成 $P_0 \sim P_9$ 。例如:

$$P_4 = D_6 + D_7 \cdot \overline{GE_5}$$

$$P_5 = D_7 \cdot GE_5 + D_8$$

 *3-35 设计一个四输入优先级编码器, 其输入和输出如表 3-6 所示。但是真值表中输入 D_0 的优先级最高, D_3 的优先级最低。

 3-36 写出十-二进制优先级编码器的真值表: 输入端从 I_1 到 I_9 , 输出端从 A_3 到 A_0 以及 V 。输入 I_9 的优先级最高。

3-37 (a) 使用 1 个 3-8 译码器和 1 个 8×2 与或门设计一个 8-1 多路复用器。

(b) 使用 2 个 4-1 多路复用器和 1 个 2-1 多路复用器重做 (a)。

3-38 使用 1 个 4-16 译码器和 1 个 16×2 与或门, 设计一个 16-1 多路复用器。

3-39 使用 1 个 3-8 译码器和 2 个 8×2 与或门, 设计一个双 8-1 多路复用器。

3-40 使用 1 个 3-8 译码器、1 个 1-2 译码器、1 个 12×3 与或门来构造 1 个 12-1 多路复用器。选择码 0000 至 1011 必须直接用于译码器的输入端, 并且不带任何附加逻辑。

3-41 使用 4 个单独的 8-1 多路复用器和 2 个四重的 2-1 多路复用器来构造 1 个四重 10-1 多路复用器。这些多路复用器必须相互连接, 这样选择码 0000 至 1001 就可以直接用于多路复用器的选择输入端, 而且无需任何附加逻辑。

*3-42 使用 2 个 8-1 多路复用器来构造 1 个 15-1 多路复用器。两个多路复用器应该相互连接, 这样用于产生选择码 0000 至 1110 上的附加逻辑就最少。

3-43 重新整理图 3-16 所示电路的紧凑真值表, 证明这个电路可以作为多路分配器。

3-44 一个组合电路的功能由如下所示的 3 个布尔函数表示:

$$F_1 = \overline{X + Z} + XYZ$$

$$F_2 = \overline{X + Z} + \overline{X}YZ$$

$$F_3 = X\overline{Y}Z + \overline{X} + \overline{Z}$$

使用 1 个译码器和或门来设计这个电路。

 3-45 用逻辑电路控制汽车的尾灯。在每一个尾灯中都有一个独立的灯泡。

输入:

LT 左转弯开关——使得左边的灯闪烁

RT 右转弯开关——使得右边的灯闪烁

EM 紧急情况开关——使得两边的灯都闪烁

BR 紧急刹车开关——使得两边的灯都亮

BL 频率为 1 Hz 的闪烁信号

输出:

LR 控制左边灯亮

RR 控制右边灯亮

191

(a) 写出关于 LR 和 RR 的等式。假设 BR 比 EM 优先, LT 和 RT 比 BR 优先。

(b) 使用 1 个 4-16 译码器和或门实现函数 LR (BL, BR, EM, LT) 和函数 RR (BL, BR, EM, RT)。

3-46 使用 1 个 8-1 多路复用器和 1 个输入端变量为 D 的反相器来实现下面的布尔函数:

$$F(A, B, C, D) = \sum m(1, 3, 4, 11, 12, 13, 14, 15)$$

*3-47 使用 1 个 4-1 多路复用器和其他的门来实现布尔函数:

$$F(A, B, C, D) = \sum m(1, 3, 4, 11, 12, 13, 14, 15)$$

将输入 A 和 B 作为选择端, 4 条输入线的信号作为变量 C 和 D 的函数。通过将 AB 分别设为 00、01、10、11, 并将函数表达式 F 看作 C 和 D 的函数, 这样可确定输入变量的值。这些函数需要增加其他的门来实现。

3-48 使用 2 个带使能的 3-8 译码器、1 个反相器和最大扇入为 4 的或门来完成习题 3-47。

3-49 设计一个组合电路以实现两个 2 位数 A_1A_0 和 B_1B_0 与进位输入 C_0 相加, 产生 2 位和 S_1S_0 和进位输出 C_2 。采用二级电路和反相器实现整个电路产生三个输出。对于加法器的每个输出采用以下表达式实现:

$$S_i = A_i B_i C_i + \bar{A}_i B_i \bar{C}_i + A_i \bar{B}_i \bar{C}_i + A_i B_i \bar{C}_i$$

$$C_{i+1} = A_i B_i + A_i C_i + B_i C_i$$

192

*3-50 图 3-58 给出了四位加法器最低位运算的逻辑图, 这与集成电路 74283 内部的实现相同。试验证该电路的全加器功能。

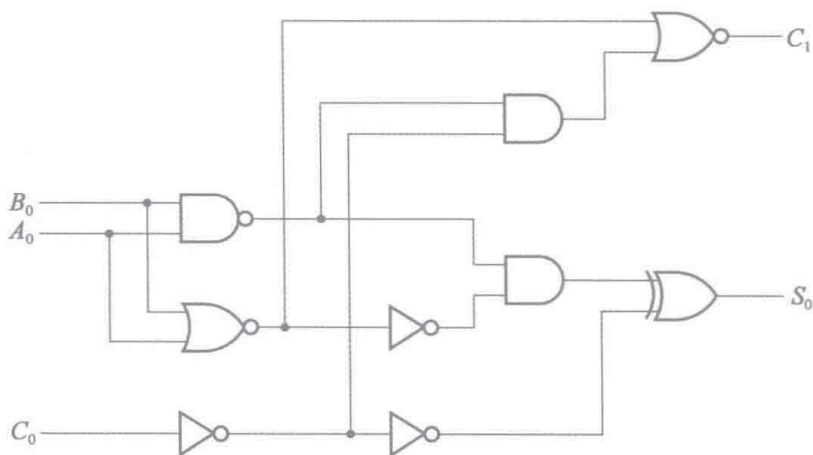


图 3-58 习题 3-50、习题 3-65 和习题 3-69 的电路

*3-51 写出下列无符号二进制数的反码和补码:

10011100, 10011101, 10101000, 00000000, 10000000

3-52 求下列无符号二进制数相减的结果, 其中减数采用二进制补码表示:

(a) 11010 - 10001 (b) 11110 - 1110 (c) 1111110 - 1111110 (d) 101001 - 101

3-53 重做习题 3-52, 假设这些数字采用有符号二进制补码表示。使用扩展使操作数位长相等。试指出对所有给定的减数取补是否发生溢出, 减法运算结果是否产生溢出。当没有发生溢出时, 试用最少的位数重新计算, 并保证不发生溢出。

*3-54 对负数采用有符号的二进制补码表示, 计算以下等式:

(+36) + (-24) (-35) - (-24)

193

3-55 以下二进制数是有符号数, 最左边的位为符号位, 负数采用二进制补码表示。计算下式, 并验证结果:

(a) 100111 + 111001 (b) 001011 + 100110 (c) 110001 - 010010 (d) 101110 - 110111

指出每种运算是否发生溢出。

- +3-56 设计两种组合电路实现对 4 位的输入求补, 即输出为输入的 2 进制补码。以下两种设计均可采用与门、或门和非门实现:
- (a) 电路采用简化的二级实现, 并根据输入变量的需要增加反相器。
- (b) 电路由 4 个相同的 2 输入, 2 输出单元组成, 每个单元完成 1 位的处理。这些单元以级联方式连接, 单元之间通过进位位相连, 最右端的进位值为 1。
- (c) 分别计算 (a) 和 (b) 设计中的门输入成本, 并根据门的输入成本判断哪个设计较佳。
- 3-57 采用压缩技术, 用带进位输出的 4 位加法器设计一个递增 2 的 4 位递增器, 这个递增器在 4 位输入上加一个二进制数 0010, 实现的功能是: $S=A+0010$ 。
- 3-58 采用压缩技术, 用不带进位输出的 8 位加减法器设计一个不带进位输出的 8 位电路, 这电路当 $S=0$ 时递增输入 000000101, $S=1$ 时递减输入 00000101。设计不同的 1 位单元来完成上述功能, 并分别指出其在 8 个比特位处的类型。
- 3-59 设计一个比较两个 4 位无符号数 A 和 B 的组合电路, 验证是否 B 大于 A 。该电路仅有一个输出 X , 当 $A < B$ 时 $X=1$, $A \geq B$ 时 $X=0$ 。
- +3-60 采用四个 3 输入、1 输出的电路重做习题 3-59, 每个单元电路处理 1 位。四个电路通过进位信号级联起来, 每个单元的一个输入是进位输入, 输出信号为进位输出。
- 3-61 重做习题 3-59, 对 4 位减法器使用压缩技术, X 作为借位输出。
- 3-62 设计一个组合电路来比较两个 4 位无符号数 A 和 B , 判断是否 $A=B$ 或 $A > B$ 。使用如习题 3-60 的迭代电路来实现。
- +3-63 设计一个 5 位的符号 - 数值的加减法器。电路分以下三块实现:
- (1) 符号生成和加法 - 减法控制逻辑。
- (2) 减法中被减数使用 2 进制补码的无符号数的加减法器。
- (3) 可选的补码结果纠正逻辑。
- *3-64 对图 3-45 中的加减法电路, 下面是其输入选择端 S 和数据输入 A 与 B 的值:

	S	A	B
(a)	0	0111	0111
(b)	1	0100	0111
(c)	1	1101	1010
(d)	0	0111	1010
(e)	1	0001	1000

求出每种情况下输出 S_3 、 S_2 、 S_1 、 S_0 和 C_4 的值。

- 3-65 参考图 3-28 的设计, 写出图 3-58 全加器电路的 VHDL 结构化描述。编译并仿真该描述, 加载所有的 8 种输入组合验证描述的正确性。
- 3-66 编译并仿真图 3-47 和图 3-48 中的 4 位加法器。用所有 8 种输入组合检查最右端的全加器, 用同样的组合检测其他的全加器。另外, 使用一些输入组合验证 C_0 处的 0 和 1 能否传递到 C_4 , 以便检查所有全加器之间的进位链连接。
- *3-67 编译并仿真图 3-49 中 4 位加法器的行为描述。假设使用行波进位实现, 用所有 8 种输入组合检查最右端的全加器。同样, 加载一些输入组合验证 C_0 处的 0 和 1 能否传递到 C_4 , 以便检查所有全加器之间的进位链连接。
- +3-68 参考图 3-49 的设计及图 3-29 中对 S 使用 “when-else” 判定, 写出图 3-46 加减法器电路 (详情参见图 3-45) 的 VHDL 高层行为描述, 编译并仿真该描述。假设使用行波进位实现, 使用 16 种输入组合检验全加减法器的某一级。同样, 使用一些输入组合验证 C_0 处的 0 和 1 能否

传递到 C4，以便检查全加器之间的进位链连接，同时检查溢出信号。

- 3-69 参考图 3-31 的描述，写出图 3-58 中全加器电路的 Verilog 结构描述。编译并仿真该描述。用所有 8 种输入组合验证描述的正确性。
- 3-70 编译并仿真图 3-50 中的 4 位加法器。使用所有 8 种输入组合检验最右端的全加器，并用同样的组合检查其他的全加器。另外，使用一些输入组合验证 C0 处的 0 和 1 能否传递到 C4，以便检查所有全加器之间的进位链连接。 195
- *3-71 编译并模拟图 3-51 中 4 位加法器。假设使用行波进位实现，用所有 8 种输入组合检查最右端的全加器。同样，加载一些输入组合验证 C0 处的 0 和 1 能否传递到 C4，以便检查所有全加器之间的进位链连接。
- 3-72 参考图 3-51 的描述和图 3-34 中 S 使用“二进制判定”的方法，写出图 3-46 加减法器的 Verilog 高层行为描述。编译并仿真该描述。假设使用行波进位实现，对该设计加载输入 (1) 使所有可能的 16 种组合出现在全加减法器的第 2 位。(2) 同时使第 2 位的进位输出出现到某个输出上。另外，使用一些输入组合验证 C0 处的 0 和 1 能否传递到 C4，以便检查所有全加器之间的进位链连接。 196