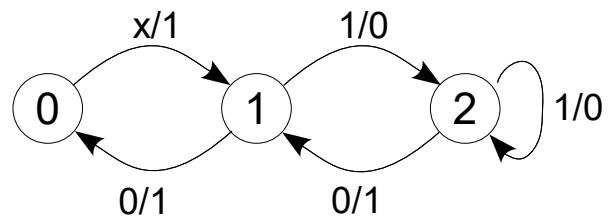


# **Digitale Systeme und Computersysteme**

Kompetenzbereich: Entwurf digitaler Systeme



## **Auszug Lehrplan**

Die Schülerinnen und Schüler können im III. Jahrgang im Bereich Entwurf digitaler Systeme...  
die verschiedenen Kategorien von Schaltwerken erklären und in Form von Diagrammen spezifizieren

## 2 Wiederholung...

### 2.1 KV (Karnaugh-Veitch) - Diagramm

... mit Hilfe der boolschen Schaltalgebra (Vertauschungsgesetz, Verbindungsgesetz, Verteilungsgesetz, De Morgansche Gesetze) lassen sich Funktionsgleichungen vereinfachen. Ein graphisches Verfahren ist die Anwendung des KV-Diagramms – wobei bei bis zu 4 Eingangsvariablen dieses Verfahren besonders einfach ist.

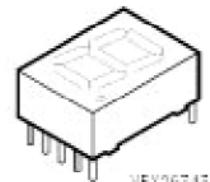
Der Verschmelzvorgang ist im KV-Diagramm für  $n$  (Anzahl an Eingangsvariablen)  $< 5$  relativ einfach; man bildet die entsprechenden 2er, 4er, 8er, ... Gruppen – sofern möglich. Für  $n > 5$  wird es schwierig, zusammenhängende Gruppen zu identifizieren. Neben diesem graphischen KV – Verfahren existieren auch andere Hilfsverfahren zur Minimierung. Ein Tabellen-basiertes Verfahren (das sich somit für eine größere Anzahl an Eingangsvariablen eignet; aber auch ziemlich gut für die Umsetzung in einen SW-Algorithmus) ist z.B. das Minimierungsverfahren nach Quine-McCluskey.

### Minimierung unvollständiger Funktionen

Oft ist man nur an einem Teil der Zeilen der Funktionstabelle interessiert. Die Werte der Funktion in den übrigen Zeilen sind irrelevant ("don't care"). Man hat demnach nicht eine einzelne Funktion, sondern ein ganzes Funktionsbündel vor sich und kann sich daraus eine optimale Funktion auswählen.

**Beispiel:** Ansteuerung einer 7-Segment LED-Anzeige (Segment leuchtet bei log. 1)

D	C	B	A	Ziffer	Segment b
0	0	0	0	0	
0	0	0	1	1	
0	0	1	0	2	
0	0	1	1	3	
0	1	0	0	4	
0	1	0	1	5	
0	1	1	0	6	
0	1	1	1	7	
1	0	0	0	8	
1	0	0	1	9	
1	0	1	0		
1	0	1	1		
1	1	0	0		
1	1	0	1		
1	1	1	0		
1	1	1	1		



*KV-Diagramm:*


**Beispiel:** Ermittele den minimalen bool'schen Ausdruck für das Segment e.

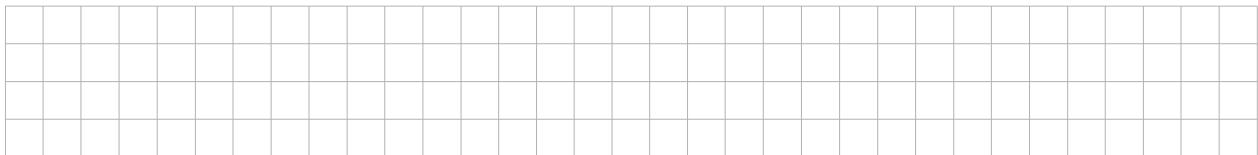
A large grid consisting of 16 smaller squares arranged in a 4x4 pattern, intended for drawing a Karnaugh map for the segment e.

## 2.2 Spezielle Schaltnetze

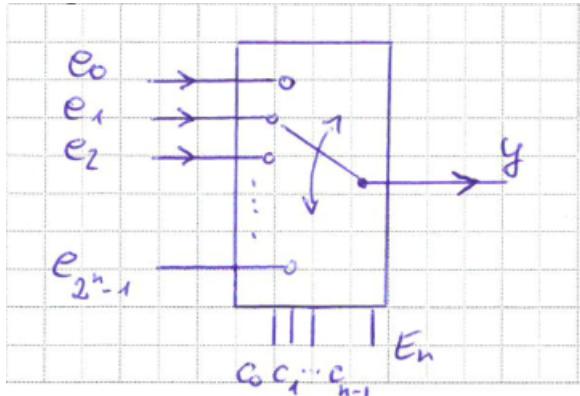
In diesem Kapitel wird eine kleine Auswahl eingesetzter Schaltnetze näher vorgestellt.

## 2.3 Multiplexer (MUX)

... besitzen prinzipiell  $2^n$  Dateneingänge ( $e_0, e_1, \dots, e_{2^n-1}$ ), n Steuereingänge ( $c_0, c_1, \dots, c_{n-1}$ ) und einen Ausgang y. Zusätzlich besitzen die meisten MUX-Bausteine einen zusätzlichen Enable-Eingang zum Aktivieren des Bausteins, wobei dieser meist low-aktiv ist.



**Prinzip:**



Ein MUX ist im Prinzip ein elektronischer Drehwählschalter

**Beispiel Baustein 74151:**

Auszug aus Datenblatt:

**SGS-THOMSON  
MICROELECTRONICS**

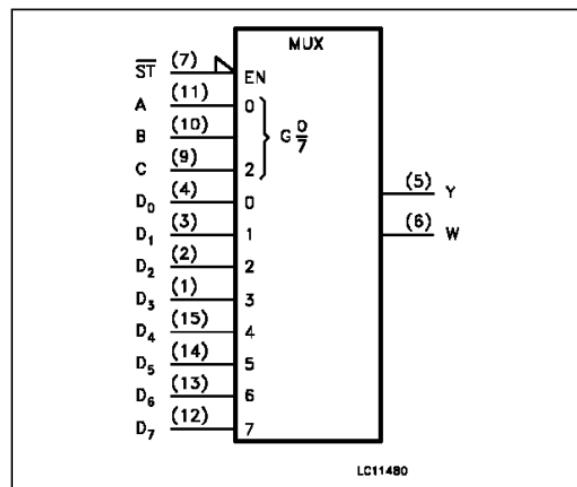
**M54HC151  
M74HC151**

## 8 CHANNEL MULTIPLEXER

### PIN DESCRIPTION

PIN No	SYMBOL	NAME AND FUNCTION
4, 3, 2, 1, 15, 14, 13, 12	D0 to D7	Multiplexer Inputs
5	y	Multiplexer Output
6	w	Complementary Multiplexer Output
7	STROBE	Strobe Input
11, 10, 9	A, B, C	Select Inputs
8	GND	Ground (0V)
16	Vcc	Positive Supply Voltage

### IEC LOGIC SYMBOL



## TRUTH TABLE

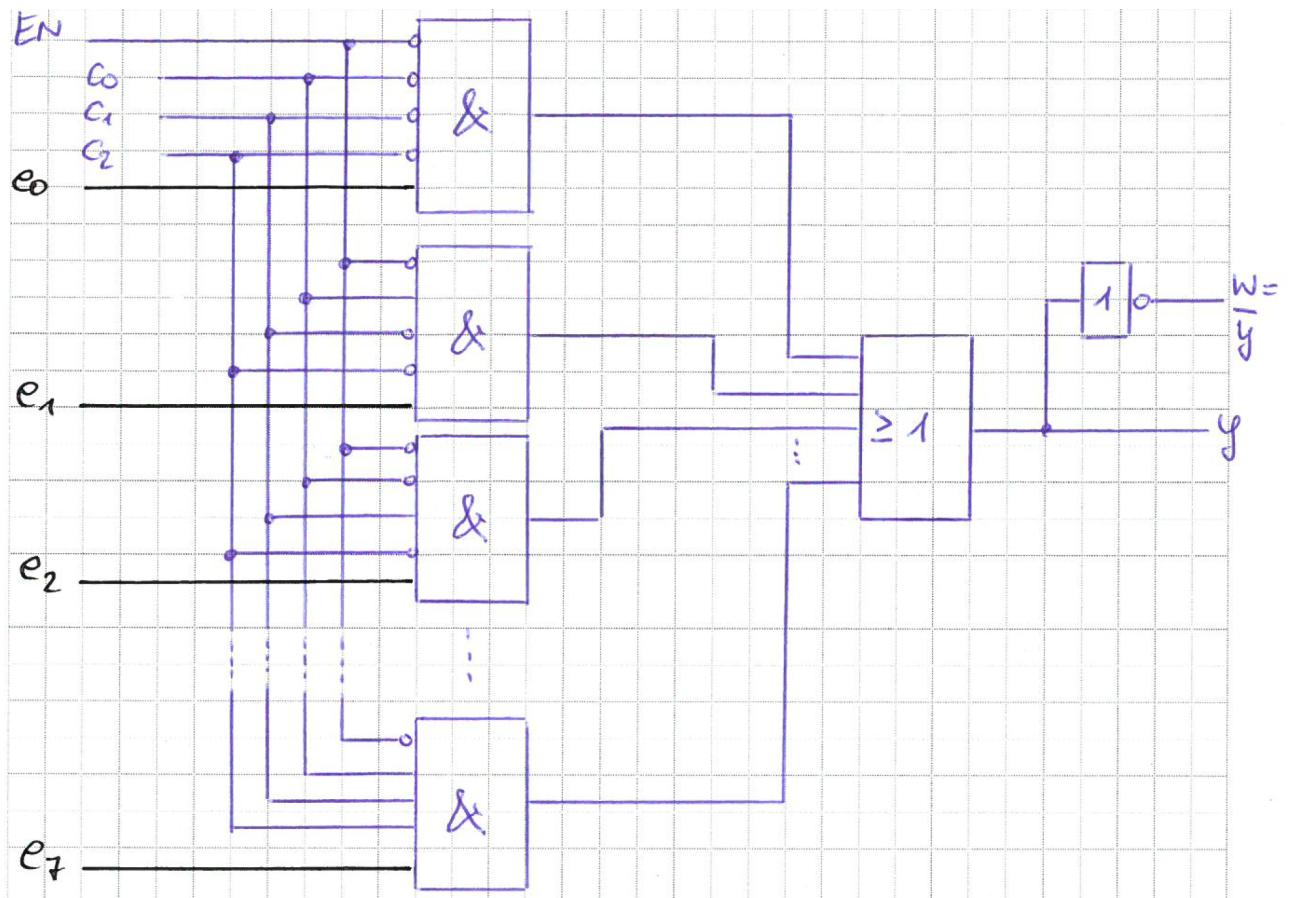
INPUTS				OUTPUTS	
SELECT			STROBE	Y	W
C	B	A	$\bar{S}$		
X	X	X	H	L	H
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

 $\equiv C_2$  $\equiv C_1$  $\equiv C_0$ 

Für das Ausgangssignal Y gilt:

Y =

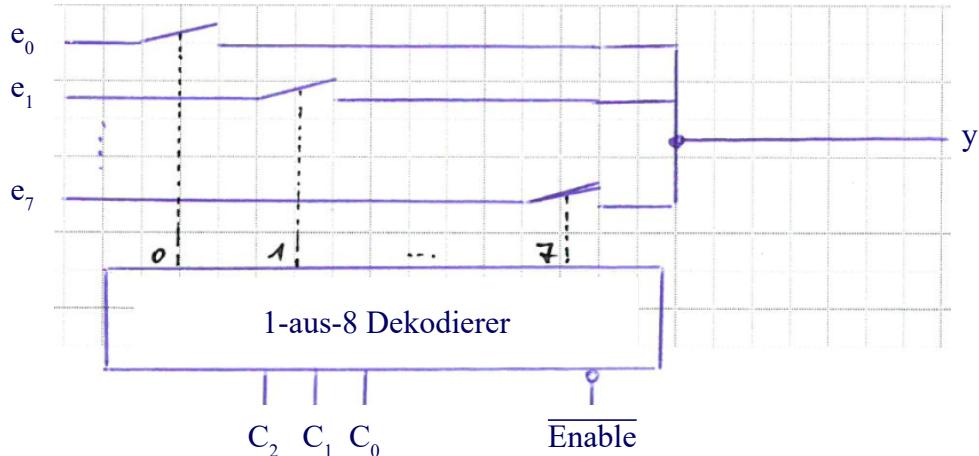
Interner Aufbau:



**Grundlegendes Prinzip:** UND-Gatter wird als "elektronisches Ventil" verwendet !



Für einen MUX gilt daher auch folgendes Prinzip-Blockschaltbild:



## 2.4 Kodierer und Dekodierer

Kodierer (engl. Encoder) sind Schaltungen mit meist  $2^n$  Eingängen und m Ausgängen:



Decodierer sind Schaltungen mit m Eingängen und  $2^n$  Ausgängen – sie sind damit komplementär zu Kodierer.



Sowohl mit Kodierer als auch Dekodierer lassen sich vielfältige Aufgabenstellungen realisieren; z.B.

- Code-Umsetzer

- Multiplexer / Demultiplexer

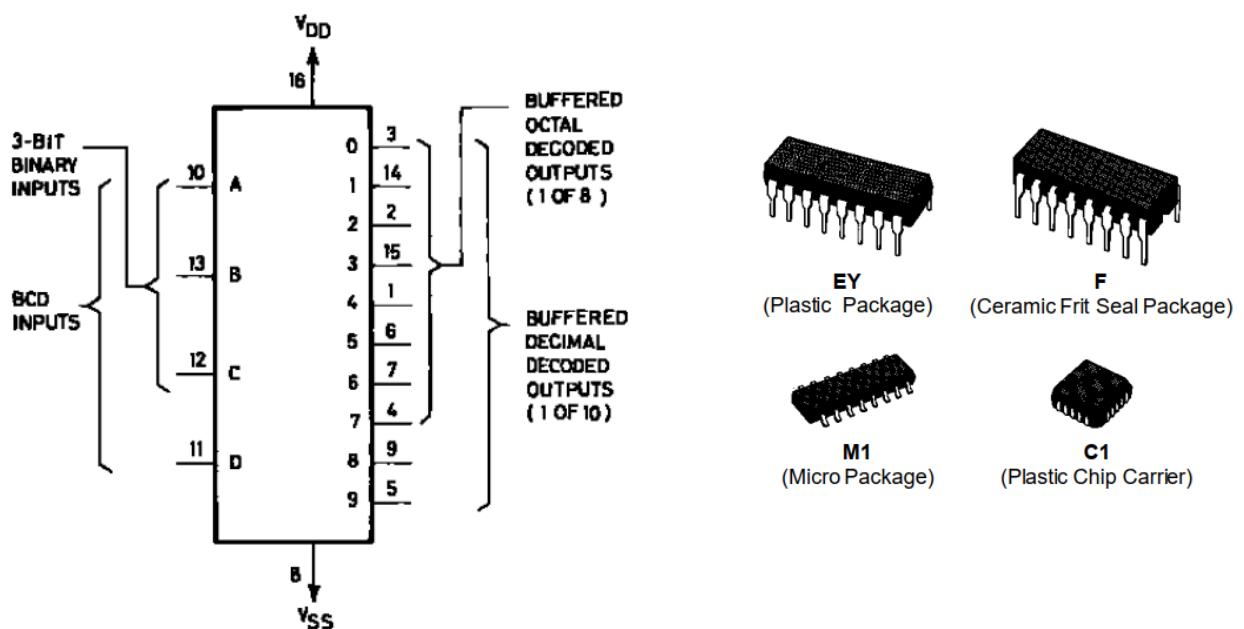
- \_\_\_\_\_

In den Datenblättern (die meist nur in englischer Sprache vorliegen) findet man meist den Begriff "Decoder" auch für Kodierer, was vielleicht im ersten Blick irritieren mag. Entscheidend sind jedoch die Anzahl und Funktion der Ein- und Ausgänge.

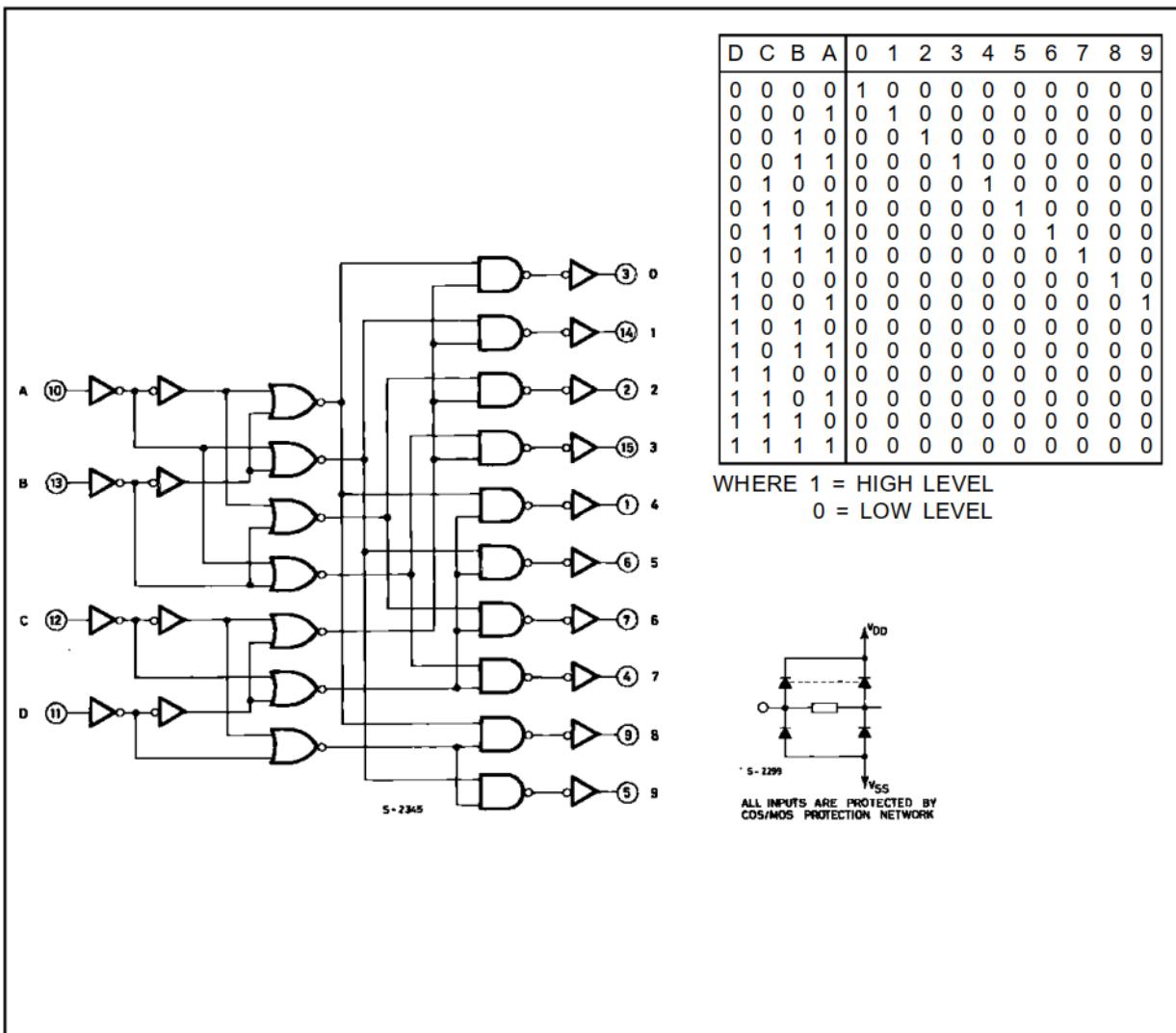
### Anwendungsbeispiele:

#### **CMOS-Baustein 4028: BCD-to-Decimal Decoder**

(Auszug aus Datenblatt von ST-Microelectronics)



## LOGIC DIAGRAM AND TRUTH TABLE

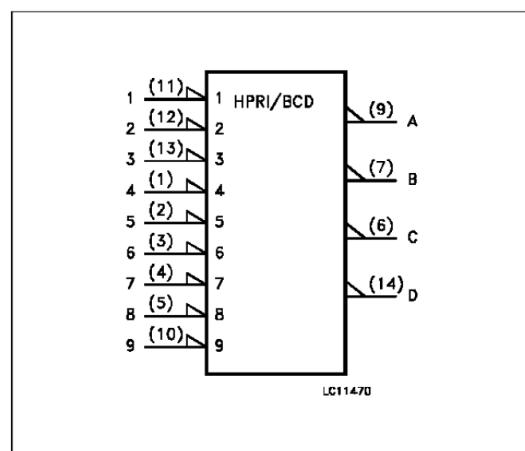
**TTL-Baustein 74x147: 10-to-4 line priority encoder**

... ist ein **Prioritätsencoder**, d.h. ein Baustein der aus max.  $2^n$  Eingangssignalen ein binär codiertes Ausgangssignal erzeugt – und somit das Gegenstück zum Binärdecoder (1-aus-x Umsetzer) ist.

(Auszug aus Datenblatt von ST-Microelectronics)

**PIN DESCRIPTION**

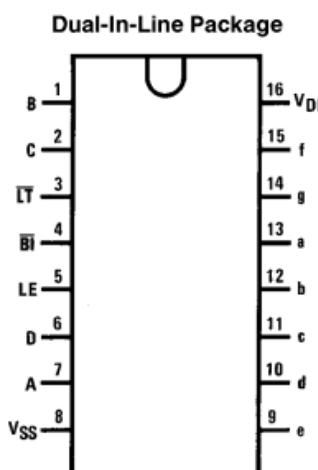
PIN No	SYMBOL	NAME AND FUNCTION
9, 7, 6, 14	A to D	BCD Address Outputs (Active LOW)
11, 12, 13, 1, 2, 3, 4, 5, 10	1 to 9	Decimal Data Inputs (Active LOW)
15	NC	Not Connected
8	GND	Ground (0V)
16	V <sub>CC</sub>	Positive Supply Voltage

**IEC LOGIC SYMBOL**

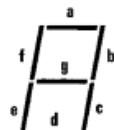
**TRUTH TABLE**

INPUTS									OUTPUTS			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

X: Don't Care

**CMOS-Baustein 4511: BCD zu 7-Segment – Umsetzer**  
(Auszug Datenblatt National Semiconductor)**Connection Diagram**

Top View  
Order Number CD4511B

**Segment Identification**

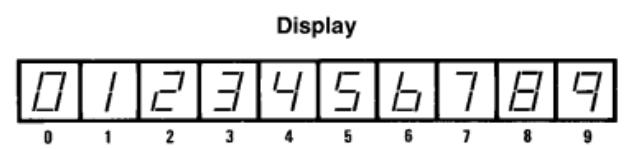
TL/F/5991-3

**Truth Table**

LE	BI	LT	Inputs				Outputs							
			D	C	B	A	a	b	c	d	e	f	g	Display
X	X	0	X	X	X	X	1	1	1	1	1	1	1	B
X	0	1	X	X	X	X	0	0	0	0	0	0	0	0
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	1	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	1	1	0	0	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	1	0	1	1	1	0	1	5
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	1	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	0	0	1	1	9
0	1	1	1	0	1	0	0	0	0	0	0	0	0	*
0	1	1	1	0	1	1	0	0	0	0	0	0	0	*
1	1	1	X	X	X	X								

X = Don't Care

\*Depends upon the BCD code applied during the 0 to 1 transition of LE.



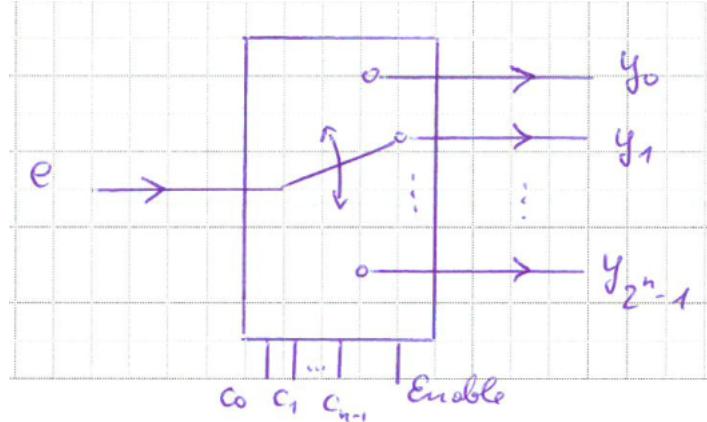
TL/F/5991-2

## 2.5 Demultiplexer (DEMUX)

... sind das "Gegenstück" zu MUX und verfügen über 1 Eingang, n Steuereingänge und  $2^n$  Datenausgänge. In der Regel findet man auch hier einen Enable-Eingang.

D.h. mit einem DEMUX kann der Eingang auf einen der  $2^n$  Datenausgänge geschaltet werden.

**Prinzip:**



Auch hier wird wieder die UND-Verknüpfung als "elektronisches Ventil" verwendet:



## 2.6 Addierer

... gehören zu den typischen Bestandteilen von Computern, denn alle Rechenoperationen lassen sich auf Addieren zurückführen. Selbst Subtrahieren ist eine Addition mit negativer Zahl.

Der einfachste Fall ist die Addition zweier 1-bit-Binärzahlen:

a	b	$\Sigma$	$\bar{U}(\text{bertrag})$
---	---	----------	---------------------------

0	0		
0	1		
1	0		
1	1		

Für die Summe gilt:  $\Sigma =$

... und für den Übertrag:  $\ddot{U} =$

### Schaltung:



Bei der Addition mehrstelligiger Binärzahlen muss der Übertrag der vorherigen Stelle mit addiert werden.

Schema:

	$a_3$	$a_2$	$a_1$	$a_0$		1. Summand
+	$b_3$	$b_2$	$b_1$	$b_0$		2. Summand
$(\ddot{U}_3)$	$\ddot{U}_2$	$\ddot{U}_1$	$\ddot{U}_0$	0		Übertrag
<hr/> $(S_4)$	$S_3$	$S_2$	$S_1$	$S_0$		Summe

$$\text{d.h. } S_0 = a_0 \text{ xor } b_0$$

$$S_1 = a_1 \text{ xor } b_1 \text{ xor } \ddot{U}_0$$

$$S_2 = a_2 \text{ xor } b_2 \text{ xor } \ddot{U}_1$$

...

$$S_i = a_i \text{ xor } b_i \text{ xor } \ddot{U}_{i-1}$$

... und für den Übertrag gilt

$$\ddot{U}_0 = a_0 b_0$$

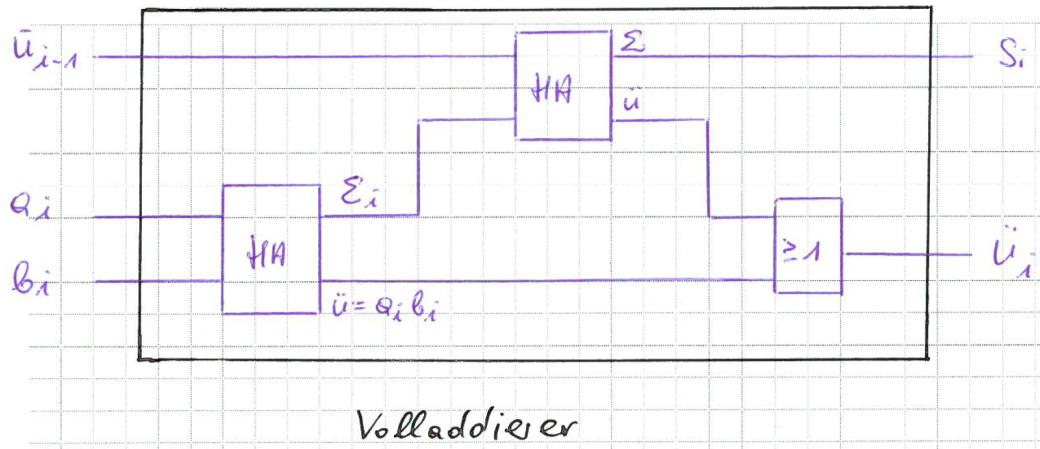
$$\ddot{U}_1 = a_1 b_1 \vee a_1 \ddot{U}_0 \vee b_1 \ddot{U}_0$$

$$\ddot{U}_2 = a_2 b_2 \vee a_2 \ddot{U}_1 \vee b_2 \ddot{U}_1$$

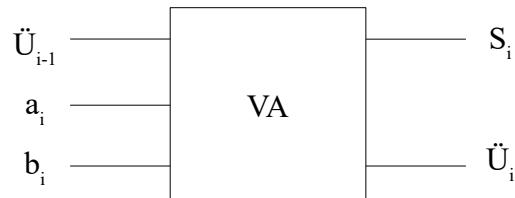
...

$$\ddot{U}_i = a_i b_i \vee a_i \ddot{U}_{i-1} \vee b_i \ddot{U}_{i-1}$$

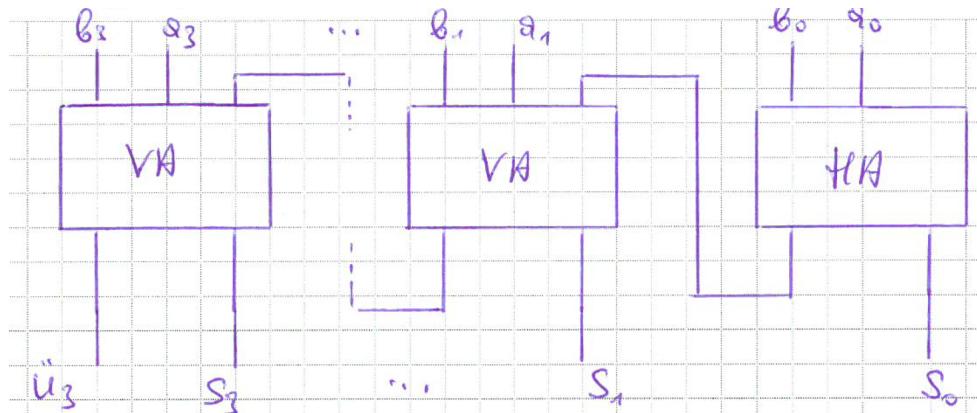
$S_i$  und  $\ddot{U}_i$  lassen sich aus 2 Halbaddierer und 1 ODER-Verknüpfung realisieren:



Die Schaltung wird als Volladdierer bezeichnet; Symbol:



**Anwendungsbeispiel:** Addition zweier 4-bit Binärzahlen:



Generell gilt: die Summanden ( $a_i, b_i$ ) müssen so lange stabil anliegen, bis der Übertrag der höchsten Bitstelle errechnet wurde, da die Verarbeitung seriell erfolgt (d.h. der Übertrag wird Stufe-für-Stufe berechnet). Die resultierende Rechenzeit hängt von der Laufzeit ab.

Kürzere Rechenzeiten ergeben sich bei der parallelen Übertragsverarbeitung (engl.: Look Ahead Carry); dies wird von einem zusätzlichen Schaltnetz übernommen. D.h. es gibt verbesserte Addierer-Schaltungen, auf die jedoch aus Zeitgründen nicht näher eingegangen werden kann.

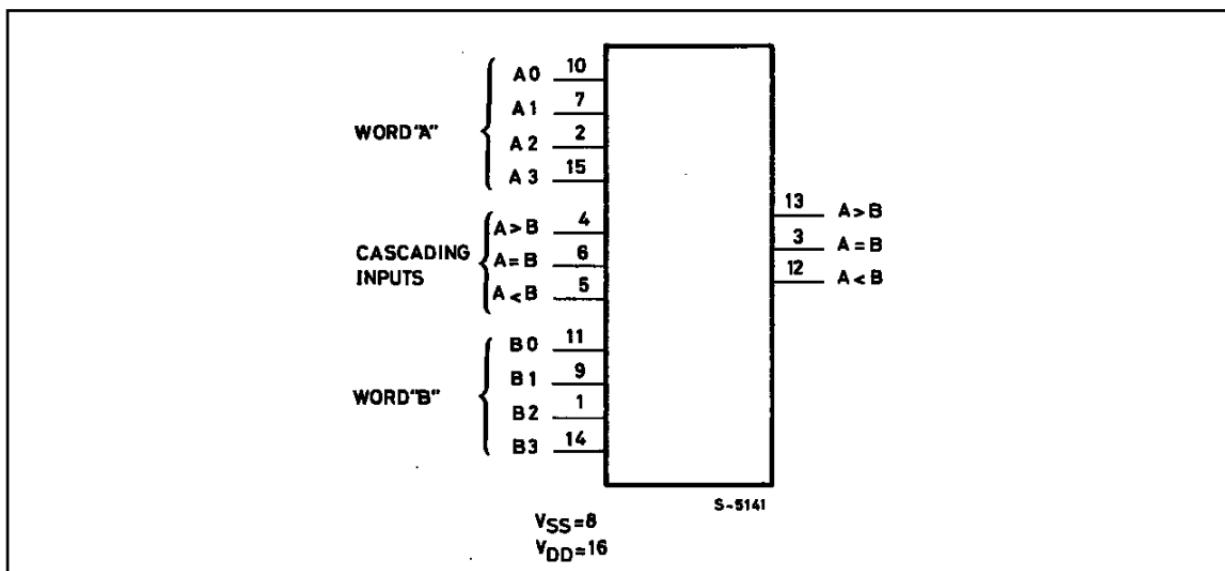
## 2.7 Komparator

... gibt es nicht nur in der Analog-, sondern auch in der Digitaltechnik. Zum Beispiel CMOS-Baustein 4585 (Auszug aus Datenblatt von ST-Microelectronics):



### 4-BIT MAGNITUDE COMPARATOR

#### FUNCTIONAL DIAGRAM



#### TRUTH TABLE

Inputs				Comparing			Cascading			Outputs		
A3, B3	A2, B2	A1, B1	A0, B0	A < B	A = B	A > B	A < B	A = B	A > B	A < B	A = B	A > B
A3 > B3	X	X	X	X	X	1	0	0	1			
A3 = B3	A2 > B2	X	X	X	X	1	0	0	1			
A3 = B3	A2 = B2	A1 > B1	X	X	X	1	0	0	1			
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	1	0	0	1			
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	0	1	0	0	1			
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	1	X	0	1	0			
A3 = B3	A2 = B2	A1 = B1	A0 = B0	1	0	X	1	0	0			
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	1	0	0			
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	1	0	0			
A3 = B3	A2 < B2	X	X	X	X	X	1	0	0			
A3 < B3	X	X	X	X	X	X	1	0	0			

X = Don't Care

Logic 1 = High Level