**МИНОБРНАУКИ РОССИИ**

**Санкт-Петербургский государственный**

**электротехнический университет**

**«ЛЭТИ» им. В.И. Ульянова (Ленина)**

**КАФЕДРА ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ**

отчет

**по лабораторной работе №3**

**по дисциплине «****Элементная база цифровых систем»**

|  |  |  |
| --- | --- | --- |
| Студент гр. 1335 |  | Максимов Ю Е |
| Преподаватель |  | Буренева О И |

Санкт-Петербург

2024

**Лабораторная работа 3.**

**ТРИГГЕРНЫЕ УСТРОЙСТВА**

*Цель работы* – исследовать особенности функционирования основных типов триггерных устройств: одноступенчатых D-триггеров со статическим и динамическим управлением, RS-триггера, JK-триггера с динамическим управлением, Т-триггера.

**Задание на работу**

1. Исследовать D-триггер.

Для исследуемых триггеров: одноступенчатого D-триггера со статическим управлением, D-триггера с динамическим управлением (примитивы DLATCH и DFF соответственно). Разработать комбинационную схему, обеспечивающую формирование сигналов в соответствии с временными диаграммами, приведенными на рисунке 1.

Выполнить функциональное моделирование схемы. Сравнить выходные сигналы D-триггеров со статическим и динамическим управлением.

Проверить работу на макетной плате. Перед выполнением макетного эксперимента необходимо добавить в схему счетчик, понижающий частоту тактового сигнала. Разрядность счетчика определяется, исходя из частоты генератора, установленного на макете. Работу исследуемых триггеров наблюдать с помощью осциллографа.

2. Исследовать RS-триггер.

2.1. Для исследования RS триггера (примитив SRFF) подготовить временную диаграмму на 16 тактов, демонстрирующую особенности его работы. Входные сигналы должны быть такими, чтобы исследовать режимы как синхронного приема по информационным входам, так и асинхронного переключения по входам CLRN и PRN.

2.2. Разработать комбинационную схему, обеспечивающую формирование сигналов в соответствии с подготовленной временной диаграммой. Выполнить функциональное моделирование работы RS-триггера.

3. Исследовать JK-триггер. Для исследования JK-триггера (примитив JKFF) реализовать временные диаграммы, приведенные на рисунке 2. Выполнить функциональное моделирование схемы.

4. На базе одноступенчатого D-триггера со статическим управлением и D-триггера с динамическим управлением собрать схемы асинхронных Т-триггеров. Разработать временные диаграммы для демонстрации работы схем. Снять осциллограммы работы Т-триггеров. Объяснить, какая из двух схем неработоспособна и почему.

**Вариант**

Вариант временных диаграмм для исследования одноступенчатого D триггера со статическим и динамическим управлением приведен на рисунке 1.

Варианты временных диаграмм для исследования JK триггера с динамическим управлением приведены на рисунке 2.

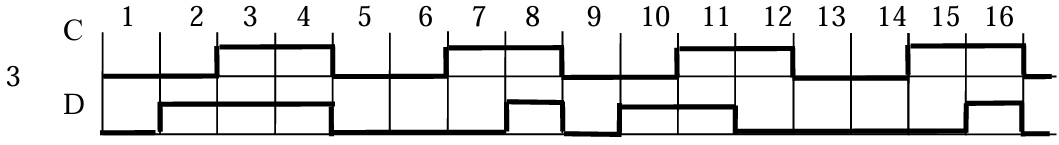


Рисунок 1 – Временные диаграммы для исследования D триггера

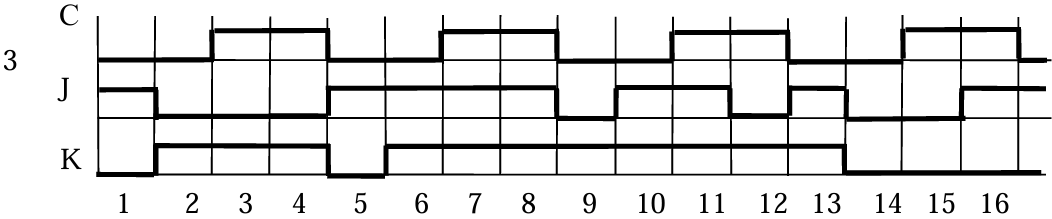


Рисунок 2 – Временные диаграммы для исследования JK триггера

**Выполнение работы**

1. Исследование D-триггера.

D триггер имеет один вход, его состояние повторяет входной сигнал, но с задержкой, определяемой тактовым сигналом.

Одноступенчатый D-триггер со статическим управлением (примитив DLATCH, см. рис. 3) управляется уровнем сигнала на входе ENA - вход разрешения работы. При управлении уровнем, или статическом управлении, триггер воспринимает входные информационные сигналы при одном уровне тактового сигнала и остается в неизменном состоянии при другом.

Входы CLRN и PRN являются входами асинхронного сброса и установки соответственно.

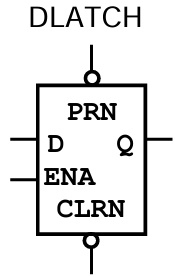


Рисунок 3 - Примитив D-триггер со статическим управлением в Quartus II

D-триггер с динамическим управлением (примитив DDF, см. рис. 4) управляется фронтом – переключение триггера происходит только в момент перепада тактового сигнала.

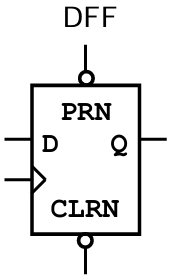


Рисунок 4 - Примитив D-триггер с динамическим управлением в Quartus II

По рисунку 1 опишем функцию сигналов C и D в числовой форме (десятичные значения векторов входных переменных (*x*4, *x*3, *x*2, *x*1), на которых переключательная функция равна логической «1»), здесь №10 = №такта - 1:

 (1)

Схему формирования входного сигнала D реализуем с использованием дешифратора (мегафункция LPM\_DECODE из библиотеки LPM-модулей) и логического элемента «ИЛИ». Также потребуется счетчик (мегафункция LPM\_COUNTER) для задания последовательности из 16 комбинаций на входе дешифратора. С выходов дешифратора, номера которых соответствуют десятичным векторам в выражении (1) для функции D, подадим сигналы на входы логического элемента «ИЛИ».

Сигнал C возьмем с шины на выходе счетчика, так как диаграмма C на рисунке 1 повторяет значения первого разряда счетчика (q[1]).

Схема исследования D-триггеров (примитивы DLATCH и DFF) в САПР Quartus II, показана на рисунке 5.

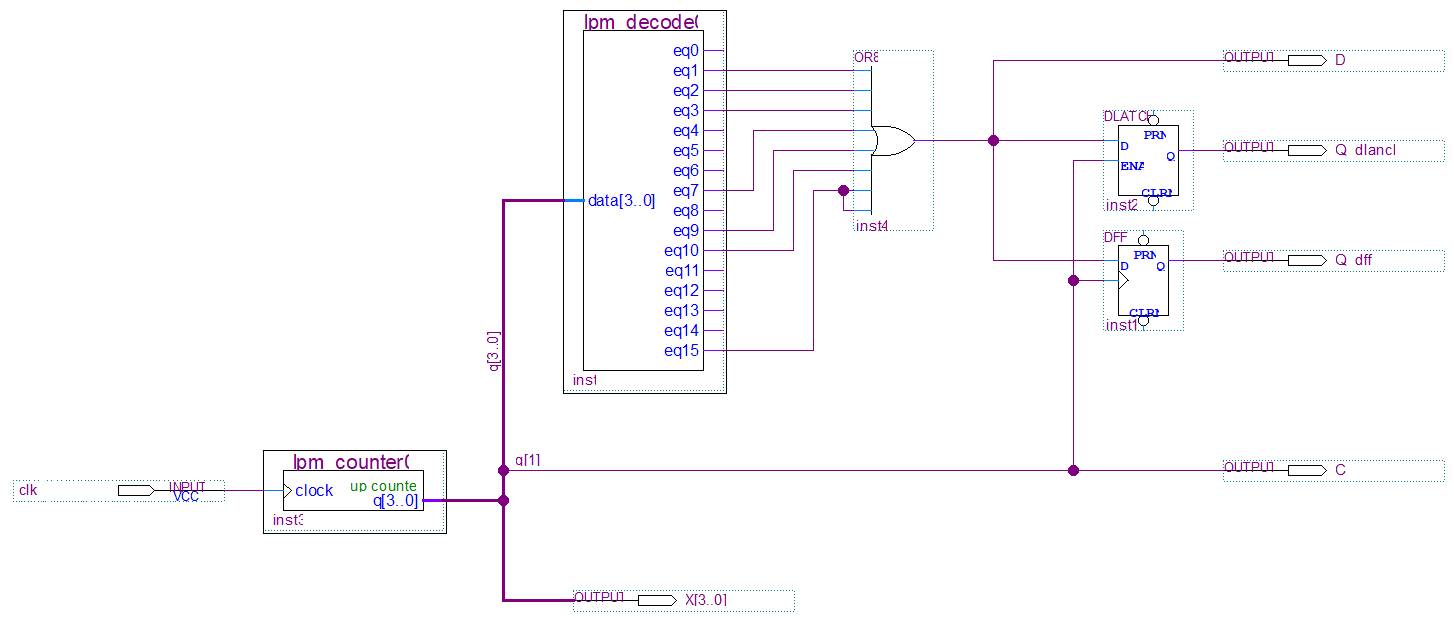


Рисунок 5 – Схема исследования D-триггеров

Выполним функциональное моделирование схемы (рис. 6).

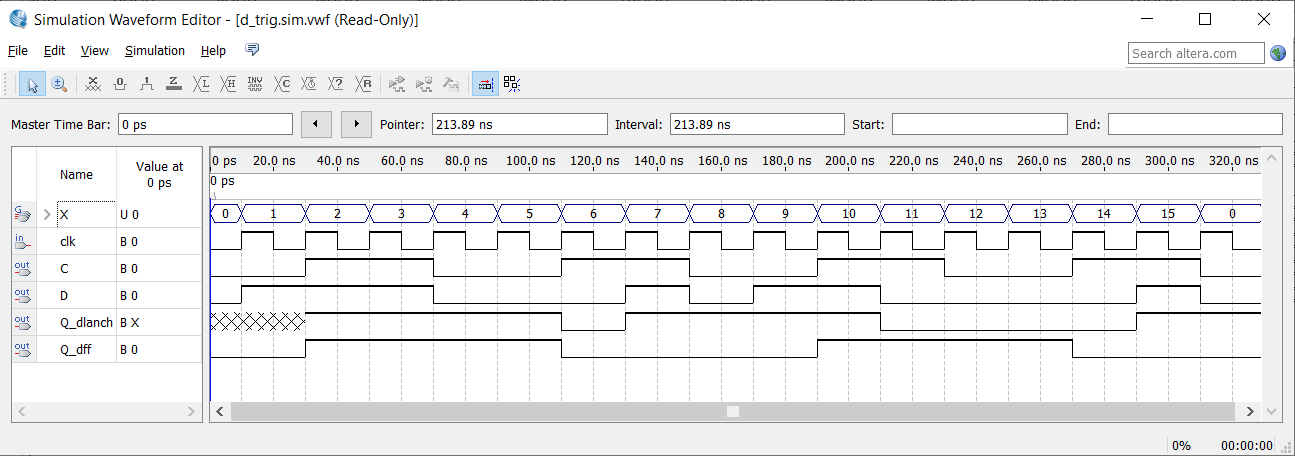


Рисунок 6 – Результаты функционального моделирования

Выполним макетирование (рис. 7-8). Номера используемых контактов ПЛИС указаны в таблице 1.

Таблица 1 – Номера контактов ПЛИС учебной платы

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Порт А | Bit  0 | Bit  1 | Bit  2 | Bit  3 | Bit  4 | Bit  5 | Bit  6 | Bit  7 |
| Номер контакта FPGA | 37 | 39 | 35 | 40 | 34 | 41 | 33 | 43 |

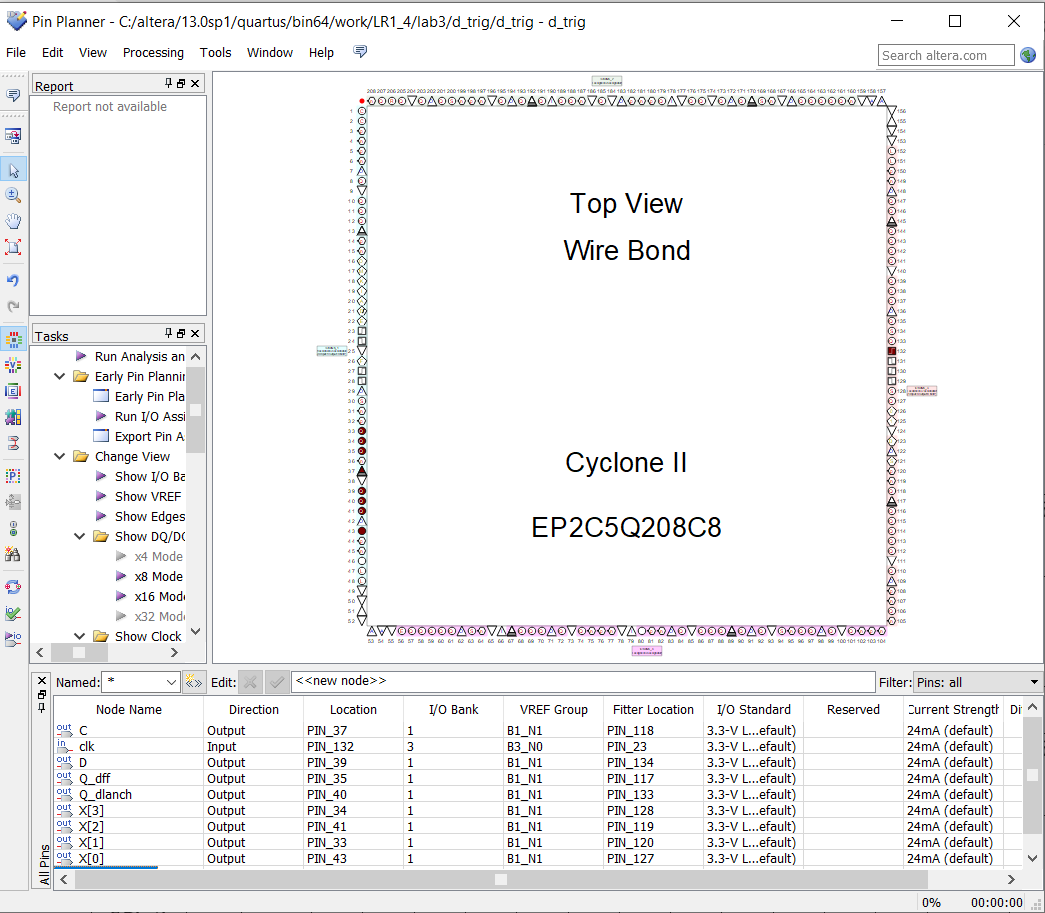


Рисунок 7 – Назначение контактов ПЛИС (вид окна Pin Planner)

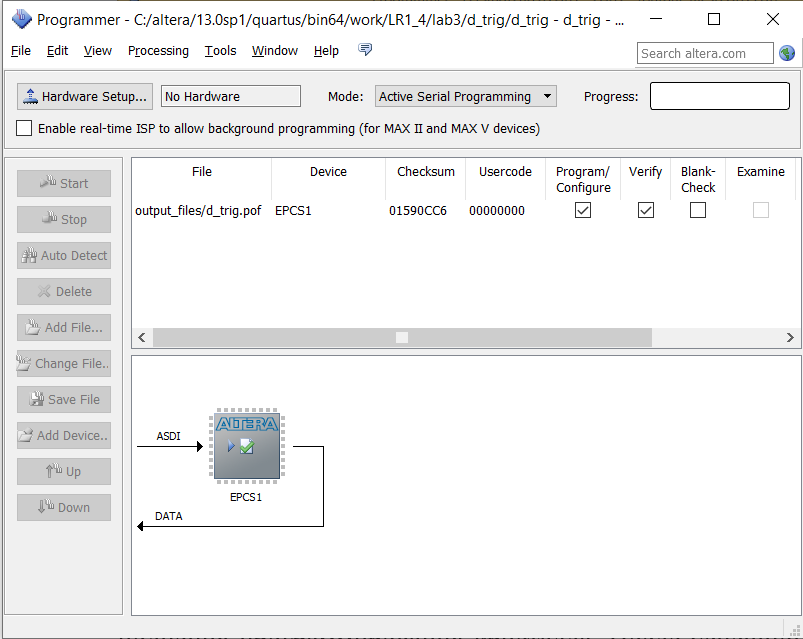


Рисунок 8 – Программирование кристалла (утилита Programmer)

2. Исследование RS-триггера.

Триггер RS (примитив SRFF, см. рис. 9) имеет два входа – установки единицу (S) и установки в нуль (R). Одновременная подача сигналов установки S и сброса R не допускается, комбинация сигналов установки S=1 и сброса R=1 запрещена. Триггер управляется фронтом – переключение триггера происходит только в момент перепада тактового сигнала. Входы CLRN и PRN являются входами асинхронного сброса и установки соответственно.

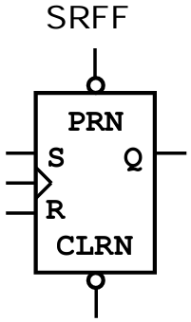


Рисунок 9 - Примитив RS-триггер в Quartus II

2.1. Для исследования RS триггера подготовим временную диаграмму на 16 тактов, демонстрирующую особенности его работы. Входные сигналы подберем такими, чтобы исследовать режимы как синхронного приема по информационным входам, так и асинхронного переключения по входам CLRN и PRN.

Cоставим таблицу переходов триггера с учетом сигналов на асинхронных входах (табл. 2).

Таблица 2 – Таблица переходов RS-триггера

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | C | S | R | Q(*t*+1) |
| 0 | \* | \* | \* | \* | 1 |
| \* | 0 | \* | \* | \* | 0 |
| 1 | 1 |  | 0 | 0 | Q(*t*) |
| 1 | 1 |  | 0 | 1 | 0 |
| 1 | 1 |  | 1 | 0 | 1 |
| 1 | 1 |  | 1 | 1 | x |

Разработанная временная диаграмма показана на рисунке 10.

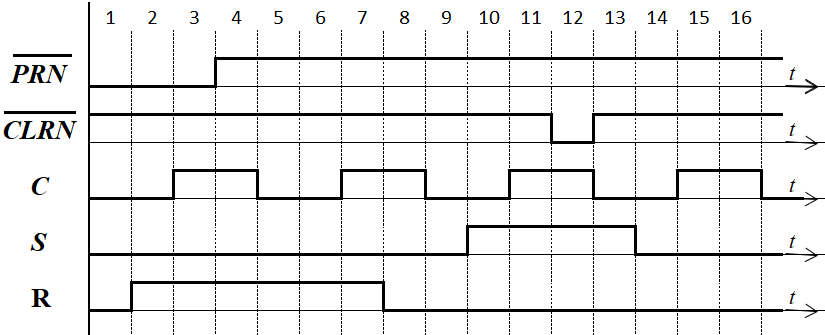


Рисунок 10 – Временная диаграмма, разработанная

для демонстрации работы RS-триггера

2.2. Разработаем комбинационную схему, обеспечивающую формирование сигналов в соответствии с подготовленной временной диаграммой. Для формирования сигналов используем дешифратор (из библиотеки LPM-модулей).

По рисунку 10 опишем сигналы в числовой форме, где №10 = №такта - 1:

 (2)

Схема для исследования RS-триггера показана на рисунке 11.

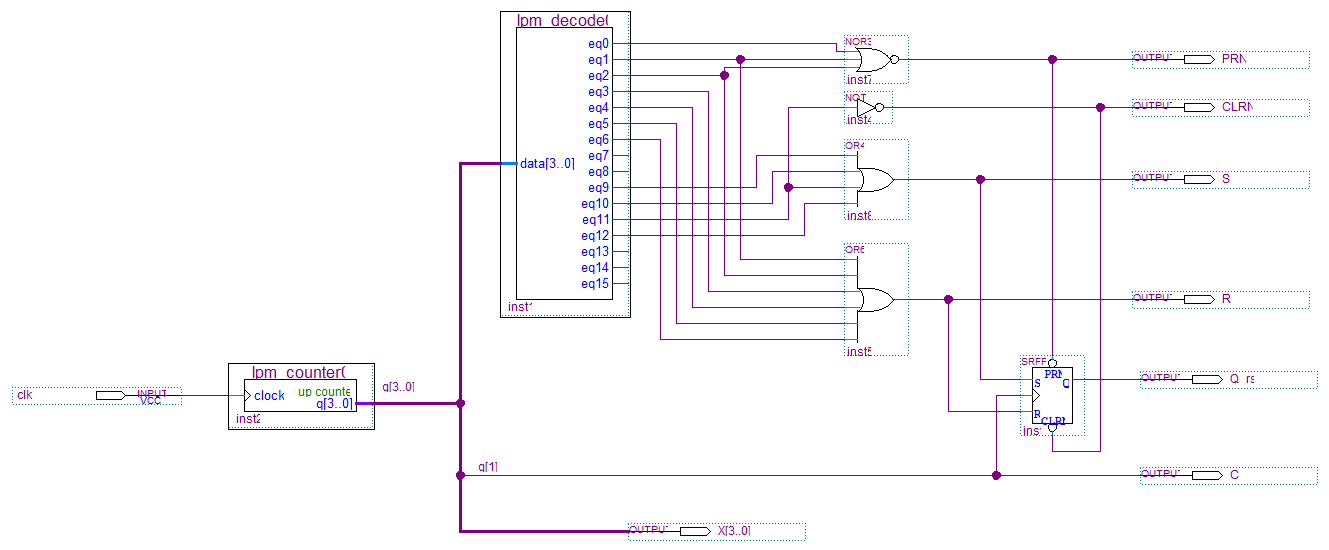


Рисунок 11 – Схема исследования RS-триггера

Выполним функциональное моделирование схемы (рис. 12).

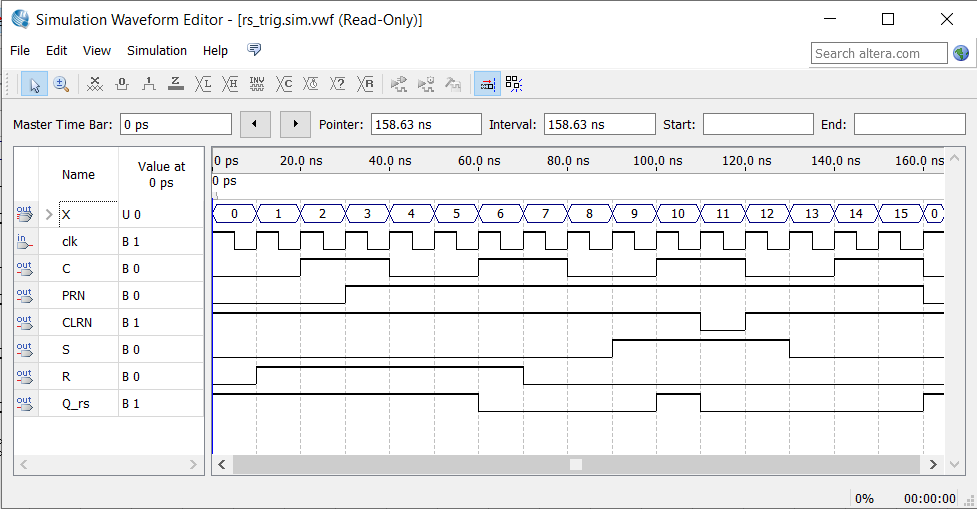


Рисунок 12 – Результаты функционального моделирования

3. Исследование JK-триггера.

JK – универсальный триггер (примитив JKFF, см. рис. 13), входы установки J и сброса К, подобны соответствующим входам RS триггера. Однако, JK триггер допускает одновременную подачу сигналов на оба эти входа J = К = 1. В этом случае он работает как Т триггер. Триггер управляется фронтом – переключение триггера происходит только в момент перепада тактового сигнала.

Входы CLRN и PRN являются входами асинхронного сброса и установки соответственно.

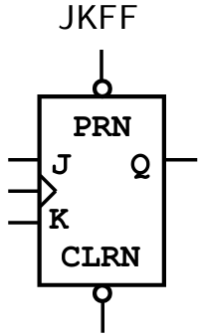


Рисунок 13 - Примитив JK-триггер в Quartus II

По рисунку 2 опишем функции сигналов C, J и K в числовой форме, где №10 = №такта - 1:

 (3)

Схема для исследования JK-триггера показана на рисунке 14.

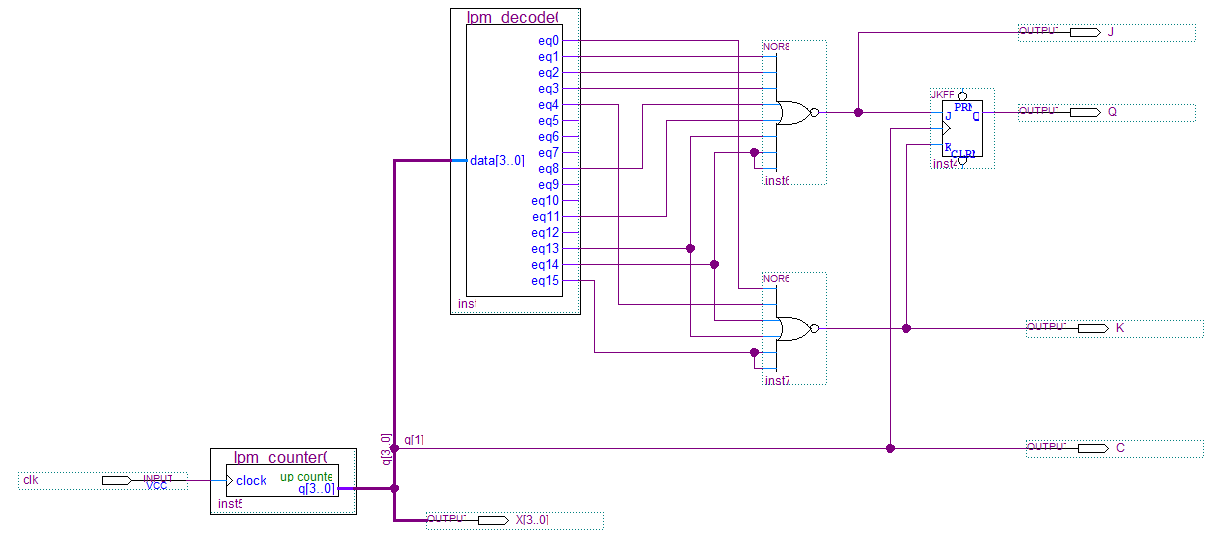


Рисунок 14 – Схема для исследования JK-триггера

Выполним функциональное моделирование схемы (рис. 15).

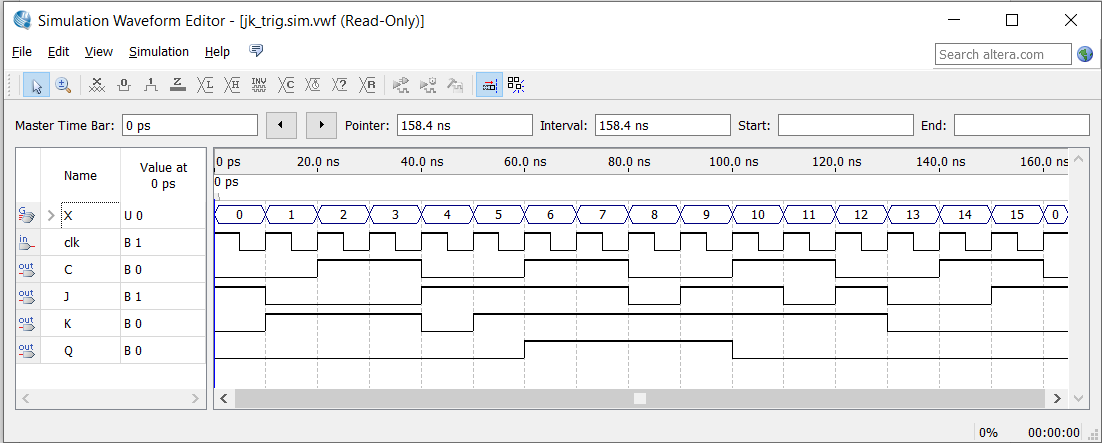


Рисунок 15 – Результаты функционального моделирования

4. Асинхронный Т-триггер.

Соберем схему асинхронного Т-триггера на базе одноступенчатого D-триггера со статическим управлением и D-триггера с динамическим управлением. Для этого на вход D подадим инверсный сигнал с выхода Q, а на вход En/C – входной сигнал T (рис. 16).

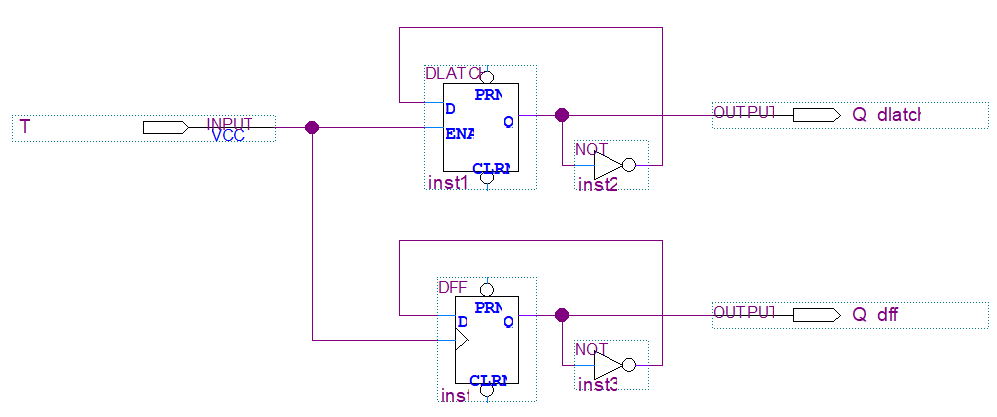


Рисунок 16 – Схема асинхронного Т-Триггера

Выполним функциональное моделирование схемы (рис. 17).

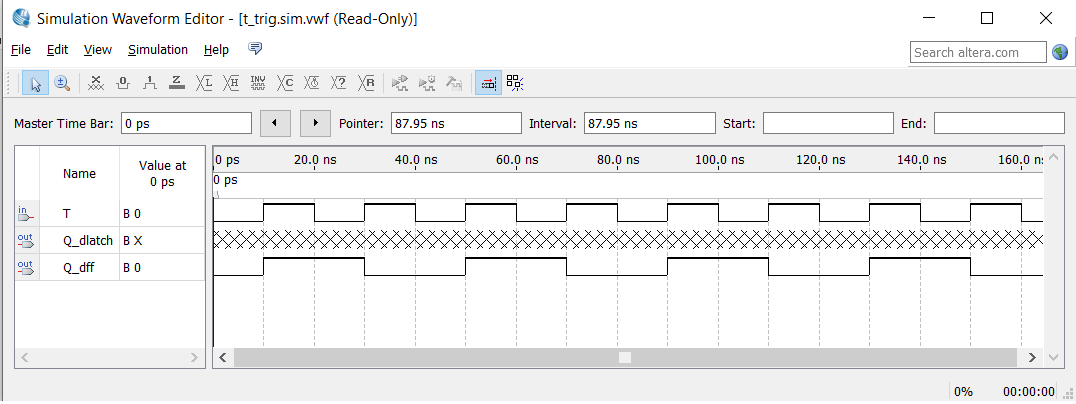


Рисунок 17 – Результаты функционального моделирования

Схема на базе одноступенчатого D-триггера со статическим управлением (DLATCH) неработоспособна. Внутренняя схема данного триггера такова, что при подключении входа D к инверсному выходу Q, сигнал на линии зацикливается.

Выполним макетирование (рис. 18-19). Номера используемых контактов ПЛИС указаны в таблице 3.

Таблица 3 – Номера контактов ПЛИС

|  |  |  |
| --- | --- | --- |
| Порт А | Bit 0 | Bit 1 |
| Номер контакта FPGA | 37 | 39 |

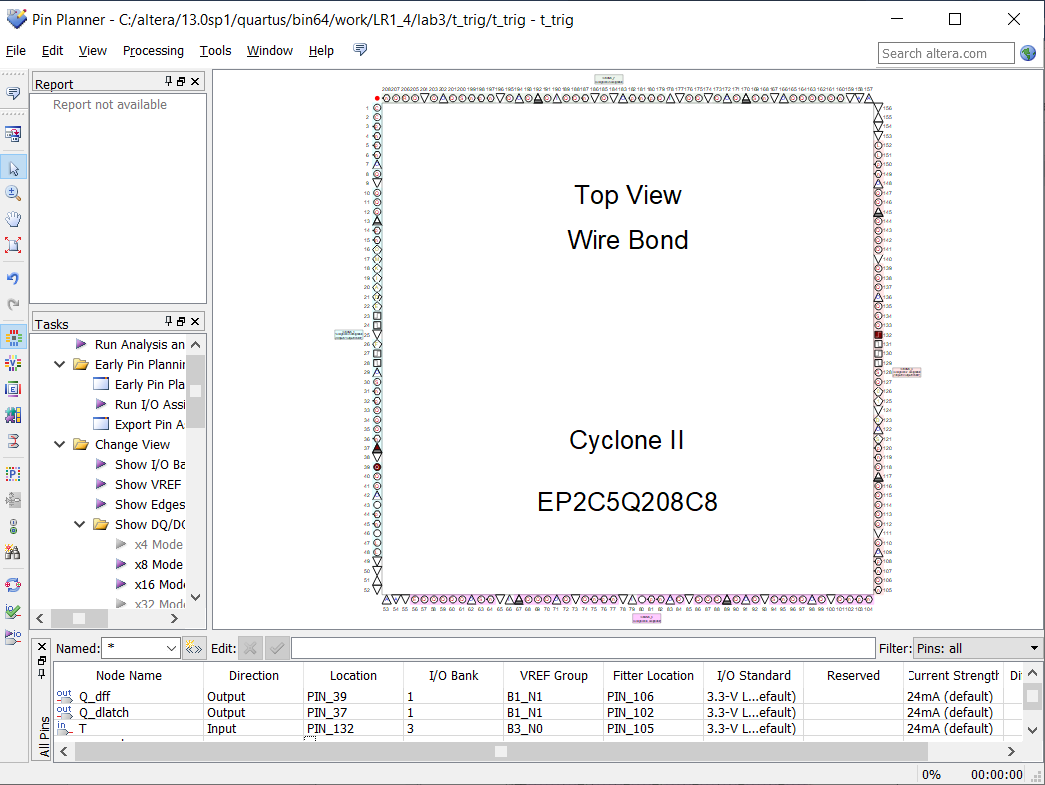


Рисунок 18 – Назначение контактов ПЛИС (вид окна Pin Planner)

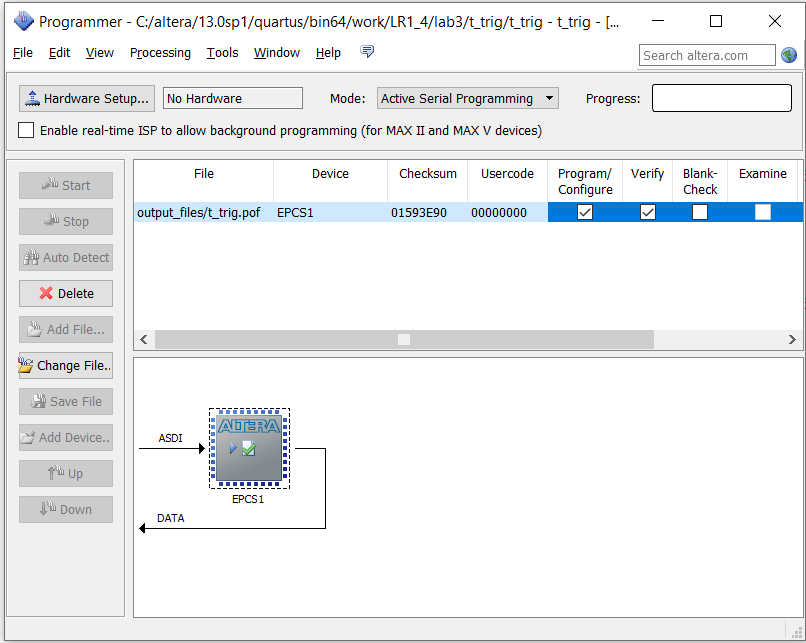


Рисунок 19 – Программирование кристалла (утилита Programmer)

**Выводы**

В ходе выполнения работы были изучены особенности функционирования основных типов триггерных устройств: одноступенчатых D-триггеров со статическим и динамическим управлением, RS-триггера, JK-триггера с динамическим управлением, Т-триггера.

В результате составлены схемы исследования данных триггеров, получены временные диаграммы их работы в системе автоматизированного проектирования Quartus II. Полученные навыки будут полезны при разработке более сложных цифровых узлов.