**МИНОБРНАУКИ РОССИИ**

**Санкт-Петербургский государственный**

**электротехнический университет**

**«ЛЭТИ» им. В.И. Ульянова (Ленина)**

**КАФЕДРА ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ**

отчет

**по лабораторной работе №4**

**по дисциплине «****Элементная база цифровых систем»**

|  |  |  |
| --- | --- | --- |
| Студент гр. 1335 |  | Максимов Ю Е |
| Преподаватель |  | Буренева О И |

Санкт-Петербург

2024

**Лабораторная работа 4.**

**ИССЛЕДОВАНИЕ РЕГИСТРОВ**

*Цель работы* – исследовать особенности проектирования регистров различного типа, закрепить навыки синтеза и экспериментального исследования узлов в среде Quartus II.

**Задание на работу**

Лабораторная работа состоит из двух частей.

*Часть 1*

Первая часть предполагает разработку 4-разрядного параллельного регистра с использованием триггеров заданного типа. Дополнительно указывается фронт тактового сигнала, по которому происходит срабатывание (↑ - подъем тактового сигнала, ↓ - спад тактового сигнала).

В качестве базовых элементов использовать соответствующие примитивы библиотеки САПР Quartus II.

*Часть 2*

Вторая часть лабораторной работы предполагает разработку многофункционального регистра на базе D-триггеров. Условное графическое обозначение приведено на рис. 1.

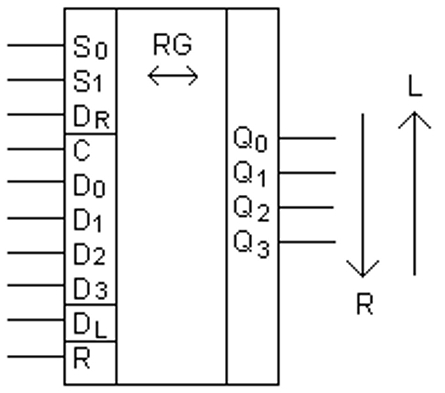


Рисунок 1 – УГО многофункционального регистра

В регистре предусмотрены следующие входы:

D0 – D3 – разряды входного параллельного кода;

Q0 – Q3 – разряды выхода;

C – синхросигнал приема параллельного кода;

R – асинхронный вход сброса регистра;

S0, S1 – входы задания микроопераций;

DR, DL – последовательные входы при сдвиге вправо и влево соответственно.

**Вариант**

*Часть 1*

Тип триггера: JK

Такт: ↑

Асинхронная установка

Разрешение выдачи: L.

*Часть 2*

Выполняемые микрооперации:

- Параллельная загрузка;

- Установка в 1 всех разрядов;

- Сдвиг вправо циклический;

- Сдвиг влево, заполнение – 1.

**Выполнение работы**

Часть 1.

Разрабатываемый 4-разрядный параллельный регистр состоит из 4-х JK-триггеров (примитив JKFF, рис. 2), Данный триггер управляется фронтом – переключение триггера происходит только в момент перепада тактового сигнала (↑).

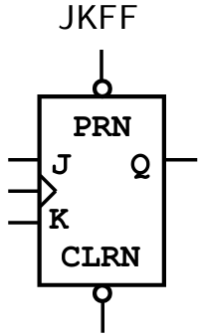


Рисунок 2 - Примитив JK-триггер в Quartus II

Регистр имеет асинхронную установку (Set) – сигнал подается на инверсные входы PRN триггеров. Вход установки регистра прямой, поэтому добавим в схему инвертор.

Разрешение выдачи организуется через конъюнкторы на выходах триггеров. Так как задан сигнал L, то добавим инвертор на данном входе регистра.

JK триггеры подключены в режиме D-триггера (J=D, K=).

Схема регистра показана на рисунке 3.

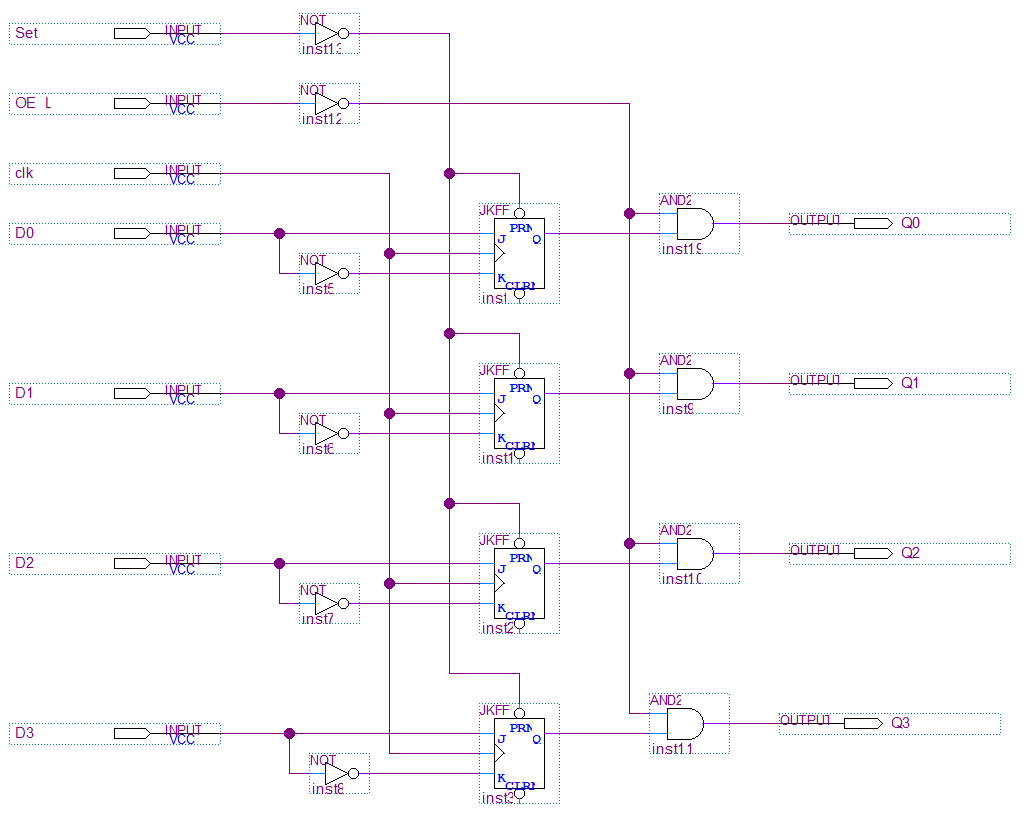


Рисунок 3 – Схема 4-разрядного параллельного регистра

Выполним функциональное моделирование схемы (рис. 4).

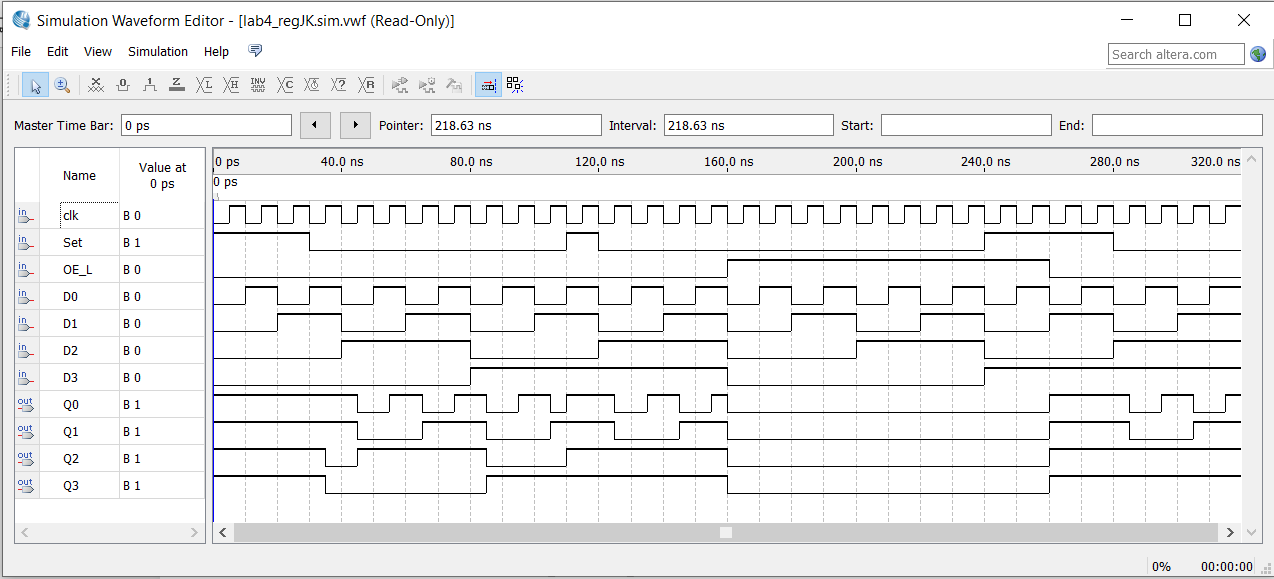


Рисунок 4 – Результаты функционального моделирования

Выполним временное моделирование схемы (рис. 5).

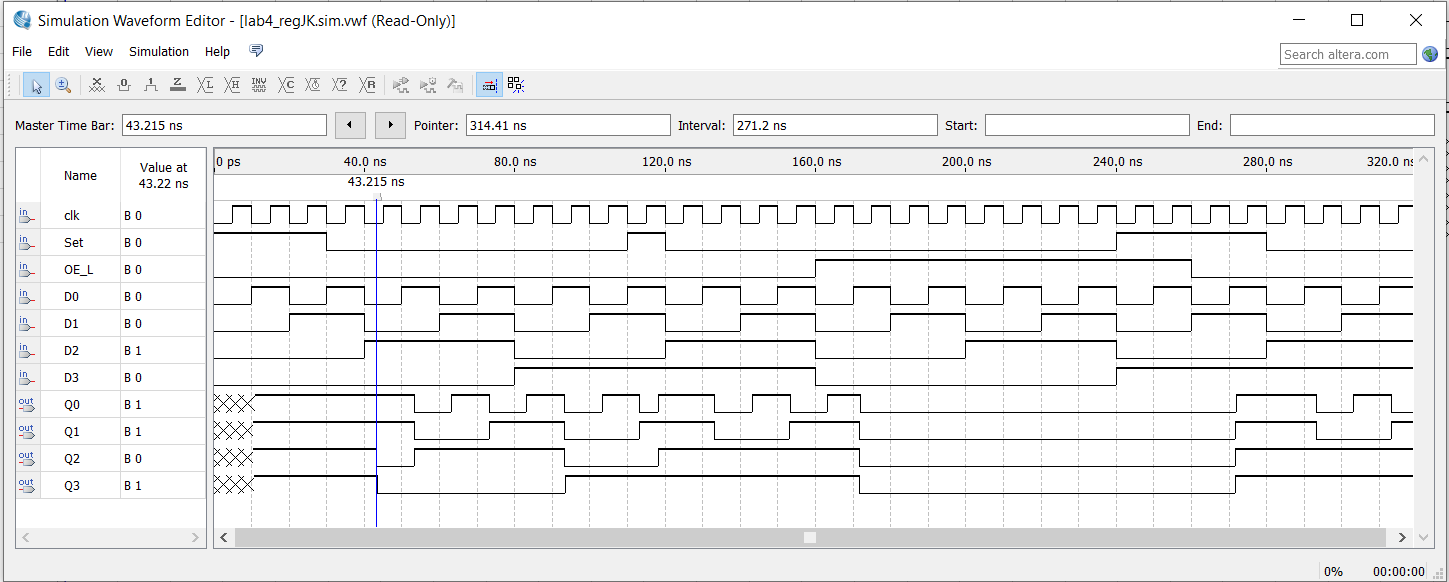


Рисунок 5 – Результаты временного моделирования

Результаты функционального моделирования показали, что регистр работает в соответствии с заданными параметрами:

- срабатывает по фронту синхронизации;

- при подаче на вход асинхронной установки (Set) сигнала лог. 1 на всех выходах регистра значение равно 1;

- сигналы на выходах появляются только в том случае, если на входе разрешения выдачи (OE\_L) установлен лог.0.

Временное моделирование показало задержку выходного сигнала на один такт и tз = 13,215ns.

Часть 2.

Выполним кодирование микроопераций (табл. 1).

Таблица 1 – Коды микроопераций

|  |  |
| --- | --- |
| Код микрооперации  S1S0 | Расшифровка |
| 00 | Параллельная загрузка |
| 01 | Установка в 1 всех разрядов |
| 10 | Сдвиг вправо циклический |
| 11 | Сдвиг влево, заполнение – 1 |

Регистр выполняется на базе D-триггеров (примитив DFF). Сигналы на информационный вход D-триггера поступают с выхода мультиплексора, который в зависимости от управляющих сигналов на адресных входах (S1S0), передает данные на выход с соответствующего информационного входа.

Определим какие данные подавать на входы мультиплексора:

0 (младший разряд) – значение разряда данных (Di);

1 – сигнал асинхронной установки (Set);

2 – сигнал с выхода триггера младшего разряда Q(i-1) / для Q0 c выхода Q3, т.к. сдвиг циклический;

3 - сигнал с выхода триггера старшего разряда Q(i+1) / для Q3 = 1, т.к. заполнение 1.

Составим схему многофункционального регистра (рис. 6).

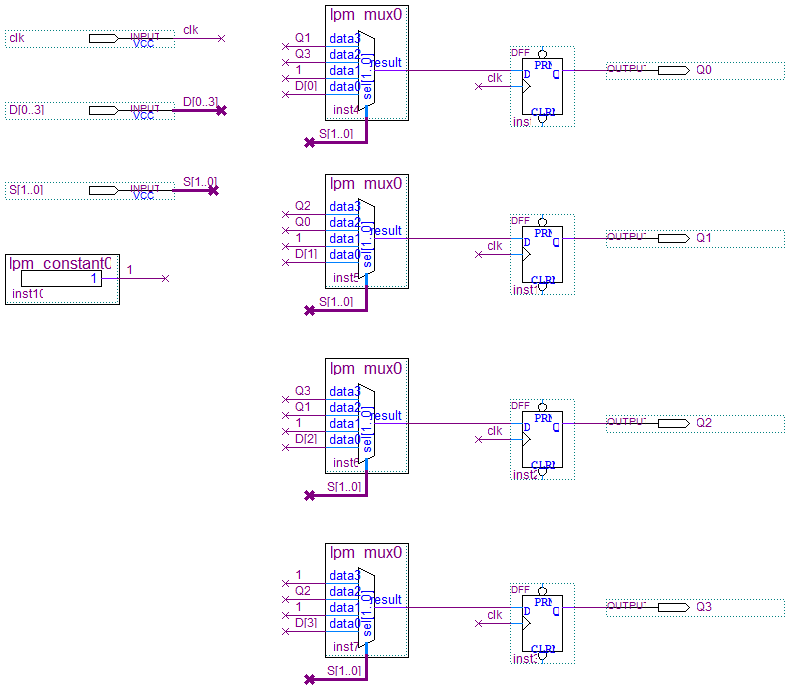


Рисунок 6 – Схема многофункционального регистра в САПР Quartus II

Выполним функциональное моделирование схемы, обеспечив полный перебор возможных значений входных сигналов (рис. 7).

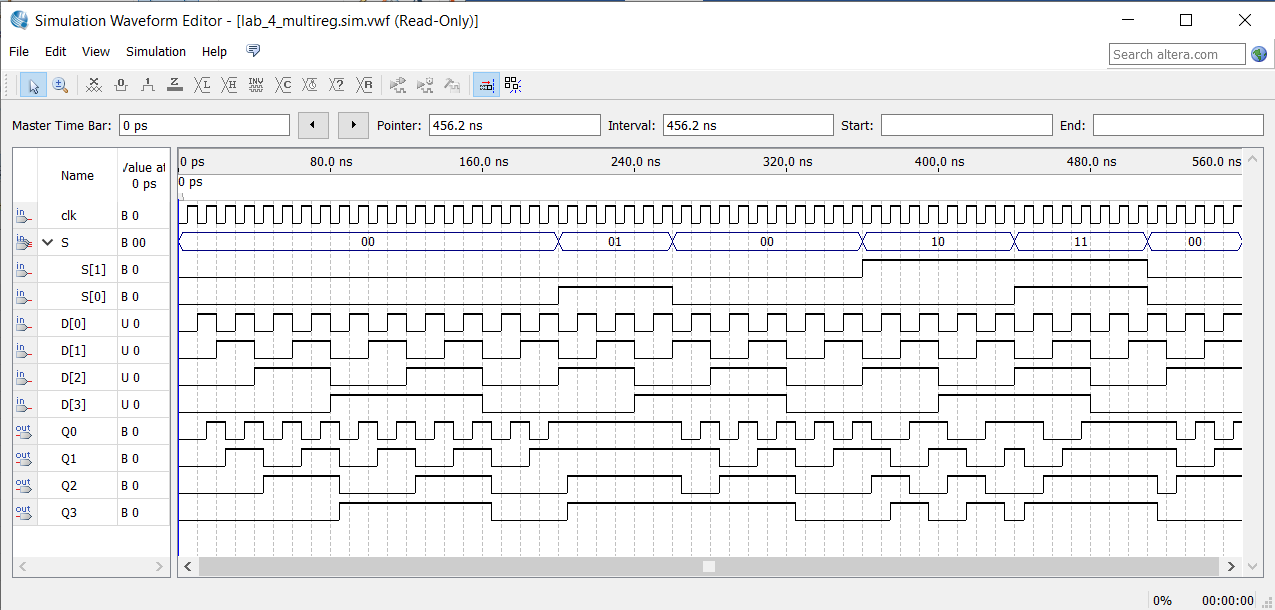


Рисунок 7 – Результаты функционального моделирования

Выполним макетирование (рис. 8-9).

Данные, загружаемые в регистр и код микрооперации сформируем на движковых переключателях. Результаты работы проекта выведем на светодиодной линейке.

Номера используемых контактов ПЛИС указаны в таблицах 2 и 3.

Таблица 2 – Номера контактов ПЛИС учебной платы

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Номер бита 8-разрядного  переключателя | 0 | 1 | 2 | 3 | 4 | 5 |
| Номер контакта FPGA | 170 | 169 | 168 | 165 | 164 | 163 |

Таблица 3 – Номера контактов ПЛИС учебной платы

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Номер светодиода 8-разрядная светодиодная линейка | 0 | 1 | 2 | 3 |
| Номер контакта FPGA | 171 | 173 | 175 | 176 |

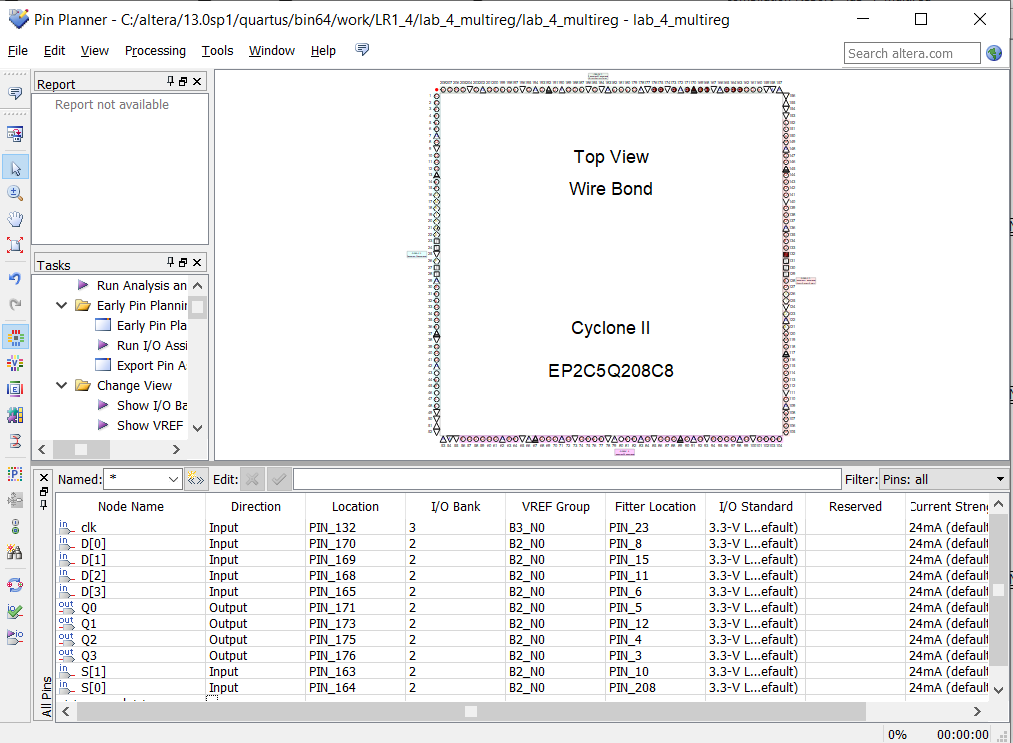


Рисунок 8 – Назначение контактов ПЛИС (вид окна Pin Planner)

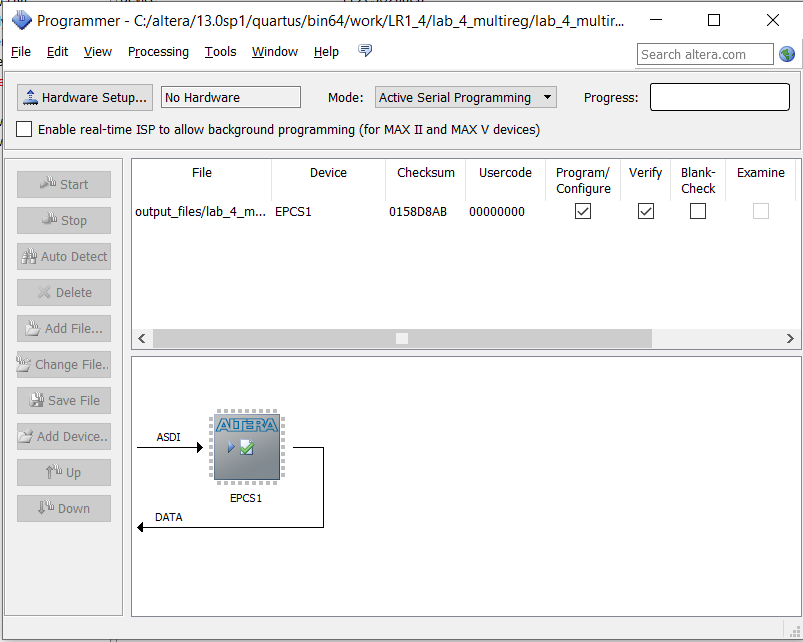


Рисунок 9 – Программирование кристалла (утилита Programmer)

**Выводы**

В ходе выполнения работы были изучены особенности проектирования регистров различного типа, закреплены навыки синтеза и экспериментального исследования узлов в среде Quartus II.

В результате составлена схема 4-разрядного параллельного регистра на JK-триггерах с заданными параметрами работы. Также разработана схема многофункционального регистра, работающего в четырех режимах: параллельная загрузка, установка в 1 всех разрядов, сдвиг вправо циклический и сдвиг влево (заполнение 1). Исследование полученных схем в системе автоматизированного проектирования Quartus II показало корректные результаты работы. Полученные навыки будут полезны при разработке более сложных цифровых узлов.