

Міністерство освіти і науки України  
Національний університет “Львівська політехніка”

Кафедра ЕОМ



## **Звіт**

З лабораторної роботи №2

З дисципліни: «Моделювання комп'ютерних систем»

На тему: «Структурний опис цифрового автомата Перевірка роботи автомата за допомогою стенда Elbert V2 – Spartan3A FPGA»

***Варіант 4 (22)***

Виконав: ст. гр. КІ-21

Погребняк А. Ю.

Прийняв:

Козак Н. Б.

## Львів 2024

### Мета роботи:

На базі стенда реалізувати цифровий автомат світлових ефектів згідно заданих вимог.

### Етапи роботи:

1. Інтерфейс пристрою та функціонал реалізувати згідно отриманого варіанту завдання.
2. Логіку переходів реалізувати з використанням мови опису апаратних засобів.
3. Логіку формування вихідних сигналів реалізувати з використанням мови опису апаратних засобів.
4. Згенерувати символи для описів логіки переходів та логіки формування вихідних сигналів.
5. Зінтегрувати всі компоненти логіки переходів логіку формування вихідних сигналів та пам'ять станів в єдину систему. Пам'ять станів реалізувати за допомогою графічних компонентів з бібліотеки.
6. Промодельовати роботу окремих частин автомата та автомата в цілому за допомогою симулятора ISim.
7. Інтегрувати створений автомат зі стендом додати подільник частоти для вхідного тактового сигналу призначити фізичні виводи на FPGA.
8. Згенерувати файл та перевірити роботу за допомогою стенда Elbert V2 – Spartan3A FPGA.
9. Підготувати і захистити звіт.

### Варіант виконання роботи:

Пристрій повинен реалізувати комбінацій вихідних сигналів згідно таблиці:

Табл.1.1 Вихідні сигнали для кожного стану.

Стан#	LED_0	LED_1	LED_2	LED_3	LED_4	LED_5	LED_6	LED_7
0	1	0	0	0	0	0	0	1
1	0	1	0	0	0	0	1	0
2	0	0	1	0	0	1	0	0
3	0	0	0	1	1	0	0	0
4	0	0	1	1	1	1	0	0
5	0	1	1	1	1	1	1	0
6	1	1	1	1	1	1	1	1
7	0	0	0	0	0	0	0	0

- Пристрій повинен використовувати тактовий сигнал 12MHz від мікроконтролера і знижувати частоту за допомогою внутрішнього подільника Мікроконтролер є частиною стенда Elbert V2 – Spartan3A FPGA. Тактовий сигнал заведено на вхід LOC = P129 FPGA.
- Інтерфейс пристрою повинен мати вхід синхронного скидання (RESET).
- Інтерфейс пристрою повинен мати вхід керування режимом роботи (MODE):
  - Якщо  $MODE=0$  то стан пристрою інкрементується по зростаючому фронту тактового сигналу пам'яті станів (0->1->2->3->4->5->6->7->0...).
  - Якщо  $MODE=1$  то стан пристрою декрементується по зростаючому фронту тактового сигналу пам'яті станів (0->7->6->5->4->3->2->1->0...).
- Інтерфейс пристрою повинен мати однорозрядний вхід (SPEED):
  - Якщо  $SPEED=0$  то автомат працює зі швидкістю, визначеною за замовчуванням.
  - Якщо  $SPEED=1$  то автомат працює зі швидкістю, В 4 РАЗИ НИЖЧОЮ ніж в режимі ( $SPEED=0$ ).
- Для керування сигналом MODE використати будь який з 8 DIP перемикачів.
- Для керування сигналами RESET/SPEED використати будь які з PUSH BUTTON кнопок.

### Виконання роботи:

- 1) Логіку переходів реалізувати з використанням мови опису апаратних засобів.

Табл.2.2.1-2.2.3. Логіка переходів для всіх станів автомата.

1)

MODE	CUR_STATE(2)	CUR_STATE(1)	CUR_STATE(0)	NEXT_STATE(0)
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0

1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

2)

MODE	CUR_STATE(2)	CUR_STATE(1)	CUR_STATE(0)	NEXT_STATE(1)
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

3)

MODE	CUR_STATE(2)	CUR_STATE(1)	CUR_STATE(0)	NEXT_STATE(2)
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0

1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Мінімізовані функції наступних станів автомата:

$NEXT\_STATE(0) = \text{not}(CURR\_STATE(0));$

$NEXT\_STATE(1) = ((\text{not}(\text{MODE}) \text{ and } \text{not}(CURR\_STATE(1)) \text{ and } CURR\_STATE(0)) \text{ or } (\text{not}(\text{MODE}) \text{ and } CURR\_STATE(1) \text{ and } \text{not}(CURR\_STATE(0))) \text{ or } (\text{MODE} \text{ and } \text{not}(CURR\_STATE(1)) \text{ and } \text{not}(CURR\_STATE(0))) \text{ or } (\text{MODE} \text{ and } CURR\_STATE(1) \text{ and } CURR\_STATE(0)));$

$NEXT\_STATE(2) \leq ((\text{not}(\text{MODE}) \text{ and } CURR\_STATE(2) \text{ and } \text{not}(CURR\_STATE(1))) \text{ or } (CURR\_STATE(2) \text{ and } CURR\_STATE(1) \text{ and } \text{not}(CURR\_STATE(0))) \text{ or } (\text{MODE} \text{ and } CURR\_STATE(2) \text{ and } CURR\_STATE(0)) \text{ or } (\text{not}(\text{MODE}) \text{ and } \text{not}(CURR\_STATE(2)) \text{ and } CURR\_STATE(1) \text{ and } CURR\_STATE(0)) \text{ or } (\text{MODE} \text{ and } \text{not}(CURR\_STATE(2)) \text{ and } \text{not}(CURR\_STATE(1)) \text{ and } \text{not}(CURR\_STATE(0))));$

```

1  library IEEE;
2  use IEEE.STD_LOGIC_1164.ALL;
3
4  entity TRANSITION_LOGIC is
5      Port (CURR_STATE : in std_logic_vector(2 downto 0);
6            MODE : in std_logic;
7            NEXT_STATE : out std_logic_vector(2 downto 0)
8          );
9  end TRANSITION_LOGIC;
10
11 architecture TRANSITION_LOGIC_ARCH of TRANSITION_LOGIC is
12
13 begin
14     NEXT_STATE(0) <= (not(CURR_STATE(0))) after 1 ns;
15     NEXT_STATE(1) <= (((not(MODE) and not(CURR_STATE(1)) and CURR_STATE(0)) or
16                       (not(MODE) and CURR_STATE(1) and not(CURR_STATE(0))) or
17                       (MODE and not(CURR_STATE(1)) and not(CURR_STATE(0))) or
18                       (MODE and CURR_STATE(1) and CURR_STATE(0))) after 1 ns;
19     NEXT_STATE(2) <= (((not(MODE) and CURR_STATE(2) and not(CURR_STATE(1))) or
20                       (CURR_STATE(2) and CURR_STATE(1) and not(CURR_STATE(0))) or
21                       (MODE and CURR_STATE(2) and CURR_STATE(0)) or
22                       (not(MODE) and not(CURR_STATE(2)) and CURR_STATE(1) and CURR_STATE(0)) or
23                       (MODE and not(CURR_STATE(2)) and not(CURR_STATE(1)) and not(CURR_STATE(0)))) after 1 ns;
24
25 end TRANSITION_LOGIC_ARCH;
26
27
28

```

Рис.2.1. VHDL опис логіки переходів.

- 2) Логіку формування вихідних сигналів реалізувати з використанням мови опису апаратних засобів VHDL.

Логічні вирази для вихідних сигналів:

#### Варіант – 4:

- Пристрій повинен реалізувати 8 комбінацій вихідних сигналів згідно таблиці:

Стан#	LED_0	LED_1	LED_2	LED_3	LED_4	LED_5	LED_6	LED_7
0	1	0	0	0	0	0	0	1
1	0	1	0	0	0	0	1	0
2	0	0	1	0	0	1	0	0
3	0	0	0	1	1	0	0	0
4	0	0	1	1	1	1	0	0
5	0	1	1	1	1	1	1	0
6	1	1	1	1	1	1	1	1
7	0	0	0	0	0	0	0	0

За допомогою мінімізації!

OUT\_BUS(0) <= ((not(IN\_BUS(2)) and not(IN\_BUS(1)) and not(IN\_BUS(0))) or (IN\_BUS(2) and IN\_BUS(1) and not(IN\_BUS(0)))) after 1 ns;

OUT\_BUS(1) <= ((not(IN\_BUS(1)) and IN\_BUS(0)) or (IN\_BUS(2) and IN\_BUS(1) and not(IN\_BUS(0)))) after 1 ns;

OUT\_BUS(2) <= ((IN\_BUS(1) and not(IN\_BUS(0))) or (IN\_BUS(2) and not(IN\_BUS(1)))) after 1 ns;

OUT\_BUS(3) <= ((IN\_BUS(2) and not(IN\_BUS(1))) or (IN\_BUS(2) and not(IN\_BUS(0))) or (not(IN\_BUS(2)) and IN\_BUS(1) and IN\_BUS(0))) after 1 ns;

OUT\_BUS(4) <= ((IN\_BUS(2) and not(IN\_BUS(1))) or (IN\_BUS(2) and not(IN\_BUS(0))) or (not(IN\_BUS(2)) and IN\_BUS(1) and IN\_BUS(0))) after 1 ns;

OUT\_BUS(5) <= ((IN\_BUS(1) and not(IN\_BUS(0))) or (IN\_BUS(2) and not(IN\_BUS(1)))) after 1 ns;

OUT\_BUS(6) <= ((not(IN\_BUS(1)) and IN\_BUS(0)) or (IN\_BUS(2) and IN\_BUS(1) and not(IN\_BUS(0)))) after 1 ns;

OUT\_BUS(7) <= ((not(IN\_BUS(2)) and not(IN\_BUS(1)) and not(IN\_BUS(0))) or (IN\_BUS(2) and IN\_BUS(1) and not(IN\_BUS(0)))) after 1 ns;

```
1  library IEEE;
2  use IEEE.STD_LOGIC_1164.ALL;
3
4  entity OUTPUT_LOGIC is
5      Port ( IN_BUS : in  std_logic_vector(2 downto 0);
6            OUT_BUS : out std_logic_vector(7 downto 0) );
7  end OUTPUT_LOGIC;
8
9  architecture OUTPUT_LOGIC_ARCH of OUTPUT_LOGIC is
10
11  begin
12
13
14      OUT_BUS(0) <= ((not(IN_BUS(2)) and not(IN_BUS(1)) and not(IN_BUS(0))) or (IN_BUS(2) and IN_BUS(1) and not(IN_BUS(0)))) after 1 ns;
15      OUT_BUS(1) <= ((not(IN_BUS(1)) and IN_BUS(0)) or (IN_BUS(2) and IN_BUS(1) and not(IN_BUS(0)))) after 1 ns;
16      OUT_BUS(2) <= ((IN_BUS(1) and not(IN_BUS(0))) or (IN_BUS(2) and not(IN_BUS(1)))) after 1 ns;
17      OUT_BUS(3) <= ((IN_BUS(2) and not(IN_BUS(1))) or (IN_BUS(2) and not(IN_BUS(0))) or (not(IN_BUS(2)) and IN_BUS(1) and IN_BUS(0))) after 1 ns;
18      OUT_BUS(4) <= ((IN_BUS(2) and not(IN_BUS(1))) or (IN_BUS(2) and not(IN_BUS(0))) or (not(IN_BUS(2)) and IN_BUS(1) and IN_BUS(0))) after 1 ns;
19      OUT_BUS(5) <= ((IN_BUS(1) and not(IN_BUS(0))) or (IN_BUS(2) and not(IN_BUS(1)))) after 1 ns;
20      OUT_BUS(6) <= ((not(IN_BUS(1)) and IN_BUS(0)) or (IN_BUS(2) and IN_BUS(1) and not(IN_BUS(0)))) after 1 ns;
21      OUT_BUS(7) <= ((not(IN_BUS(2)) and not(IN_BUS(1)) and not(IN_BUS(0))) or (IN_BUS(2) and IN_BUS(1) and not(IN_BUS(0)))) after 1 ns;
22
23  end OUTPUT_LOGIC_ARCH;
24
25  |
```

Рис.2.4. VHDL опис вихідних сигналів.

3) Зінтегрувати всі компоненти логіки переходів логіки формування вихідних сигналів та пам'ять станів в єдину систему за допомогою ISE WebPACK Schematic Capture. Пам'ять станів реалізувати за допомогою графічних компонентів з бібліотеки.

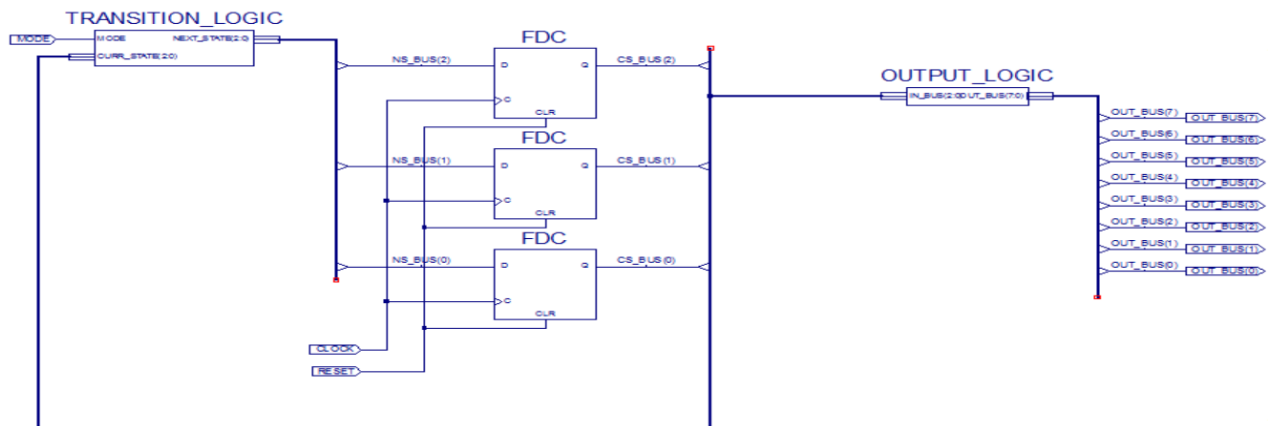


Рис.2.6. Інтеграція всіх створених компонентів разом з пам'ятю стану автомата.

5) Промоделювати роботу окремих частин автомата та автомата в цілому за допомогою симулятора ISim.

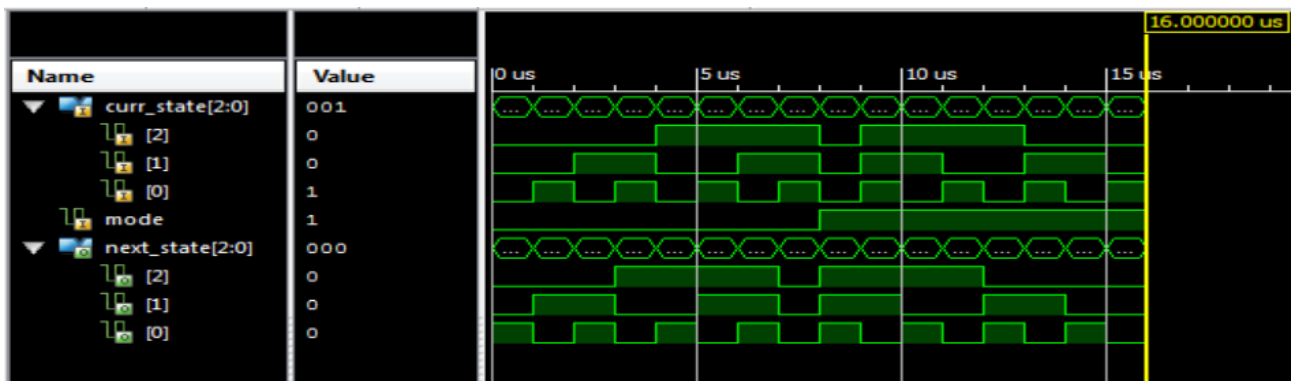


Рис.2.7. Результати симуляції логіки переходів в ISim.

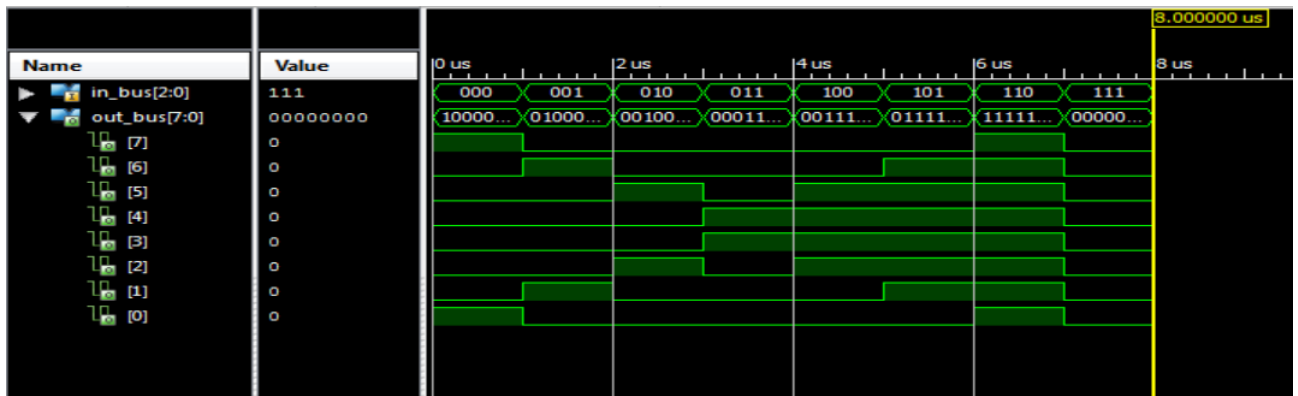


Рис.2.8. Результати симуляції логіки вихідних сигналів в ISim.

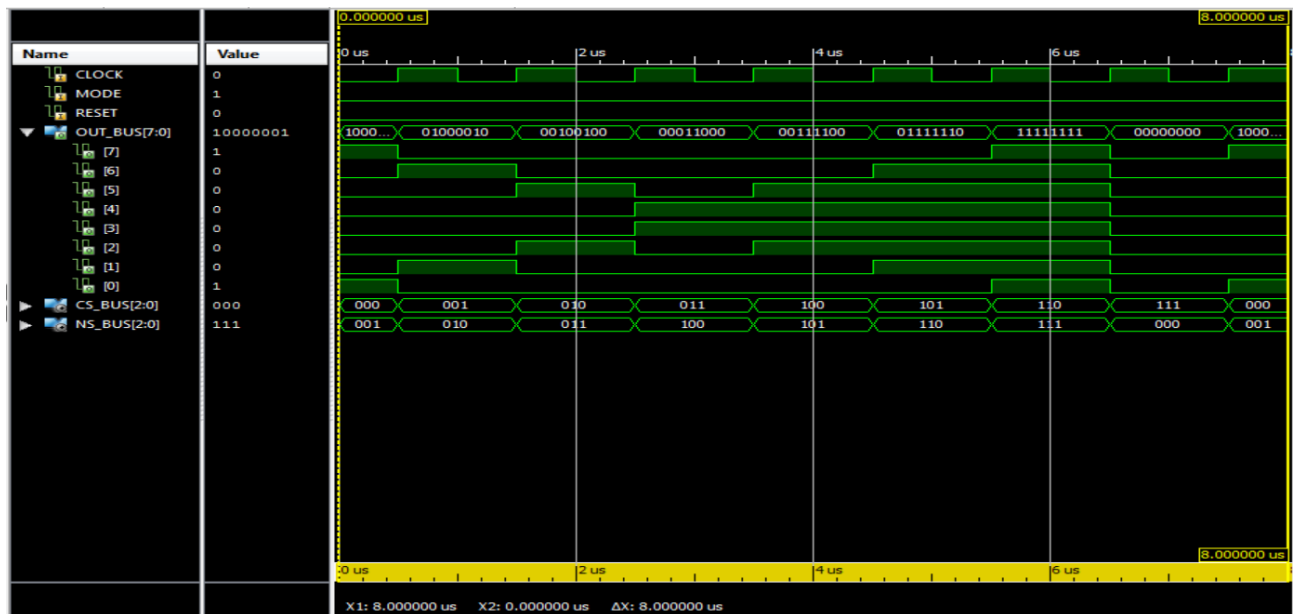


Рис.2.9. Результати симуляції автомата ( $MODE = 0$ ,  $RESET = 0$ ).

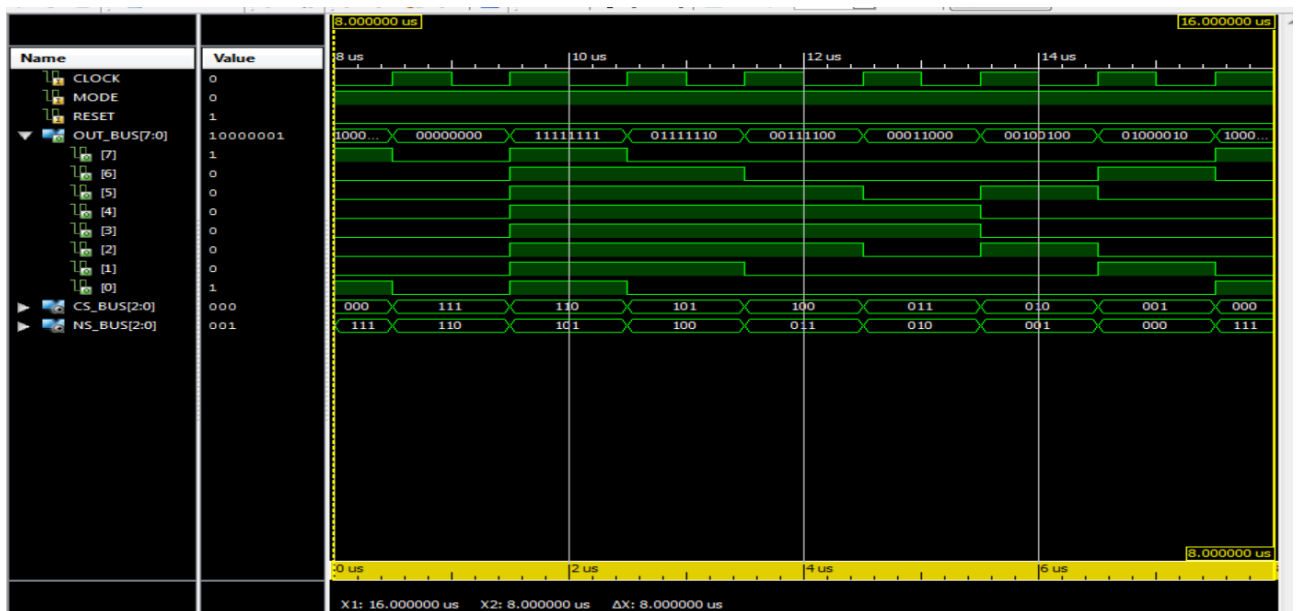


Рис.2.10. Результати симуляції автомата ( $MODE = 1$ ,  $RESET = 0$ ).





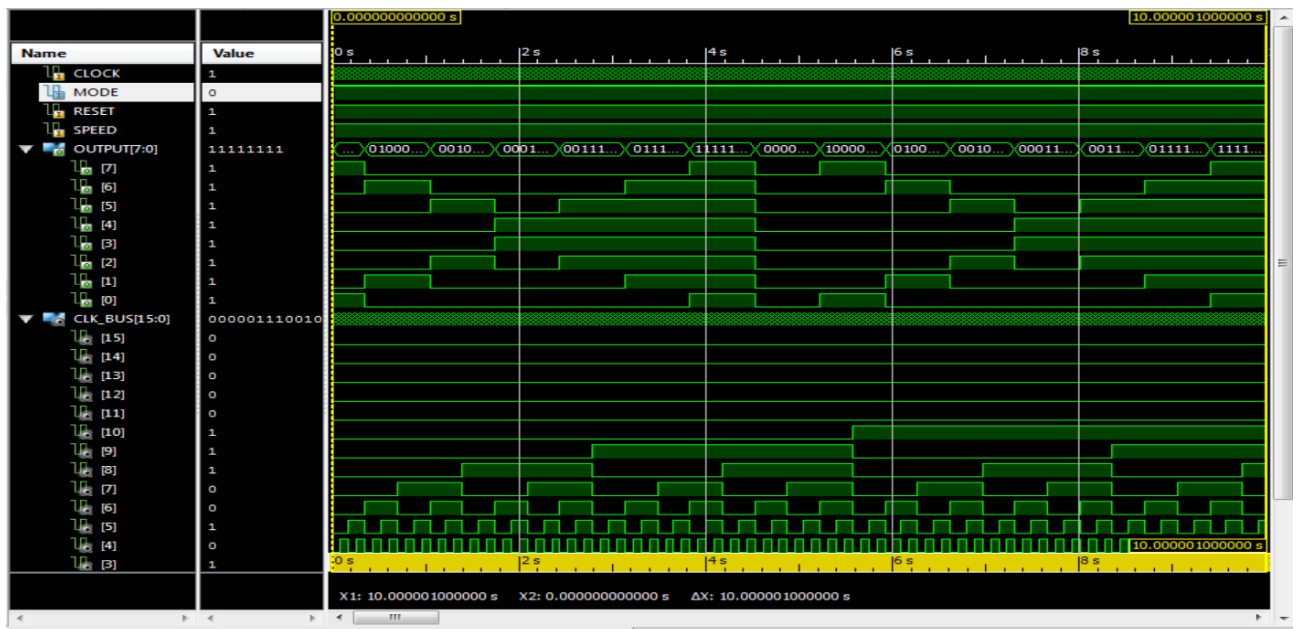


Рис.2.13. Результати симуляції фінальної схеми ( $MODE = 0$ ,  $SPEED = 0$ ,  $RESET = 0$ ).

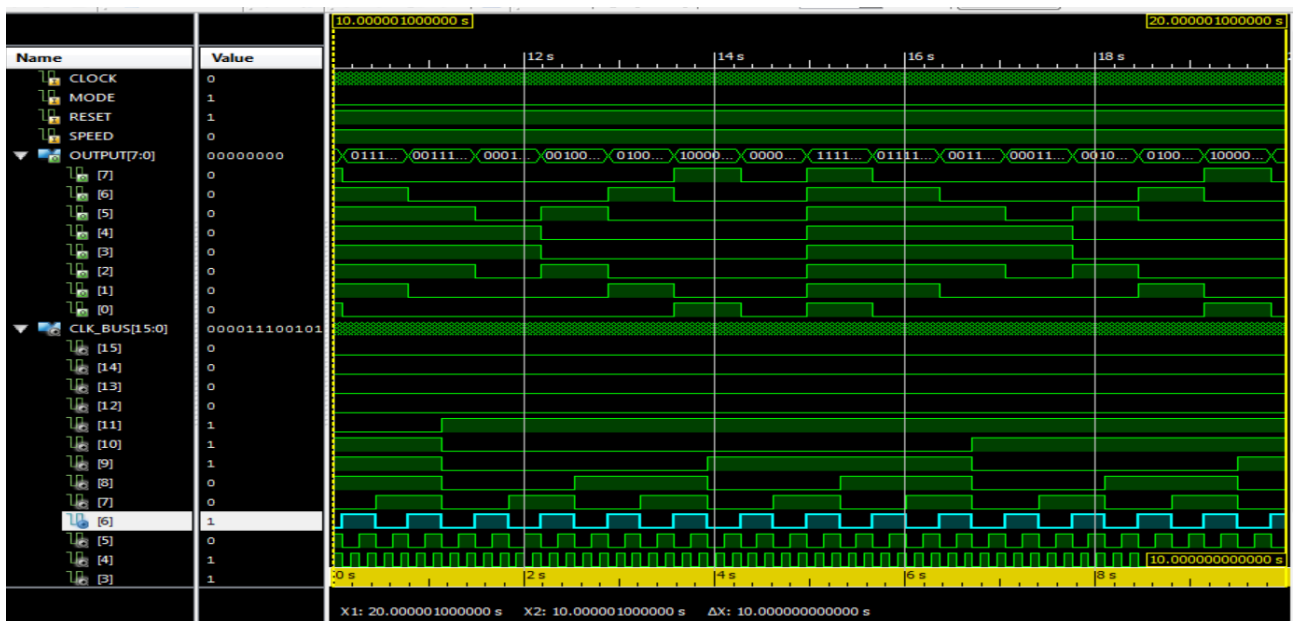


Рис.2.14. Результати симуляції фінальної схеми ( $MODE = 1$ ,  $SPEED = 0$ ,  $RESET = 0$ ).

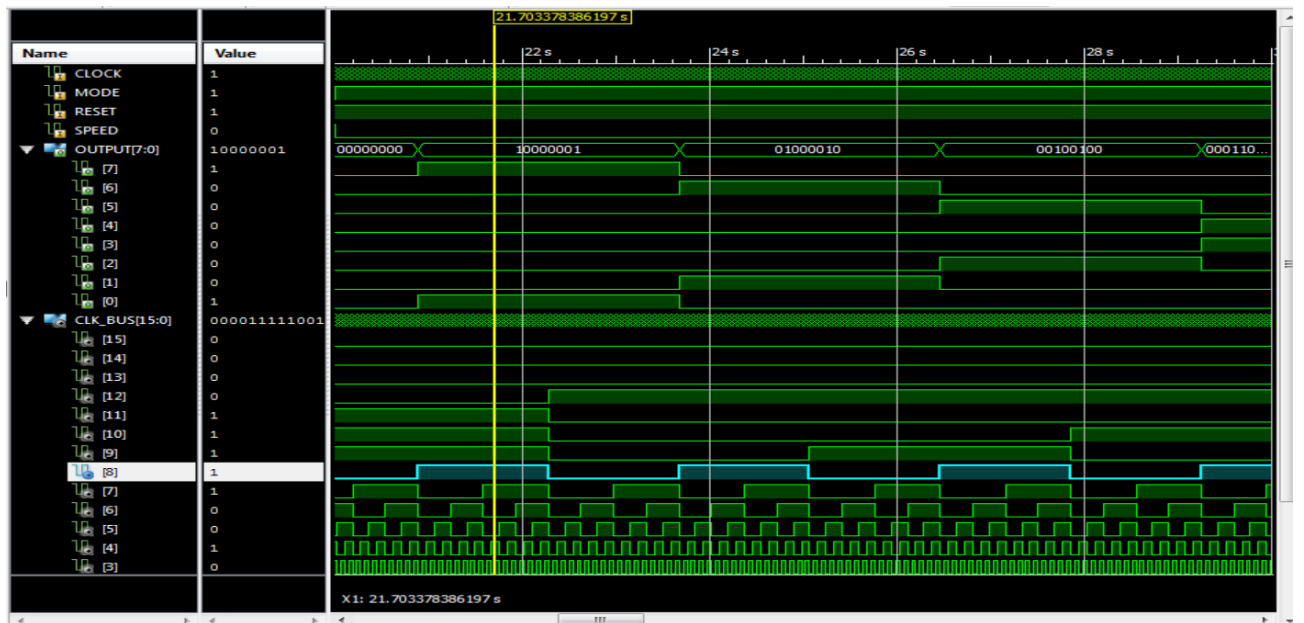


Рис.2.15. Результати симуляції фінальної схеми ( $MODE = 0$ ,  $SPEED = 1$ ,  $RESET = 0$ ).

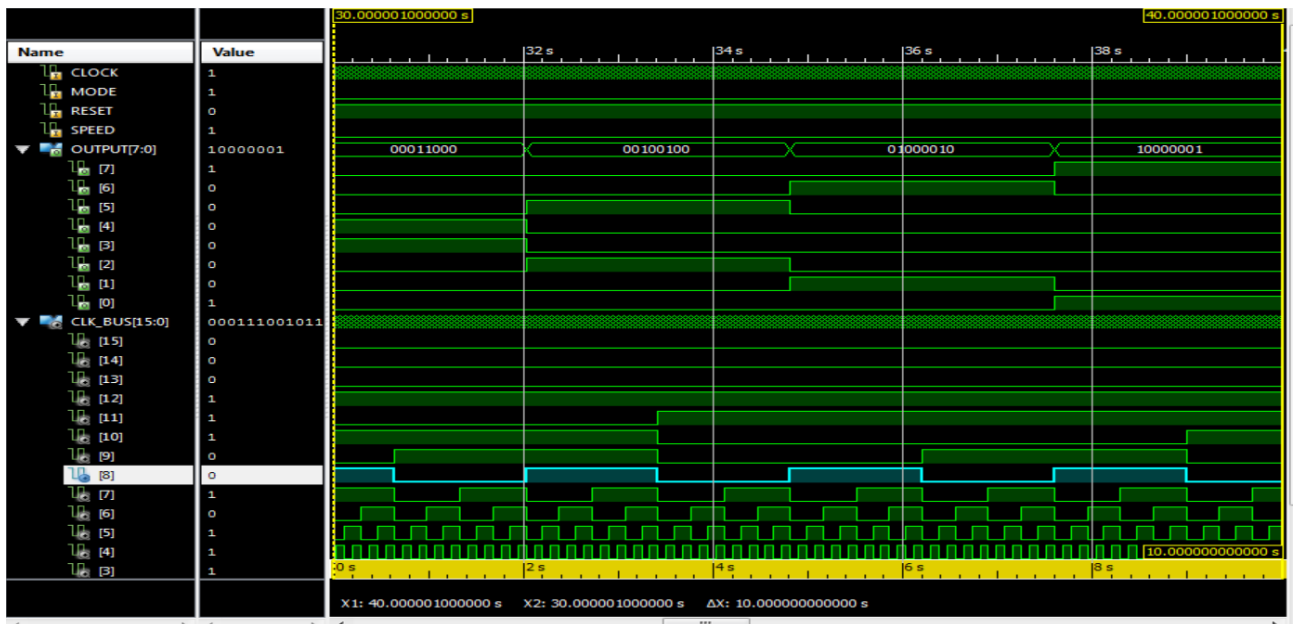


Рис.2.16. Результати симуляції фінальної схеми ( $MODE = 1$ ,  $SPEED = 1$ ,  $RESET = 0$ ).

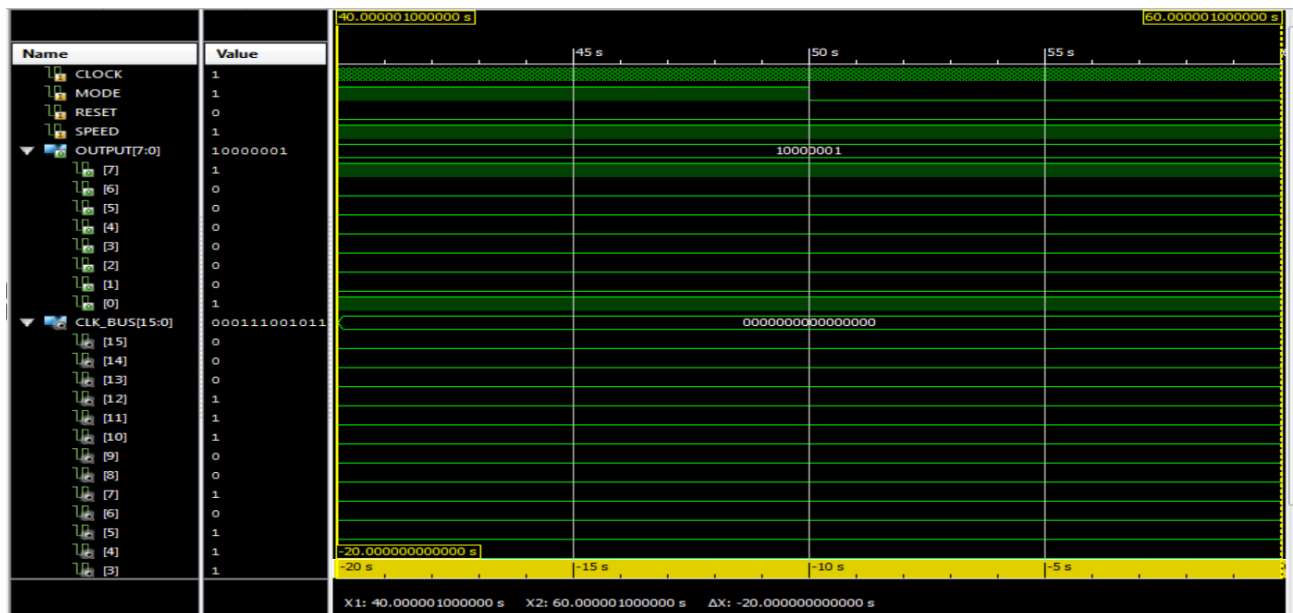


Рис.2.17. Результати симуляції фінальної схеми ( $MODE = 0$ ,  $SPEED = 0$ ,  $RESET = 1$ ).

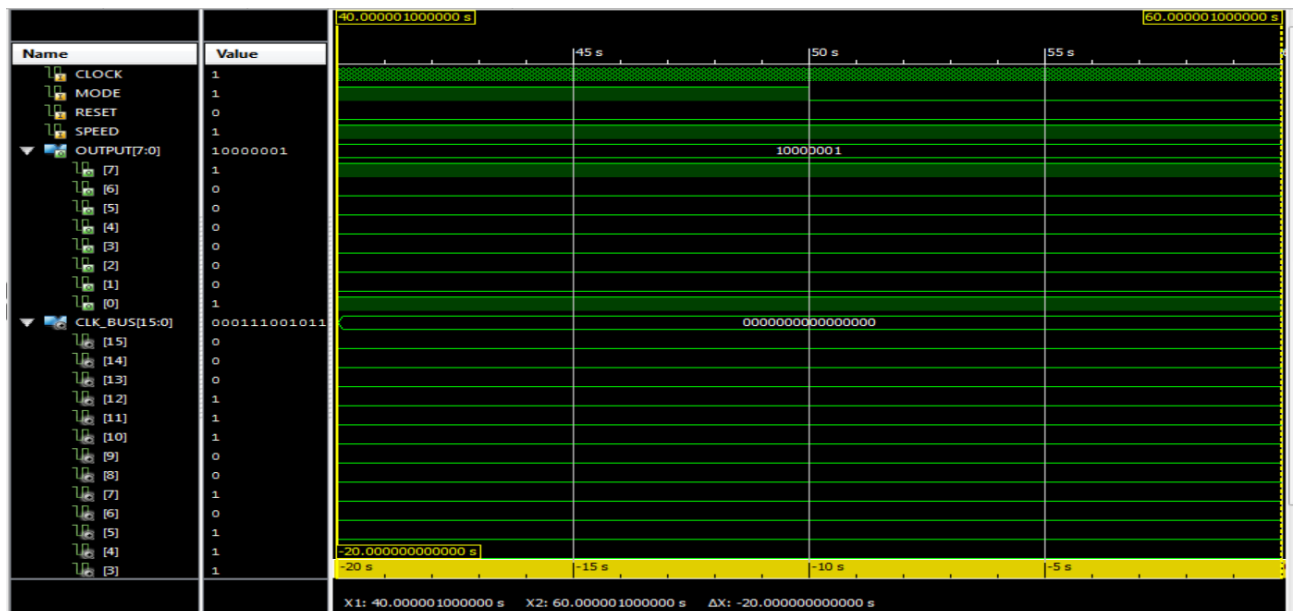


Рис.2.18. Результати симуляції фінальної схеми ( $MODE = 1$ ,  $SPEED = 0$ ,  $RESET = 1$ ).

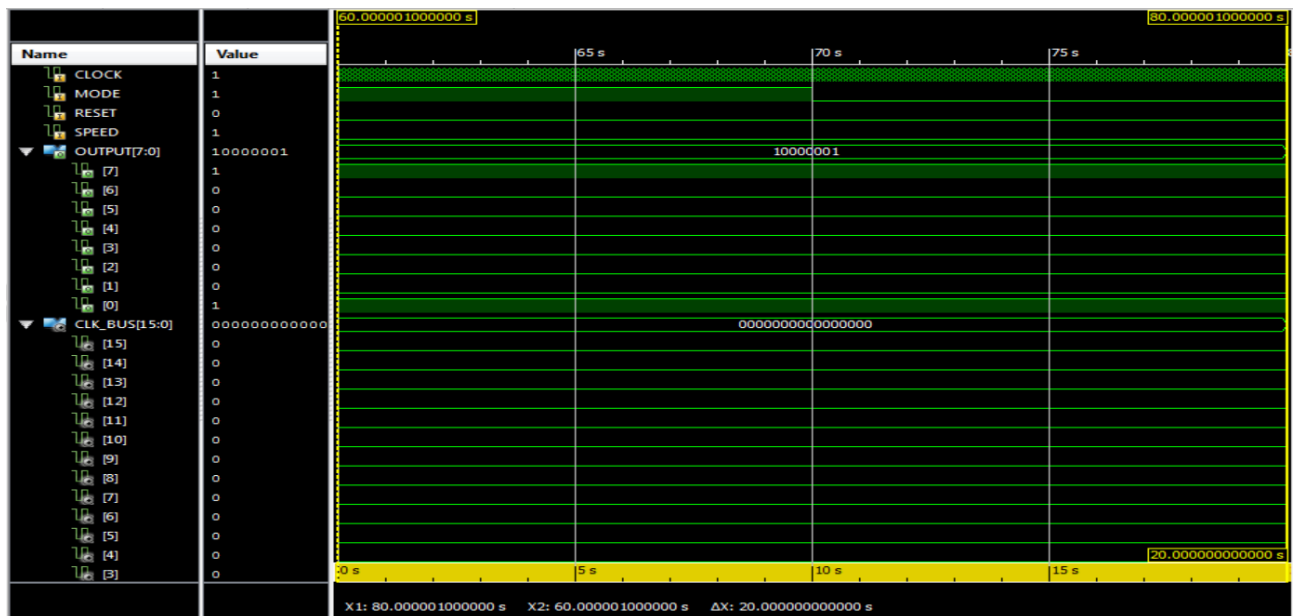


Рис.2.19. Результати симуляції фінальної схеми ( $MODE = 0$ ,  $SPEED = 1$ ,  $RESET = 1$ ).

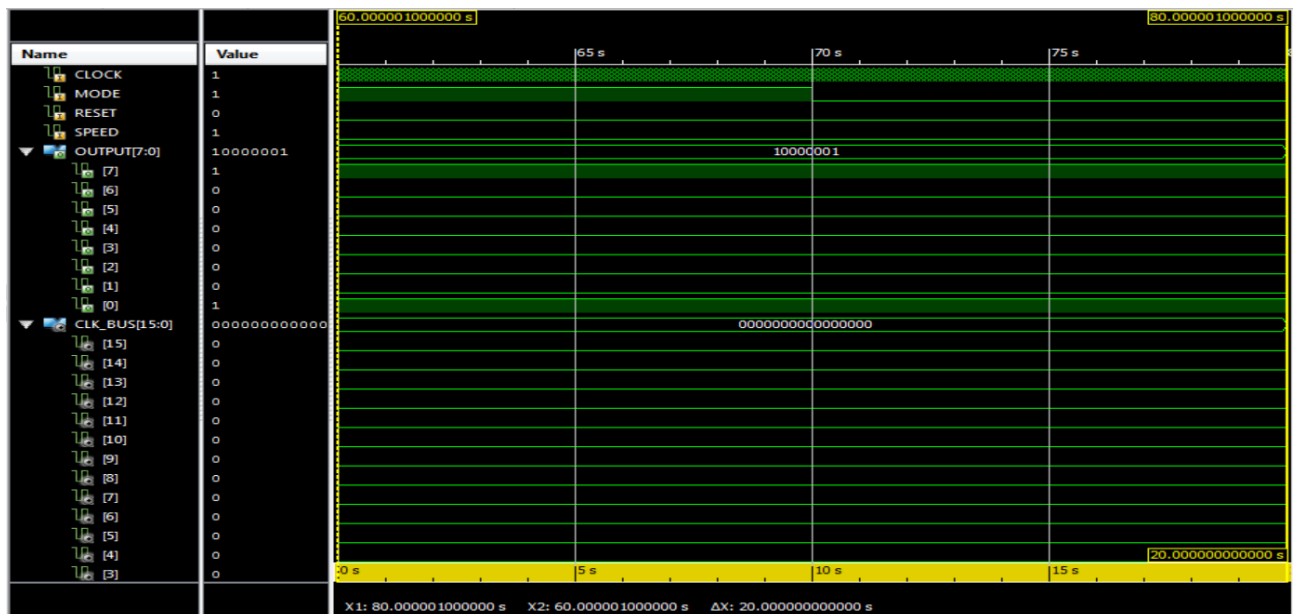


Рис.2.20. Результати симуляції фінальної схеми ( $MODE = 1$ ,  $SPEED = 1$ ,  $RESET = 1$ ).

## TEST BENCH:

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
USE ieee.numeric_std.ALL;
LIBRARY UNISIM;
USE UNISIM.Vcomponents.ALL;
ENTITY TOP_SCHEME_TOP_SCHEME_sch_tb IS
END TOP_SCHEME_TOP_SCHEME_sch_tb;
ARCHITECTURE behavioral OF TOP_SCHEME_TOP_SCHEME_sch_tb IS

```

```

COMPONENT TOP_SCHEME
PORT( CLOCK :      IN      STD_LOGIC;
      RESET  :      IN      STD_LOGIC;

```

```

    SPEED   :      IN    STD_LOGIC;
    OUTPUT  :      OUT    STD_LOGIC_VECTOR (7 DOWNTO 0);
    MODE    :      IN    STD_LOGIC);
END COMPONENT;

```

```

SIGNAL CLOCK      :      STD_LOGIC := '0';
SIGNAL RESET      :      STD_LOGIC;
SIGNAL SPEED      :      STD_LOGIC;
SIGNAL OUTPUT     :      STD_LOGIC_VECTOR (7 DOWNTO 0);
SIGNAL MODE       :      STD_LOGIC;

```

```

BEGIN

```

```

    CLOCK <= not CLOCK after 83ns;

```

```

    UUT: TOP_SCHEME PORT MAP(
        CLOCK => CLOCK,
        RESET => RESET,
        SPEED => SPEED,
        OUTPUT => OUTPUT,
        MODE => MODE

```

```

    );

```

```

-- *** Test Bench - User Defined Section ***

```

```

tb : PROCESS

```

```

    BEGIN

```

```

        MODE <= '0';
        SPEED <= '0';
        RESET <= '1', '0' after 20ms;
        wait until RESET = '0';

```

```

        assert OUTPUT = "10000001";
        wait for 696255us;
        assert OUTPUT = "01000010";
        wait for 1392509us;
        assert OUTPUT = "00100100";
        wait for 1392509us;
        assert OUTPUT = "00011000";
        wait for 1392509us;
        assert OUTPUT = "00111100";
        wait for 1392509us;
        assert OUTPUT = "01111110";
        wait for 1392509us;
        assert OUTPUT = "11111111";
        wait for 1392509us;
        assert OUTPUT = "00000000";
        wait for 1392509us;

```

```

        SPEED <= '1';
        RESET <= '1', '0' after 1ms;
        wait until RESET = '0';

```

```

        assert OUTPUT = "10000001";
        wait for 2786028us;
        assert OUTPUT = "01000010";
        wait for 5570036us;
        assert OUTPUT = "00100100";
        wait for 5570036us;

```

```
assert OUTPUT = "00011000";
wait for 5570036us;
assert OUTPUT = "00111100";
wait for 5570036us;
assert OUTPUT = "01111110";
wait for 5570036us;
assert OUTPUT = "11111111";
wait for 5570036us;
assert OUTPUT = "00000000";
wait for 5570036us;
```

```
MODE <= '1';
RESET <= '1', '0' after 1ms;
wait until RESET = '0';
```

```
assert OUTPUT = "10000001";
wait for 2786028us;
assert OUTPUT = "00000000";
wait for 5570036us;
assert OUTPUT = "11111111";
wait for 5570036us;
assert OUTPUT = "01111110";
wait for 5570036us;
assert OUTPUT = "00111100";
wait for 5570036us;
assert OUTPUT = "00011000";
wait for 5570036us;
assert OUTPUT = "00100100";
wait for 5570036us;
assert OUTPUT = "01000010";
wait for 5570036us;
```

```
SPEED <= '0';
RESET <= '1', '0' after 1ms;
wait until RESET = '0';
```

```
assert OUTPUT = "10000001";
wait for 696255us;
assert OUTPUT = "01000010";
wait for 1392509us;
assert OUTPUT = "00100100";
wait for 1392509us;
assert OUTPUT = "00011000";
wait for 1392509us;
assert OUTPUT = "00111100";
wait for 1392509us;
assert OUTPUT = "01111110";
wait for 1392509us;
assert OUTPUT = "11111111";
wait for 1392509us;
assert OUTPUT = "00000000";
wait for 1392509us;
```

```
SPEED <= '0';
RESET <= '1', '0' after 1ms;
```

```
wait until RESET = '0';
```

```
END PROCESS;
```

```
-- *** End Test Bench - User Defined Section ***
```

```
END;
```

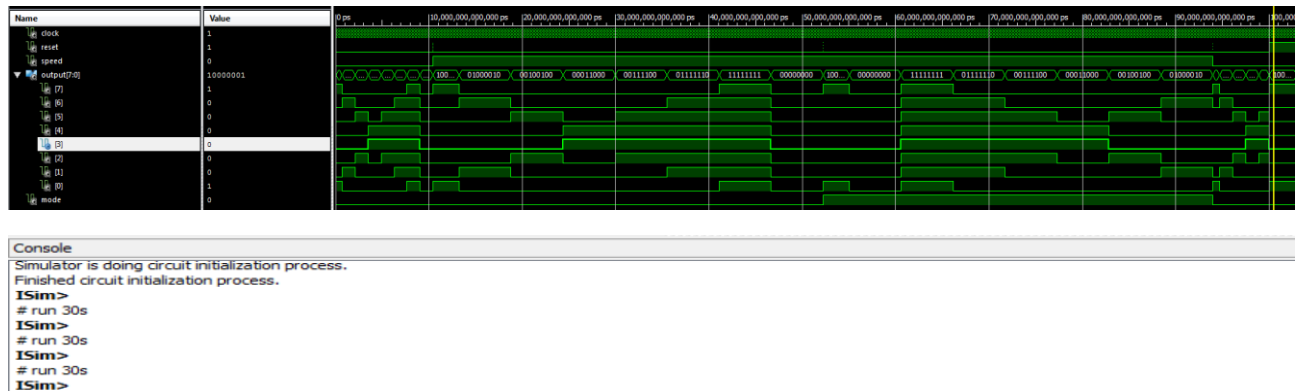


Рис.2.21. Часова діаграма.

б) Інтегрувати створений автомат зі стендом Elbert V2 – Spartan3A FPGA. Додати подільник частоти для вхідного тактового сигналу призначити фізичні виводи на FPGA.

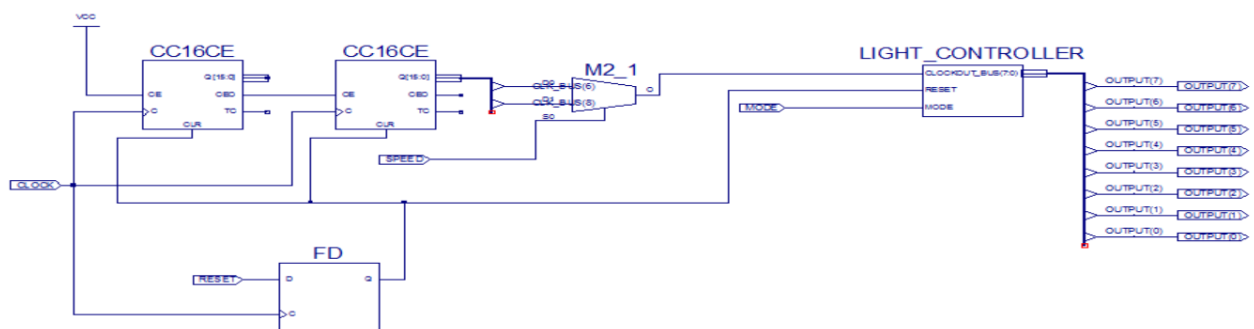


Рис.2.22. Автомат світлових сигналів та подільник тактового сигналу.

Рис.2.23. Призначення фізичних входів та виходів.

**Висновок:**



В ході виконання цієї лабораторної роботи я реалізував на базі стенда Elbert V2 – Spartan3A FPGA цифровий автомат світлових ефектів згідно заданих вимог.