Міністерство освіти і науки України

Національний університет "Львівська політехніка"

Кафедра ЕОМ



Звіт

3 лабораторної роботи №1

3 дисципліни: «Моделювання комп'ютерних систем»

На тему: «Інсталяція та ознайомлення з середовищем розробки Xilinx ISE. Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA»

Варіант 22

Виконав

ст. гр. КІ-21

Погребняк А. Ю.

Прийняв:

Козак Н. Б.

Мета роботи:

Інсталювати та ознайомитися з середовищем розробки Xilinx ISE. Ознайомитися зі стендом Elbert V2 – Spartan 3A FPGA.

Етапи роботи:

- 1. Інсталяція Xilinx ISE та додавання ліцензії. Побудова дешифратора (згідно варіанту) за допомогою ISE WebPACKTM
- 2. Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
- 3. Генерування Bit файала та тестування за допомогою стенда Elbert V2 Spartan 3A FPGA.

Варіант виконання роботи:

Мій номер в списку — 22. Нижче наведена таблиця вхідних та вихідних сигналів для мого варіанту.

in_3	in_2	in_1	in_0	out_0	out_1	out_2	out_3	out_4	out_5
0	0	0	0	1	0	0	1	0	1
0	0	0	1	1	0	1	0	0	1
0	0	1	0	0	0	0	0	1	1
0	0	1	1	0	0	0	0	0	1
0	1	0	0	0	0	0	0	0	1
0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	0	0	0	0	1
0	1	1	1	0	0	0	0	0	1
1	0	0	0	0	1	0	0	0	0
1	0	0	1	0	1	0	0	0	0
1	0	1	0	1	1	0	0	0	1
1	0	1	1	1	1	0	0	1	1
1	1	0	0	1	1	0	0	0	1
1	1	0	1	0	1	0	0	0	1
1	1	1	0	0	1	0	0	0	1
1	1	1	1	0	1	0	1	1	1
1	1	1	1	0	1	J	1	1	

Мінімізація формул вихідних сигналів:

OUT_0 =

Мар

Map Layout

Groups

(0,1)	A.B.C
(1,5)	A.C.D
(10,11)	A.B.C
(12)	A.B.C.D

y = A'B'C' + A'C'D + AB'C + ABC'D'

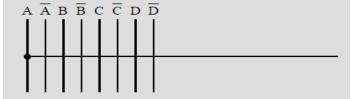
OUT_1 =

Map Layout

Groups

(8,9,10,11,12,13,14,15) A

y = A



OUT_2 =

	$\overline{C}.\overline{D}$	$\overline{\mathrm{C}}.\mathrm{D}$	C.D	$C.\overline{D}$
$\overline{A}.\overline{B}$	0	1	0	0
Ā.B	0	0	0	0
A.B	0	0	0	0
$A.\overline{B}$	0	0	0	0

Map Layout

	$\overline{C}.\overline{D}$	\overline{C} .D	C.D	$C.\overline{D}$
$\overline{A}.\overline{B}$	0	1	3	2
A.B	4	5	7	6
A.B	12	13	15	14
$A.\overline{B}$	8	9	11	10

Groups



y = A'B'C'D

OUT_3 =

	$\overline{C}.\overline{D}$	C.D	C.D	C.Ī
$\overline{A}.\overline{B}$	1	0	0	0
\overline{A} .B	0	0	0	0
A.B	0	0	1	0
$A.\overline{B}$	0	0	0	0

Map Layout

	$\overline{C}.\overline{D}$	\overline{C} .D	C.D	$C.\overline{D}$
$\overline{A}.\overline{B}$	0	1	3	2
Ā.B	4	5	7	6
A.B	12	13	15	14
$A.\overline{B}$	8	9	11	10

Groups

(0)	$\overline{A}.\overline{B}.\overline{C}.\overline{D}$
(15)	A.B.C.D

y = A'B'C'D' + ABCD

OUT_4 =

Map

Map Layout

Groups

(11,15)	A.C.D
(2)	$\overline{A}.\overline{B}.C.\overline{D}$

y = ACD + A'B'CD'

OUT_5 =

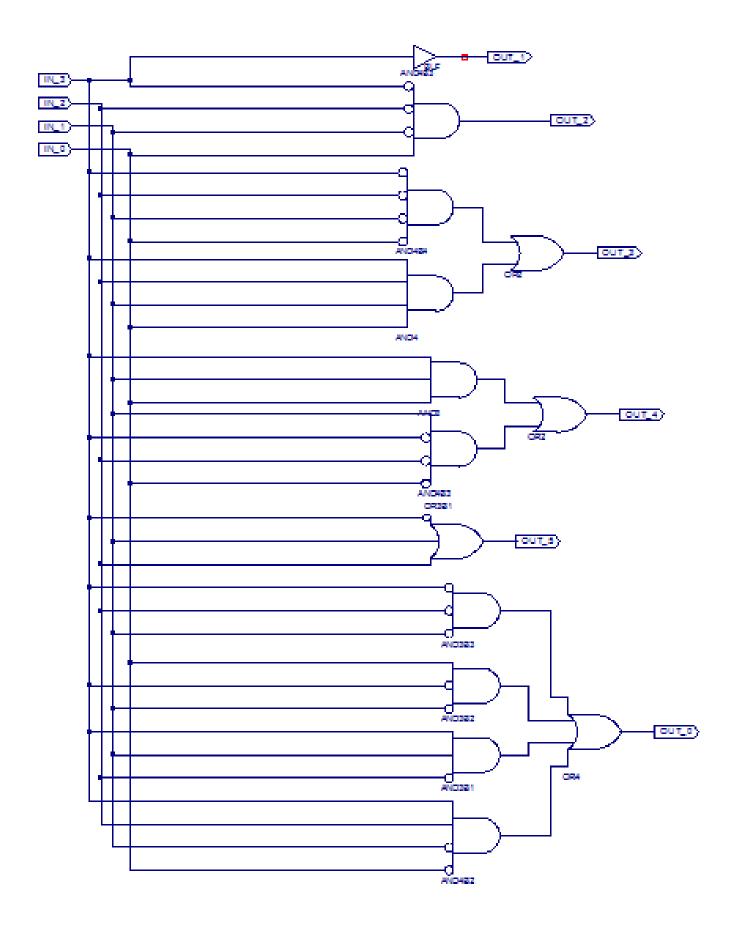
Map

Map Layout

Groups

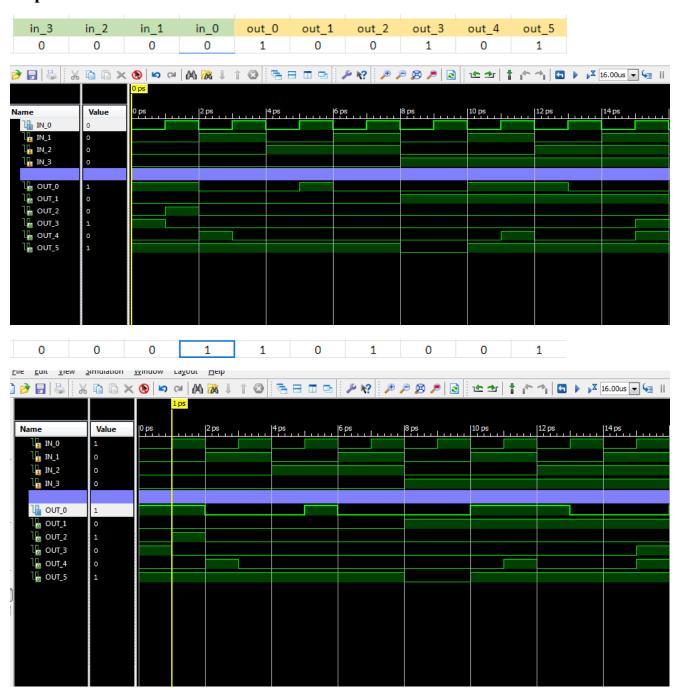
(0,1,2,3,4,5,6,7)	A
(2,3,6,7,10,11,14,15)	С
(4,5,6,7,12,13,14,15)	В

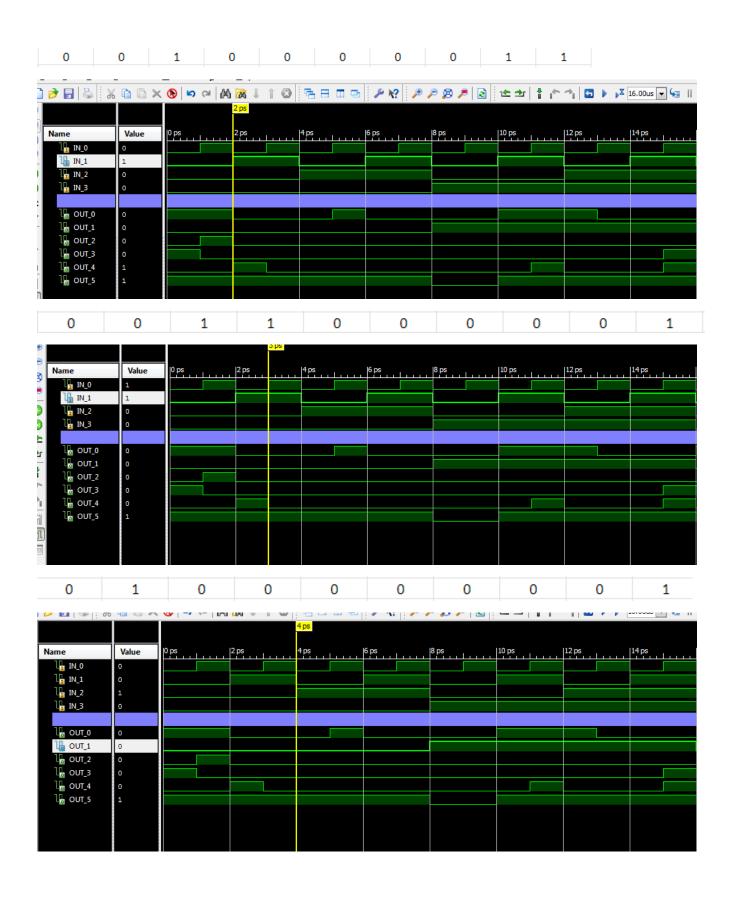
y = A' + C + B

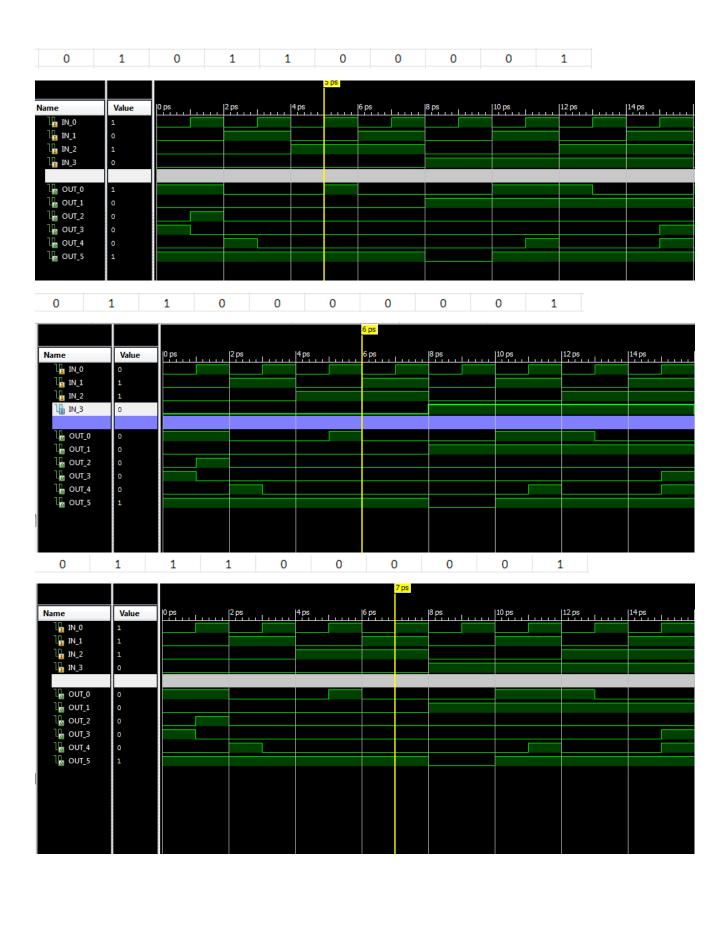


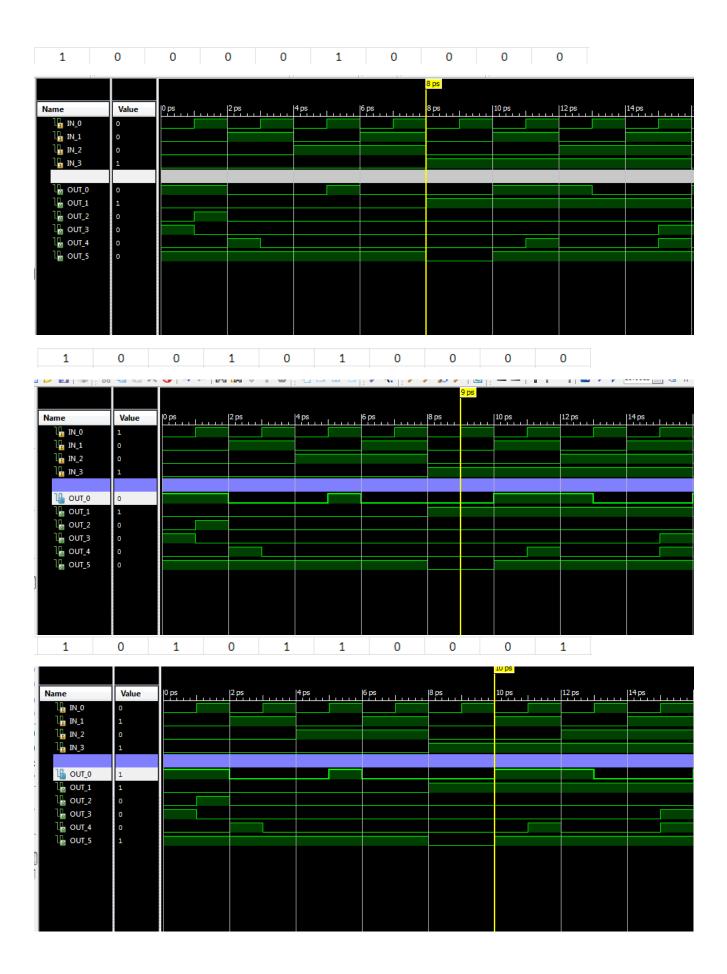


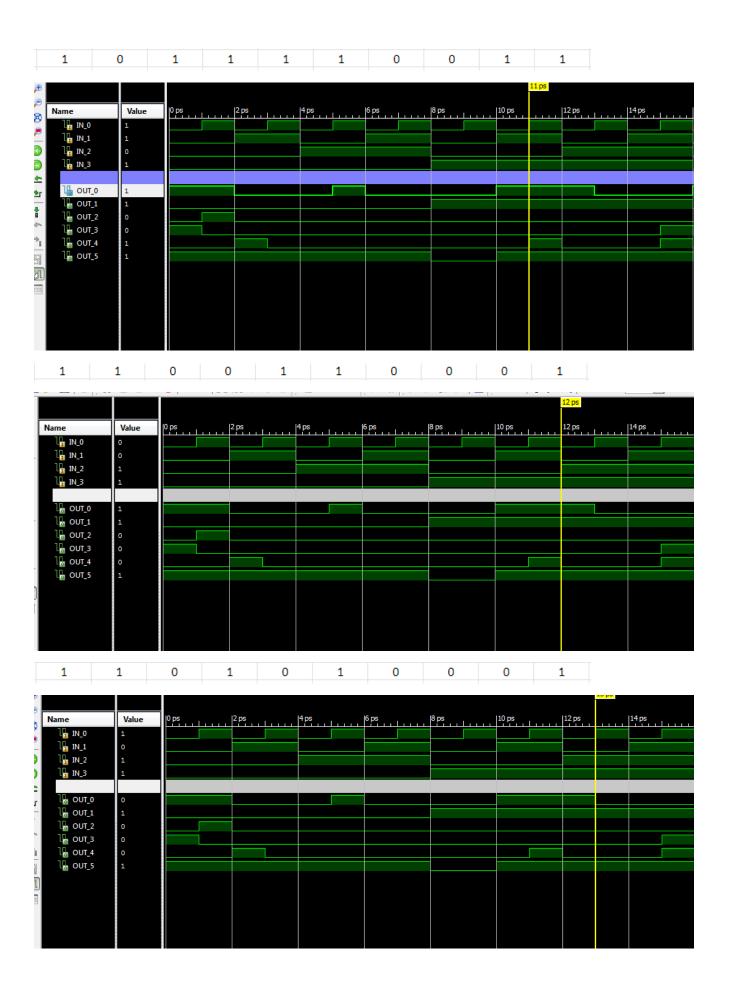
Порівняння сигналів:

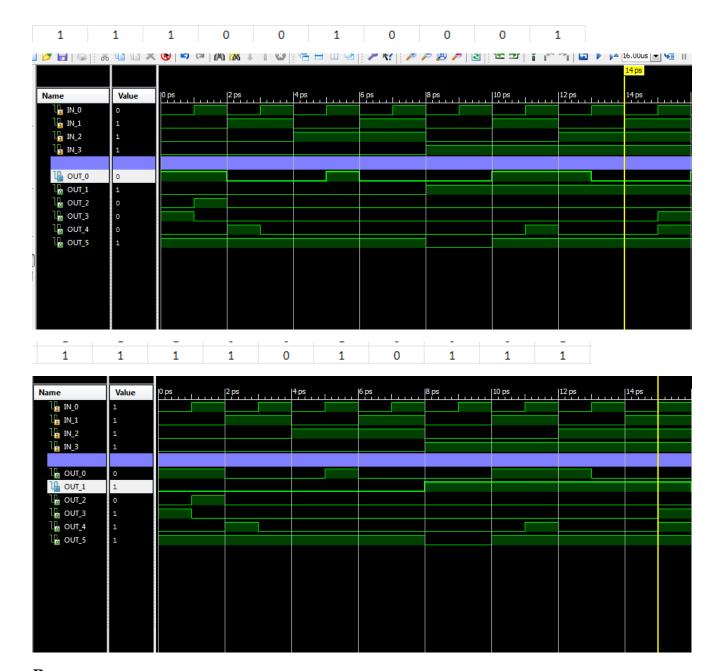












Висновок:

В ході виконання цієї лабораторної роботи я ознайомився з середовищем розробки Xilinx ISE. В цьому середовищі я розробив схему, згідно з таблицею істинності для мого варіанту. Я протестував усі можливі комбінації вхідних сигналів в ISim та порівняв вихідні сигнали з таблицею істиності. Також я ознайомився зі стендом Elbert V2 – Spartan 3A FPGA.