

# **MANUAL DE PRÁCTICAS**

**Tecnología de Computadores**  
**Grado en Ingeniería Informática**

**1<sup>er</sup> año, 2<sup>o</sup> cuatrimestre**

**Práctica 3**

**uc3m** | **Universidad Carlos III de Madrid**

**DEPARTAMENTO DE TECNOLOGÍA ELECTRÓNICA**

**Campus de Leganés**

Avenida del Universidad 30

28911 Leganés

**Fecha:** **13/02/19**

## **Tabla de contenidos**

---

1.	Diseño de circuitos digitales .....	3
2.	Organización de las sesiones de prácticas .....	3
2.1	MATERIAL A ENTREGAR .....	4
2.2	evaluación de las prácticas .....	4
3.	Sesión 3: LFSR .....	5
3.1	Material necesario.....	5
3.2	Enunciado .....	5
3.3	Estudio previo .....	7

## **1. Diseño de circuitos digitales**

---

Debido a la complejidad de los circuitos digitales actuales, el proceso de diseño de un circuito digital se caracteriza principalmente por:

- Utilización de herramientas CAD (simuladores, sintetizadores, análisis estático de tiempos, etc.)
- Utilización intensiva de técnicas, principalmente simulación, para comprobar el correcto funcionamiento del circuito.

Por ello, las prácticas de la asignatura se apoyarán en la utilización de herramientas de diseño. Para la realización de las prácticas los alumnos utilizarán la herramienta Quartus-II (Web Edition) de Altera para realizar la captura esquemática (dibujo del esquema de componentes en el ordenador) de los circuitos propuestos como solución, así como para comprobar su funcionamiento mediante simulación.

La herramienta Quartus-II (Web Edition) se puede descargar del portal <http://www.altera.com>. Se recomienda usar la versión 9.0 que puede encontrarse en la siguiente dirección: Support > Design Software > Download.

Esta herramienta es gratuita, sin embargo, para su utilización se debe de registrar (rellenando una serie de formularios) y seguir los pasos que se indican para su instalación.

Para obtener una información detallada sobre el funcionamiento del programa Quartus-II, puede consultar el manual básico del programa que se encuentra a disposición de los alumnos en Aula Global, o bien la propia ayuda del programa.

## **2. Organización de las sesiones de prácticas**

---

Cada sesión de prácticas tendrá una duración total de 1,5 horas.

Las sesiones de laboratorio no están destinadas a que los alumnos resuelvan el problema planteado, sino que deben asistir al laboratorio con la práctica resuelta en la mayor parte posible.

Los alumnos deberán traer al laboratorio (en un pendrive, disquete, etc.) los ficheros generados al realizar la captura esquemática con el programa Quartus-II, así como los ficheros necesarios para la simulación del circuito en el ordenador del laboratorio.

Durante las sesiones de laboratorio los profesores comprobarán que la solución propuesta por el alumno funciona correctamente. De no ser así, durante la sesión de prácticas el alumno podrá realizar sobre su diseño inicial las modificaciones que consideren oportunas, con el objeto de conseguir que el circuito funcione correctamente.

## **2.1 MATERIAL A ENTREGAR**

Antes de la realización de la práctica cada grupo deberá realizar un estudio previo, que consistirá en la solución propuesta al problema de diseño planteado. El estudio previo se deberá subir a aula global antes de entrar al laboratorio. Se recomienda llevar una copia impresa con ella al laboratorio.

**NO se recogerá ningún estudio previo fuera de plazo.**

En los apartados en los que se describe cada una de las sesiones de prácticas se indica con más detalle el contenido del estudio previo que los alumnos deben entregar

## **2.2 EVALUACIÓN DE LAS PRÁCTICAS**

El conjunto de las cuatro prácticas tiene una valoración del 15% sobre la nota final. La nota de prácticas se mantendrá durante el curso académico en las convocatorias ordinaria y extraordinaria.

En caso de que el alumno tenga que repetir la asignatura, la calificación de prácticas NO se guardará para los cursos siguientes.

Durante el transcurso de la sesión de prácticas, los profesores comprobarán que la solución propuesta por el alumno funciona correctamente, asignándole una calificación que dependerá del grado de funcionamiento del circuito y la sencillez de la solución propuesta.

### 3. Sesión 3: LFSR

El objetivo de esta práctica es que el alumno analice un circuito secuencial de complejidad media y verifique el correcto funcionamiento de este. Para ello, y haciendo uso del programa Quartus II, el alumno debe simular el circuito, a continuación, debe sintetizarlo, y finalmente implementarlo físicamente en un dispositivo lógico programable (CPLD).

#### 3.1 MATERIAL NECESARIO

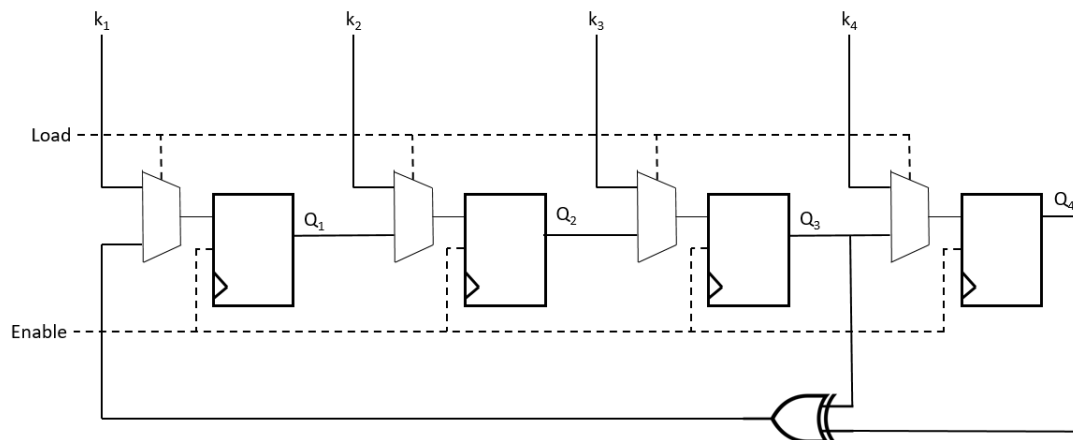
Esta práctica incluye el montaje de un circuito y será necesario que los alumnos dispongan del siguiente material:

1. Cable rígido unipolar de sección de 0,5 mm<sup>2</sup>.
2. Alicates de corte y pelacables (opcional).

El resto del material necesario se proporcionará en el laboratorio.

#### 3.2 ENUNCIADO

En esta práctica vamos a estudiar uno de los generadores de números pseudo-aleatorios más populares conocidos como *Linear Feedback Shift Register* (LFSR). Los LFSRs constan de un registro de desplazamiento en el cual la entrada es un bit proveniente de aplicar una función de transformación lineal a un estado anterior. En la Figura 1 se muestra el esquema del LFSR elegido para esta práctica. Este LFSR consta de una entrada de habilitación (Enable), una entrada para la carga de la clave (Load) y 4 bits que conformaran la clave ( $k_1$ - $k_4$ ). Las salidas del LFSR serán cada una de las salidas de los biestables ( $Q_1$ - $Q_4$ ). Por razones de claridad no se han incluido en el esquema la señal de reloj y reset.



**Figura 1. LFSR.**

Se quiere comprobar el funcionamiento del LFSR, para ello, el alumno deberá implementar y simular el circuito anterior utilizando Quartus.

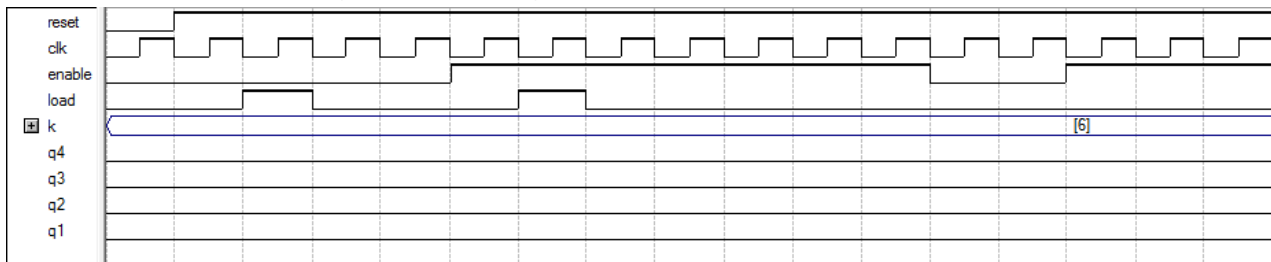
Los pasos a seguir son los siguientes:

1. Compilar y sintetizar el circuito digital, con objeto de traducir el esquema del circuito a puertas lógicas. El dispositivo lógico que se va a programar pertenece a la familia MAX7000S, y su nombre es EPM7064SLC44-10.
2. Simular el circuito para comprobar su correcto funcionamiento. Generación del fichero de programación. Dicho fichero, cuya extensión es \*.pof, se genera de forma automática durante el proceso de compilación. Es necesario entregar dicho fichero al técnico de laboratorio para la programación de la CPLD.
3. Identificación de pines de entrada/salida del circuito. Se pretende conocer qué pin de la CPLD se ha asignado a cada señal de entrada/salida del circuito. Para ello se debe consultar en el fichero \*.rpt, también generado de forma automática durante el proceso de compilación.
4. Alimentación de la placa, y su conexión al entrenador. Una vez realizada la síntesis y programación, ya se dispone del circuito lógico dentro de la CPLD. Para probar su funcionamiento, es necesario conectar la placa al entrenador de la siguiente manera:
  - a. Alimentación de la placa a 5V, proporcionados por el entrenador. Cuidado al conectar los terminales de 5V (Vcc) y 0V (GND) y no ponerlos al revés.
  - b. NO CONECTAR A 5V TODOS LOS PINES DE LA CPLD QUE SE LLAMEN Vcc. Todos esos pines están conectados internamente con la alimentación, de manera que al alimentar la placa a 5V, ya están todos conectados a Vcc.
  - c. Las señales de ENABLE, LOAD y las claves (k<sub>1</sub>-k<sub>4</sub>) se conectarán a los interruptores del entrenador.
  - d. La señal CLK es una señal cuadrada de amplitud máxima cinco voltios. Dicha señal se obtendrá del oscilador del entrenador.
  - e. Las Salidas (Q<sub>1</sub>-Q<sub>4</sub>) irán conectadas a los LEDs del entrenador.
  - f. Llamar al profesor de prácticas para la revisión del montaje antes de encender la fuente de alimentación.
5. Comprobación del funcionamiento del LFSR.

### 3.3 ESTUDIO PREVIO

El estudio previo debe contener los siguientes puntos:

1. Rellene el siguiente cronograma



2. Cree el esquemático del circuito LFSR y simúlelo. La simulación deberá comprender un reset inicial, una carga de clave ( $(k_1-k_4)=\text{BCD}(\text{LSB DNI})$ ) y al menos 5 ciclos de desplazamiento después de la carga.
3. Obtenga la frecuencia de oscilación de la señal CLK.
4. Número de los pines de la CPLD correspondientes a las entradas ENABLE, LOAD, RST, clave y CLK.