



# Universidad Carlos III de Madrid

Grados en Ingeniería: Tecnología de Telecomunicaciones, Sistemas de Comunicaciones,  
Telemática, Sistemas Audiovisuales  
ELECTRÓNICA DIGITAL.

Examen final - 26 de mayo de 2015

**NOMBRE:**

**GRUPO:**

## NOTAS IMPORTANTES:

**Cada problema o cuestión se entregan por separado. No mezcle las soluciones en una misma hoja. En cada hoja que entregue debe figurar el nombre y el grupo del alumno. No se permitirá calculadora**

**Tiempo: 3 horas**

### Problema 1 (2,5 puntos)

Un sistema de clasificación de diamantes tiene tres sensores lumínicos puestos a diferentes alturas: alto (SA), mediano (SM) y bajo (SB). Si un diamante es grande activa las tres señales lumínicas, si es mediano, dos (SM y SB), si es pequeño, una (SB) y si es enano, ninguna. El sistema tiene un sensor de peso en quilates (SP), que se pone a 1 si supera los tres quilates, y a 0 en caso contrario. Las condiciones de clasificación son:

- Un diamante grande (G) o mediano (M) debe pesar al menos tres quilates, si no, se rechaza (R).
- Si es pequeño, nunca debe pesar más de 3 quilates, en caso contrario es rechazado (R).
- Los diamantes enanos se rechazan (R).
- Las condiciones irreales, se consideran imposibles.

Se pide:

- Obtener la tabla de verdad del sistema y representarla en la tabla adjunta.
- Expresión lógica simplificada de la función R en forma de producto de sumas
- Expresión lógica simplificada de la función R en forma de suma de productos.
- Implementar la función R utilizando únicamente puertas NAND.
- Implementar la función R con un MUX de 2 entradas de selección y el mínimo número de puertas lógicas adicionales.
- Implementar la función R con un decodificador de 4 entradas y salidas activas a nivel bajo, y el mínimo número de puertas lógicas adicionales.

SA	SM	SB	SP	G	M	P	R
0	0	0	0				
0	0	0	1				
0	0	1	0				
0	0	1	1				
0	1	0	0				
0	1	0	1				
0	1	1	0				
0	1	1	1				
1	0	0	0				
1	0	0	1				
1	0	1	0				
1	0	1	1				
1	1	0	0				
1	1	0	1				
1	1	1	0				
1	1	1	1				



**Problema 2 (2,5 puntos)**

Parte 1:

Realizar el diagrama de estados (tipo MOORE) de un sistema secuencial que controle el llenado del depósito de combustible de vehículos.

La manguera de llenado dispone de una válvula para controlar la salida de combustible. Una señal (V) actúa sobre ella de tal forma que si  $V = "1"$  la válvula se abre y sale combustible y si  $V = "0"$  la válvula se cierra.

La manguera lleva incorporado un sensor (L) que toma el valor "1" cuando el depósito está lleno.

Disponemos de un pulsador (P) que entrega un "1" cuando está presionado y "0" en caso contrario.

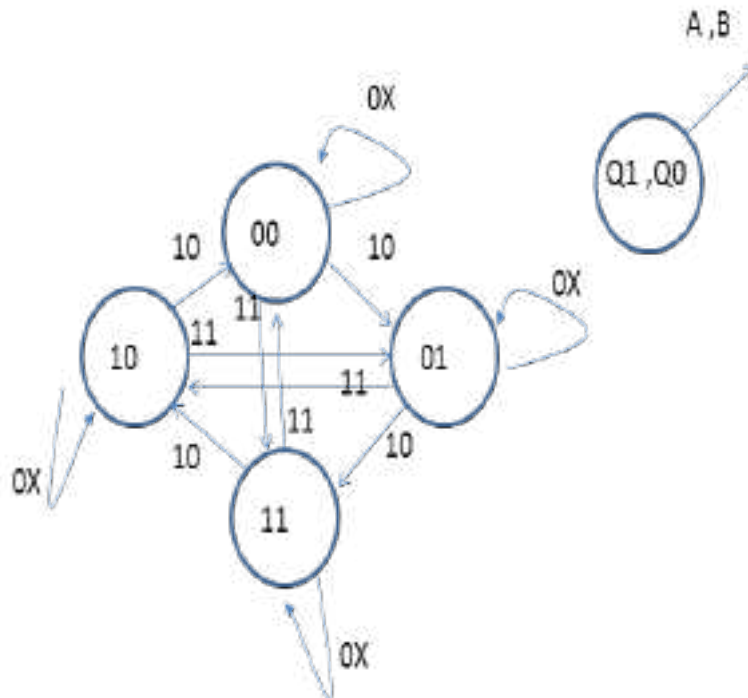
Las especificaciones de funcionamiento son las siguientes:

Si se pulsa y suelta rápidamente el pulsador (un pulso de reloj) y el depósito no está lleno, permanecerá saliendo combustible hasta volver a pulsar o hasta que el depósito se llene. (En el caso de detener la salida de combustible presionando el pulsador es necesario soltar y volver a pulsar para que vuelva a salir combustible).

Si se pulsa y mantenemos pulsado (y el depósito no está lleno), saldrá combustible hasta soltar el pulsador o hasta que el depósito se llene.

Parte 2:

Dado el diagrama de estados de la figura, donde Q1 y Q0 son las salidas de los biestables y A,B las entradas al circuito.



- Obtener las tablas de transición de estados.
- Obtener las ecuaciones de estado, (biestables tipo D).



# Universidad Carlos III de Madrid

Grados en Ingeniería: Tecnología de Telecomunicaciones, Sistemas de Comunicaciones,  
Telemática, Sistemas Audiovisuales  
ELECTRÓNICA DIGITAL.

Examen final - 26 de mayo de 2015

NOMBRE:

GRUPO:

## Problema 3 (2,5 puntos)

Se dispone de un registro de desplazamiento universal 74194 (como el que se ha utilizado en la práctica 4 de la asignatura) con la siguiente tabla de funcionamiento:

TRUTH TABLE

INPUTS										OUTPUTS			
CLEAR	MODE		CLOCK	SERIAL		PARALLEL				QA	QB	QC	QD
	S1	S0		LEFT	RIGHT	A	B	C	D				
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X		X	X	X	X	X	X	QA0	QB0	QC0	QD0
H	H	H		X	X	a	b	c	d	a	b	c	d
H	L	H		X	H	X	X	X	X	H	QA <sub>n</sub>	QB <sub>n</sub>	QC <sub>n</sub>
H	L	H		X	L	X	X	X	X	L	QA <sub>n</sub>	QB <sub>n</sub>	QC <sub>n</sub>
H	H	L		H	X	X	X	X	X	QB <sub>n</sub>	QC <sub>n</sub>	QD <sub>n</sub>	H
H	H	L		L	X	X	X	X	X	QB <sub>n</sub>	QC <sub>n</sub>	QD <sub>n</sub>	L
H	L	L	X	X	X	X	X	X	X	QA0	QB0	QC0	QD0

X: Don't Care

Don't Care

a ~ d:

The level of steady state input voltage at input A ~ D respectively

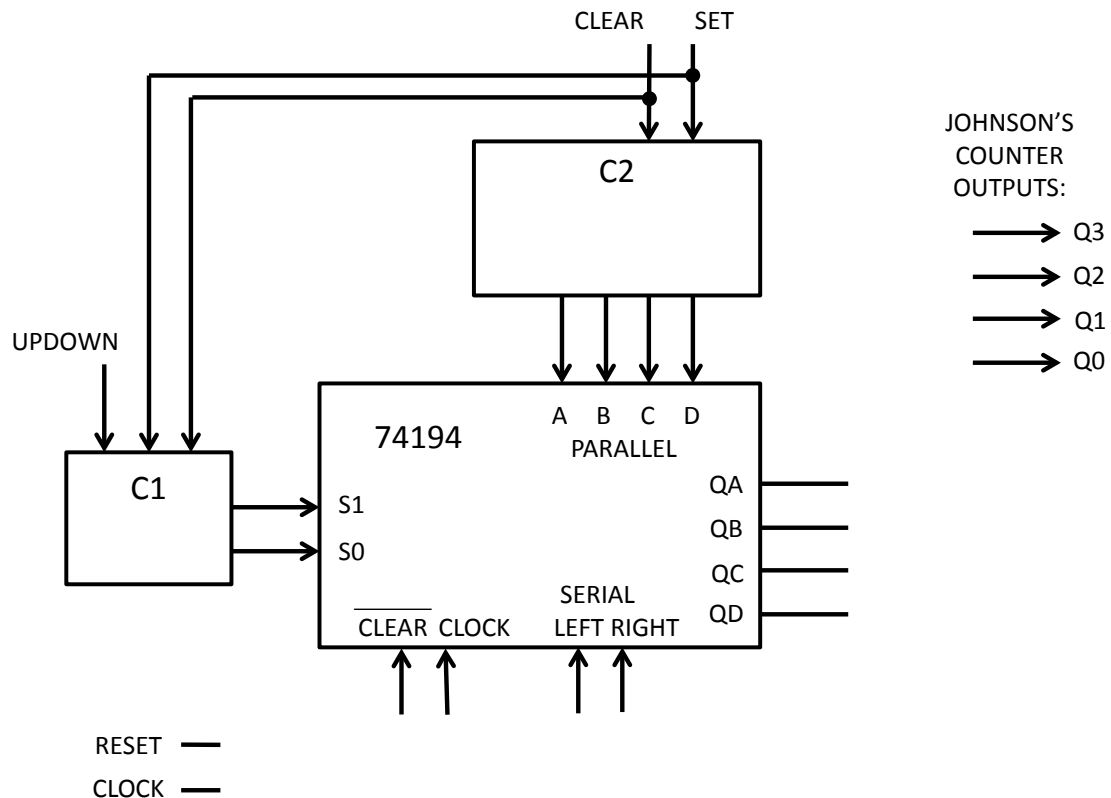
QAO ~ QDO

No change

QAn ~ QDn

The level of QA, QB, QC, respectively, before the most recent positive transition of the clock.

Se quiere diseñar un contador Johnson utilizando este circuito, para lo que se ha diseñado la ruta de datos proporcionada a continuación, en la que faltan algunas conexiones por realizar, y donde C1 y C2 son dos bloques combinacionales:





## Universidad Carlos III de Madrid

Grados en Ingeniería: Tecnología de Telecomunicaciones, Sistemas de Comunicaciones,  
Telemática, Sistemas Audiovisuales  
ELECTRÓNICA DIGITAL.

Examen final - 26 de mayo de 2015

El contador Johnson deberá tener las siguientes características:

- El circuito tiene una entrada UPDOWN que permitirá seleccionar el modo del contador como ascendente o descendente (0 ascendente, 1 descendente).
- El circuito tiene una entrada SET que permitirá precargar el contador de forma síncrona con el valor "1111"
- El circuito tiene una entrada CLEAR que permitirá precargar el contador de forma síncrona con el valor "0000"
- Si en algún momento SET y CLEAR están activos al mismo tiempo, el contador se mantendrá en un estado de "hold" (no varía el valor de cuenta ni realiza ninguna precarga).

Responda a las siguientes preguntas teóricas:

- a) Escriba la tabla del código Johnson de 4-bits.
- b) Diseñe un contador Johnson de 4-bits utilizando un registro de desplazamiento de 4 bits (biestables D).

Responda a las siguientes preguntas sobre el diseño del contador de este problema:

- c) Escriba la tabla de verdad del circuito necesario para el bloque C2 (utilice la tabla proporcionada)
- d) Escriba la tabla de verdad del circuito necesario para el bloque C1 (utilice la tabla proporcionada).

UPDOWN	CLEAR	SET	S1	S0
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Tabla del bloque C1

CLEAR	SET	A	B	C	D
0	0				
0	1				
1	0				
1	1				

Tabla del bloque C2

- e) Complete el circuito de la ruta de datos con las conexiones que faltan (complételo en la ruta de datos proporcionada en este enunciado).

### **Problema 4 (2,5 puntos)**

Se quiere diseñar la memoria de un microprocesador de 16 bits y capacidad máxima direccionable de 64K, para que incluya los tamaños y tipos de memoria siguientes:

- 8K de EEPROM, con chips de 4Kx16b
- 16K de SRAM, con chips de 16KB
- 32K de Flash, con chips de 8Kx16b ó 16KB

*Nota:* 1 B = 8 bits, 1b = 1 bit

La posiciones bajas del mapa se deben ocupar con memoria Flash, las altas con EEPROM, y el hueco libre estar situado entre la SRAM y la EEPROM. Se pide:

- a) Mapa de memoria, con dirección inicial y final de cada bloque en hexadecimal
- b) Sistema de decodificación completo de la memoria
- c) Dibuje todos los chips de la memoria completa, con los buses de datos y direcciones