



D:\Dropbox\Docencia\ED\Grados Teleco\Exams\2012\ParcialesIMPORTANT:

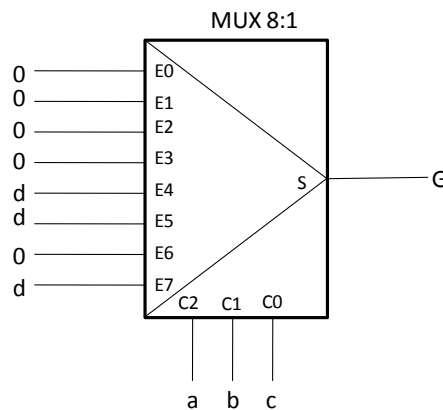
Each problem or question must be solved in a different sheet of paper, do not answer two problems on the same sheet. Write your name and group in every sheet. Hand in a sheet for each problem/question, even if you did not answer it. Calculators are not allowed.

Time: 3h

**Problem 1 (2.5 points)**

Given the functions F and G, where “a” is the most significant variable:

$$F(a,b,c,d) = \prod_4(4,6) + \Delta_4(0,7,8,12,14,15)$$



Questions:

- Find a simplified logical expression of F as a sum of products.
- Find a logical expression of F so that it can be implemented with only 2-input NAND gates. Implement that function.
- Find a simplified logical expression of G as a product of sums
- Implement G using a **BCD to decimal decoder** with active high outputs, and the necessary additional logic gates.

**Important Note:** It will be taken into account the use of the least number of components in the solutions.

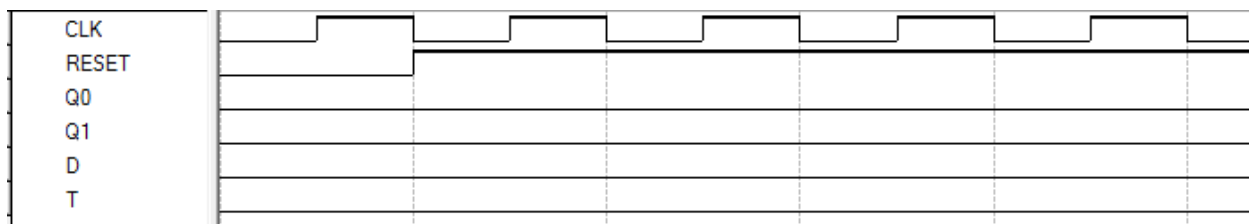
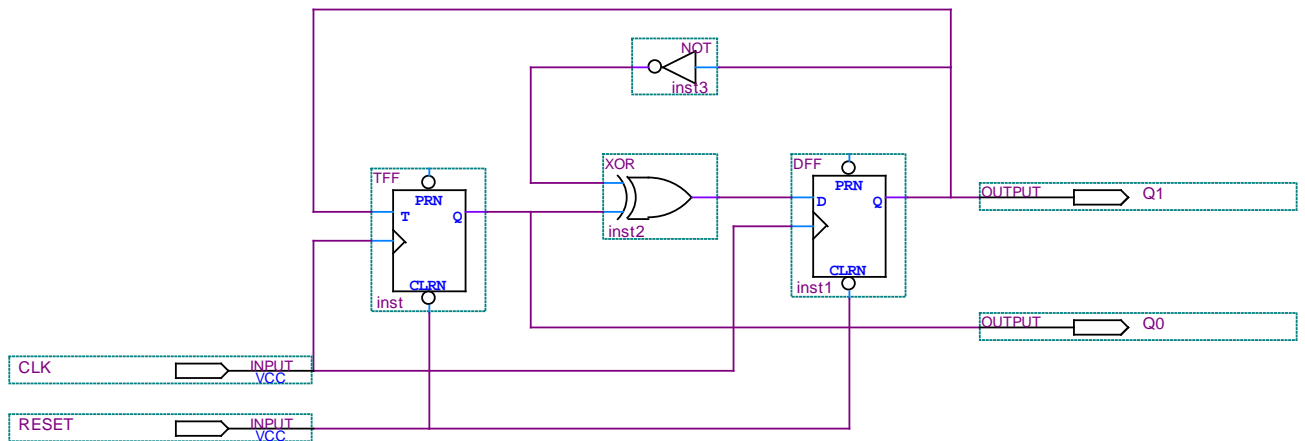


NAME: \_\_\_\_\_

GROUP: \_\_\_\_\_

**Problem 2 (3 points)**

- a) Given the sequential circuit of the figure and assuming that the flip-flops initial values are zero, complete the chronogram.



- b) Design a T flip-flop using a D flip-flop and any additional logic gates, following these steps:

- State diagram according to Moore's model.
- Table of transitions.
- Schematic of the circuit.



NAME: \_\_\_\_\_

GROUP: \_\_\_\_\_

**Question 1 (1.5 points)**

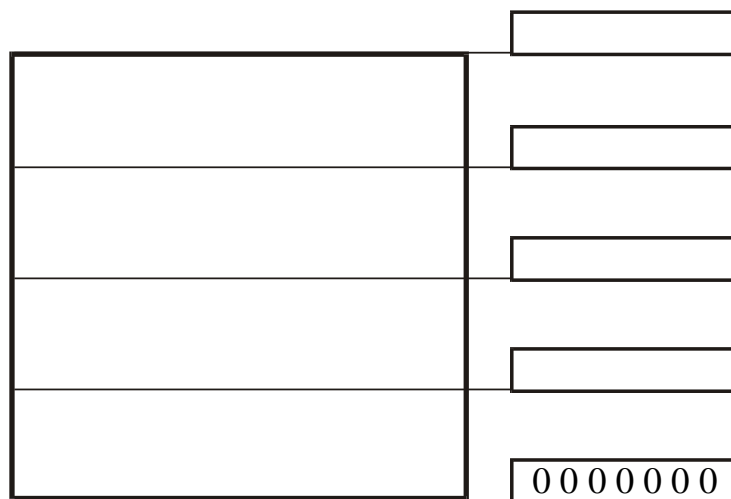
An engineering student wants to implement his personal computer RAM memory with a 128Mb x 32 bits DIMM module. For that reason he decides to use chips from compatible spare modules that come from older computers.

He has the following chips available:

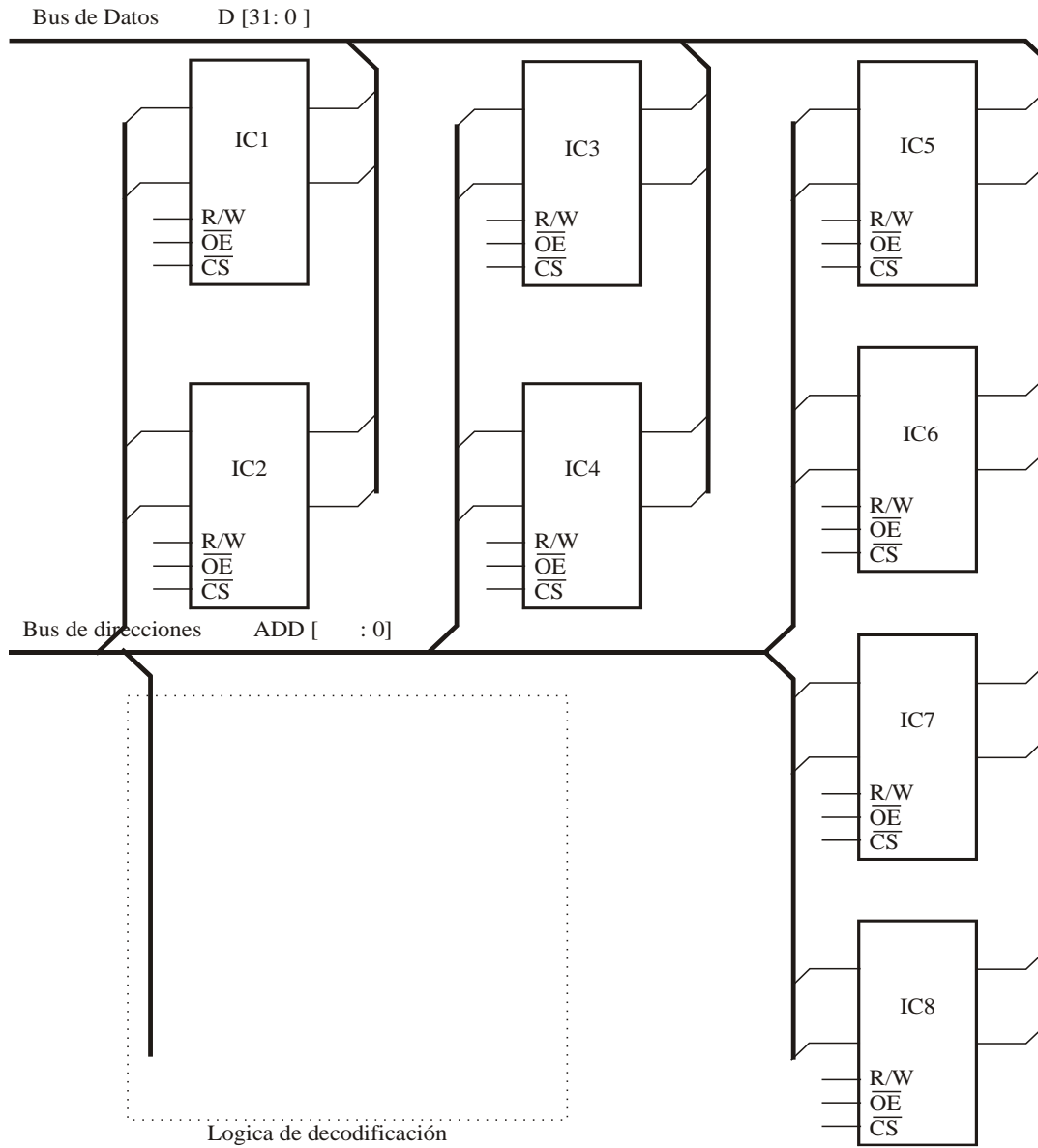
- |                           |                    |
|---------------------------|--------------------|
| 2 chips of 32Mb x 32 bits | IC1, IC2           |
| 2 chips of 32Mb x 16 bits | IC3, IC4           |
| 4 chips of 32Mb x 8 bits  | IC5, IC6, IC7, IC8 |

- Draw the memory map in the figure at the bottom of this sheet.
- Design the final circuit, naming all the signals involved in the chips interconnection, using the scheme in the next page
- Label all the connections from the chips to the buses, pointing out the first and last lines that are involved.
- Point out, in the same way, the name of the signals *inside each chip*.
- Draw and connect a 2:4 decoder with active low outputs for the addresses decoding.

Mapa de Memoria



Dirección (en Hexadecimal)



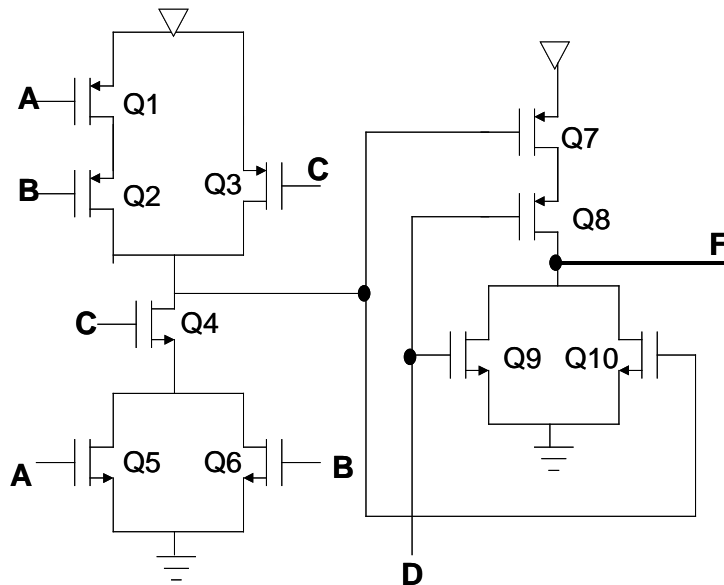


NAME: \_\_\_\_\_

GROUP: \_\_\_\_\_

**Question 2 (1.5 points)**

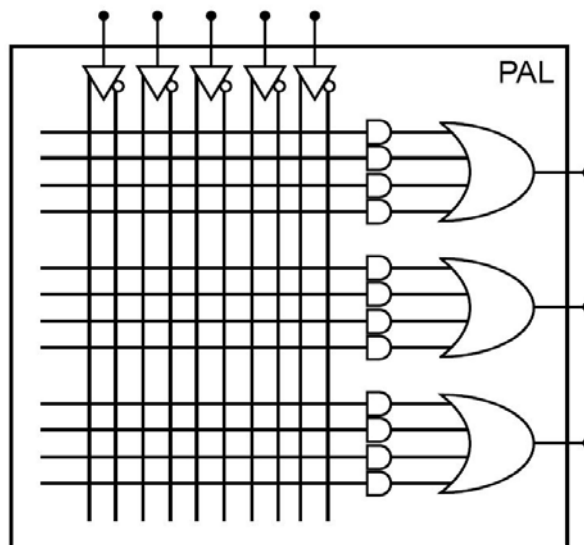
For the circuit in the figure, write the truth table (pointing out the state of all the NMOS transistors for all the possible input values) and find out the logic function of the circuit.

**Question 3 (1.5 points)**

With the PAL of figure implement the following logic functions:

1-  $f_1(A,B,C,D) = \sum_{i=0,3,7,13,15}^4$

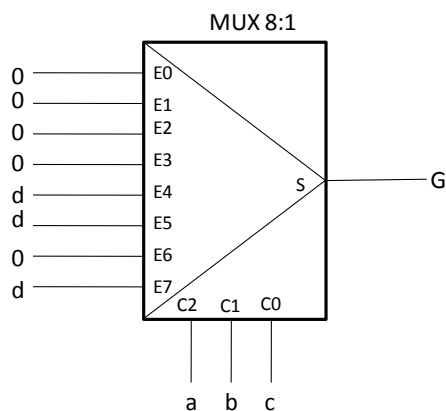
2-  $f_2(A,B,C,D) = (A \oplus B) \cdot C$



## PROBLEM 1

Dadas las funciones F y G, donde “a” es la variable más significativa:

$$F(a,b,c,d) = \prod_4(4,6) + \Delta_4(0,7,8,12,14,15)$$



### Se pide:

- Obtenga una expresión simplificada de F como suma de productos.
- Obtenga una expresión de F para ser implementada exclusivamente con puertas NAND de dos entradas. Dibuje el esquema resultante.
- Obtenga una expresión simplificada de G como producto de sumas.
- Implemente G usando un decodificador **decimal a BCD** con salidas activas a nivel alto y la lógica adicional necesaria.

Nota: En todos los apartados se tendrá en cuenta en la corrección el uso de las mínimas puertas necesarias.



## SOLUCIONES

### Apartado a (2,5 p sobre 10 p)

cd	00	01	11	10
Ab				
00	X	1	1	1
01	0	1	x	0
11	X	1	x	x
10	X	1	1	1

Por lo tanto la función simplificada es:

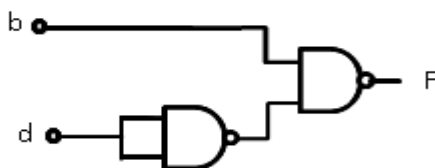
$$F(a,b,c,d) = \bar{b} + d$$

### Apartado b (1,5 p sobre 10 p)

Aplicando DeMorgan

$$F(a,b,c,d) = \overline{b \cdot d}$$

La implementación es



### Apartado c (3p sobre 10 p)

La tabla de verdad de la función G es:

a	B	c	d	G
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1



Siendo el mapa de Karnaugh el siguiente:

c d	00	01	11	10
a b				
00	0	0	0	0
01	0	0	0	0
11	0	0	1	0
10	0	1	1	0

Por lo tanto la función simplificada es:

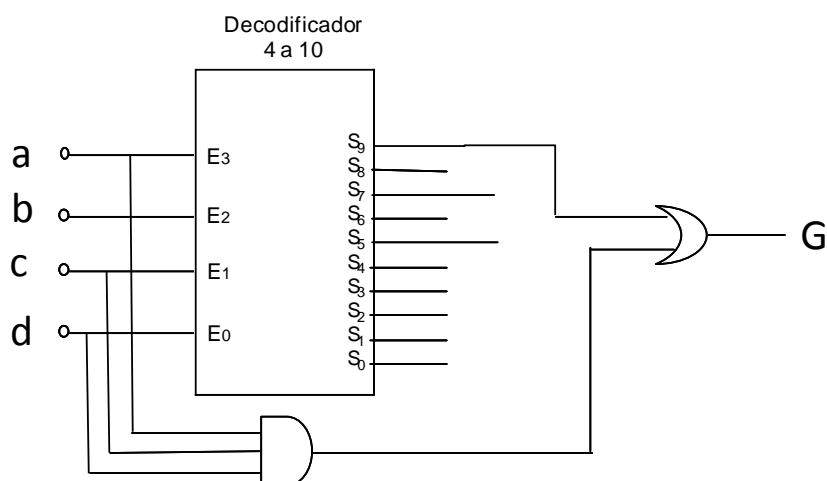
$$G(a,b,c,d)=d \cdot a \cdot (\bar{b} + c)$$

**Apartado d (3p sobre 10 p)**

Simplificando primero los minterminos (11 y 15) que no se pueden implementar con el decodificador BCD a decimal

c d	00	01	11	10
a b				
00	0	0	0	0
01	0	0	0	0
11	0	0	1	0
10	0	1	1	0

La implementación es:







*Criterios de corrección:*

Apartado a:

- Se considera un error grave, y por tanto, anula la puntuación del apartado, la incorrecta colocación de los minterminos y maxtérminos en el mapa de Karnaugh
- Los errores leves descuentan cada uno de ellos 0,5 puntos
  - Escoger un grupo no óptimo
  - No tener en cuenta las X

Apartado b:

- Si no se utilizan NOR de 2 entradas exclusivamente descontar 0,5 puntos
- Si no implementa el circuito restar 0,5 puntos

Apartado c:

- Se considera un error grave, y por tanto, anula la puntuación del apartado, la incorrecta colocación de los minterminos y maxtérminos en el mapa de Karnaugh
- Los errores leves descuentan cada uno de ellos 0,5 puntos
  - Escoger un grupo no óptimo
  - No tener en cuenta las X
- Si obtiene mal la función lógica pero el procedimiento es correcto descontar 1 punto

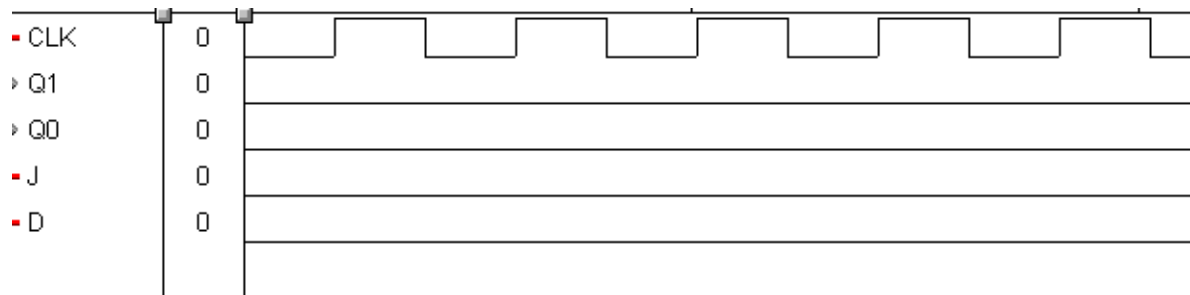
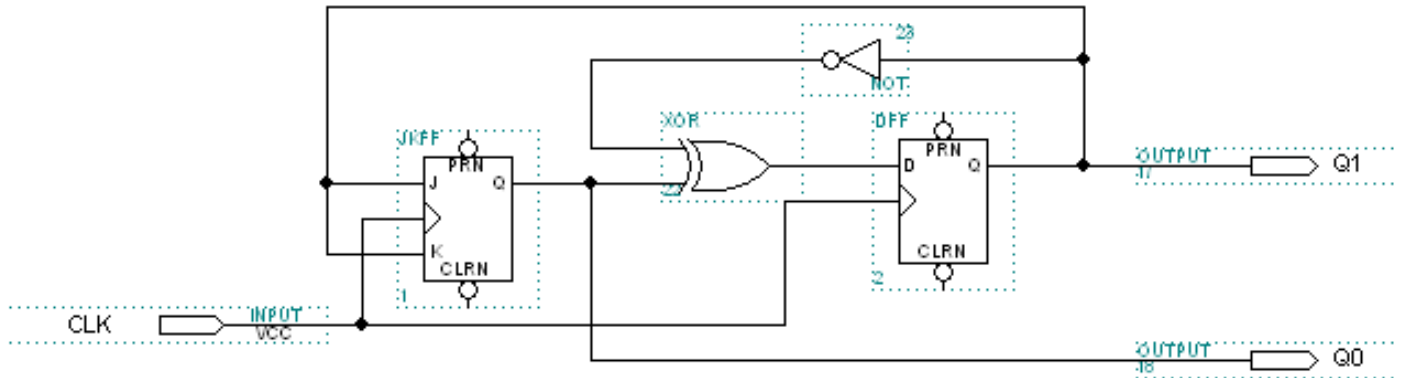
Apartado d:

- Si no utiliza el mínimo número de puertas posibles descontar 0,5 puntos
- Si se equivoca al dimensionar el decodificador descontar 2 puntos
- Si obtiene mal la función lógica pero el procedimiento es correcto descontar 1 punto

## SECUENCIAL EXTRAORDINARIO 2012

### CUESTION 1.

Completar el cronograma . (Los biestables inicialmente están reseteados).



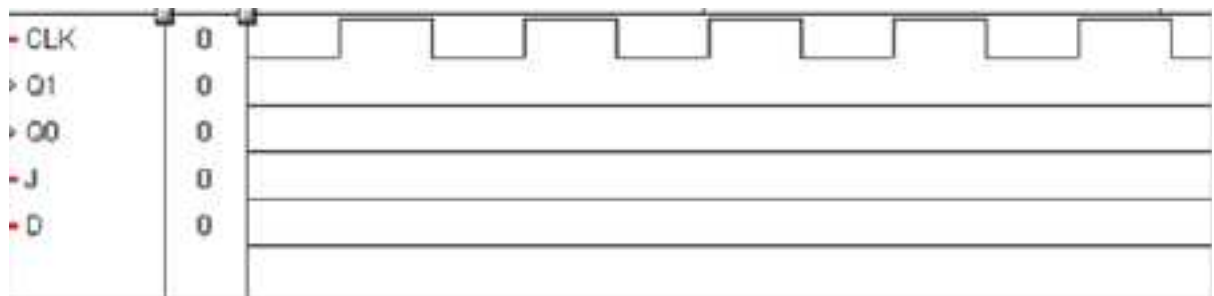
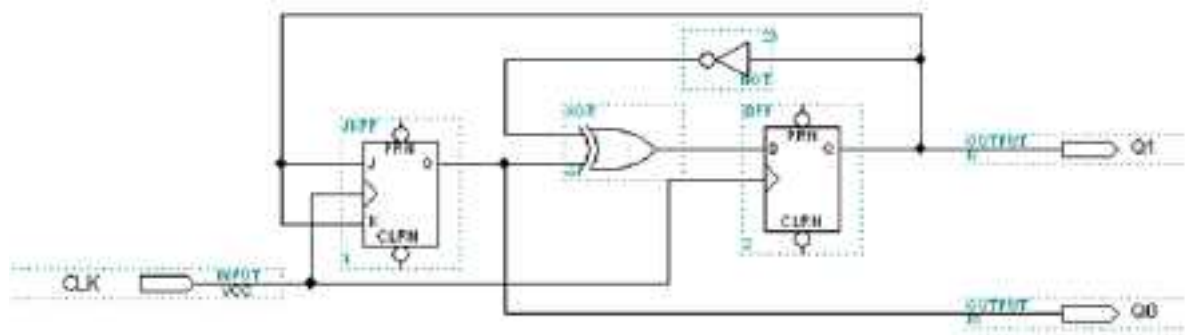
### CUESTION 2.

Se pretende obtener un biestable T a partir de un biestable D, para ello:

- Dibujar el diagrama de estados (MOORE).
- Obtener la tabla de transición de estados.
- Dibujar el circuito.

## QUESTION 1.

Given the sequential circuit of the figure and assuming the flip-flops initial values are zero, complete the chronogram.



## QUESTION 2.

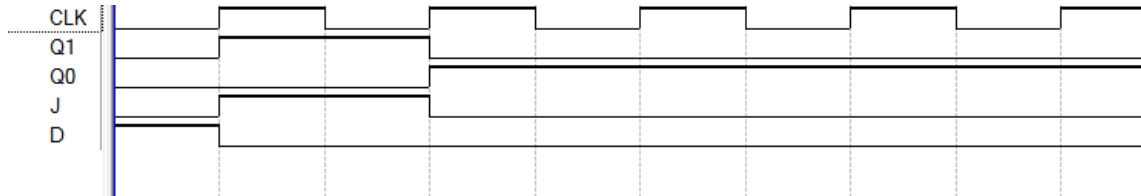
Design a T flip-flop using a D flip-flop and any additional logic gates, following these steps:

- State diagram according to Moore's model.
- Table of transitions.
- Schematic of the circuit.

**Solución:**

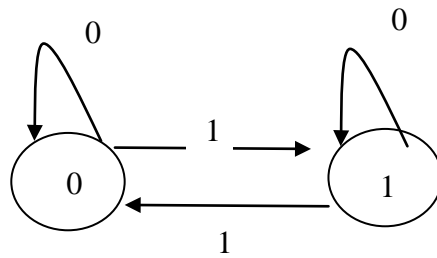
Ambas cuestiones valen lo mismo.

### CUESTION 1.

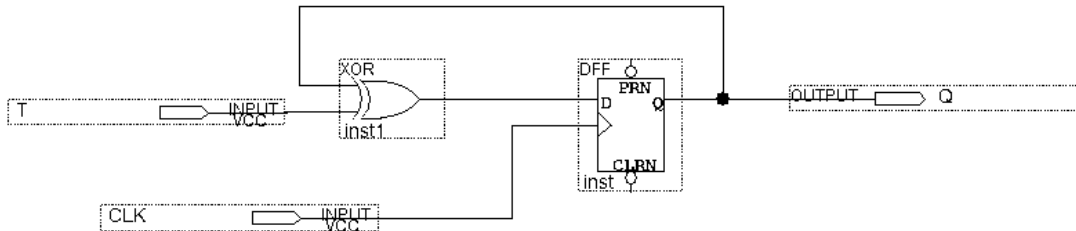


### CUESTION 2.

$Q^t$	T	$Q^{t+1}$	D
0	0	0	0
0	1	1	1
1	0	1	1
1	1	0	0



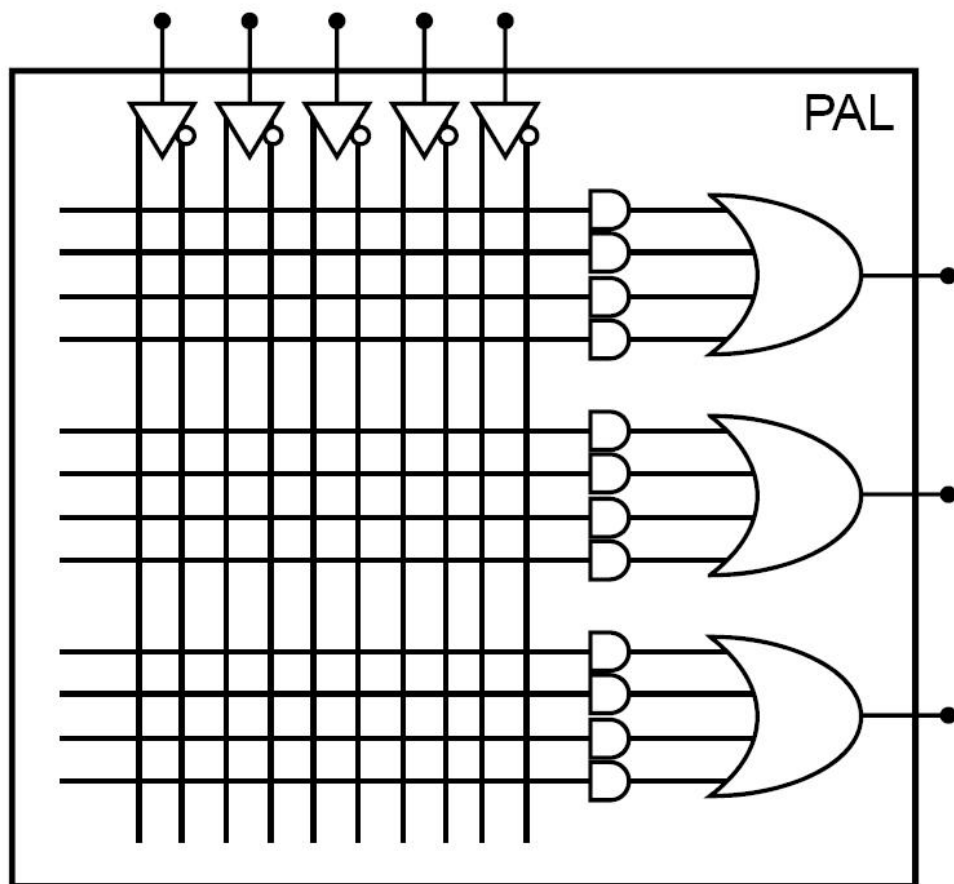
$$D = Q^t \text{ XOR } T$$



### Examen extraordinario Electrónica Digital

Mediante la PAL de la figura implemente las siguientes funciones lógicas:

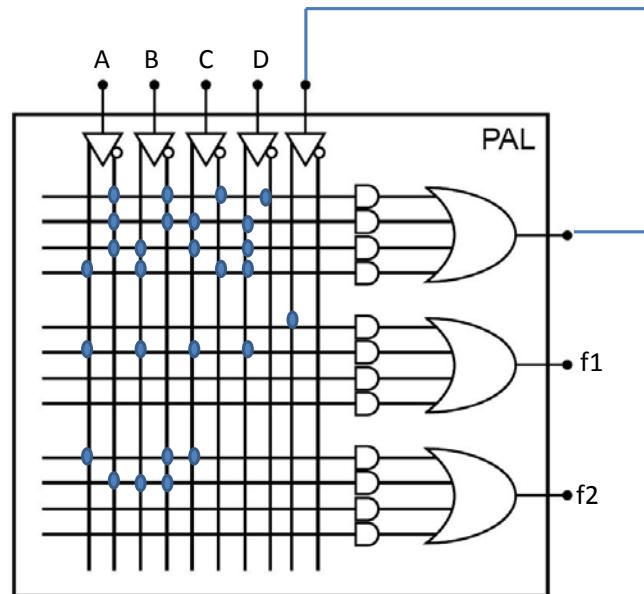
- 1-  $f_1(A,B,C,D) = \sum_{4}(0,3,7,13,15)$
- 2-  $f_2(A,B,C,D) = (A \oplus B) \cdot C$



With the PAL of figure implement the following logic functions:

- 1-  $f_1(A,B,C,D) = \sum_{4}(0,3,7,13,15)$
- 2-  $f_2(A,B,C,D) = (A \oplus B) \cdot C$

Solución:



**Criterios de corrección:**

Cada apartado 50% de la nota.

- 1- Cada término de la función 1/5 de la nota del apartado.  
No incluir el quinto elemento de f1 reduce la nota de ese apartado a la mitad.
- 2- Cada término de la función 50% de la nota del apartado.

No incluir el nombre de las entradas/salidas=> 0 puntos en el apartado/apartados correspondientes

### Cuestión 2 ( x puntos)

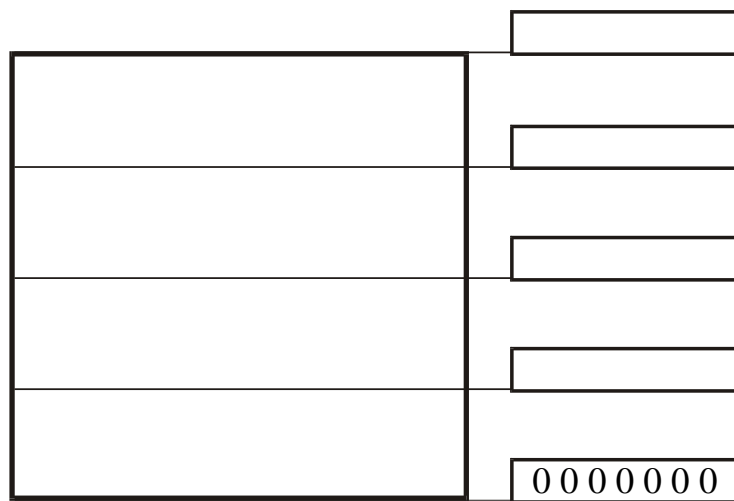
Un estudiante de ingeniería quiere fabricarse la memoria RAM de su ordenador personal con un módulo DIMM de 128Mb x 32 bits. Para ello decide utilizar chips de su cajón de repuestos de memorias de equipos inferiores que se supone que son compatibles.

De este modo dispone de lo siguiente:

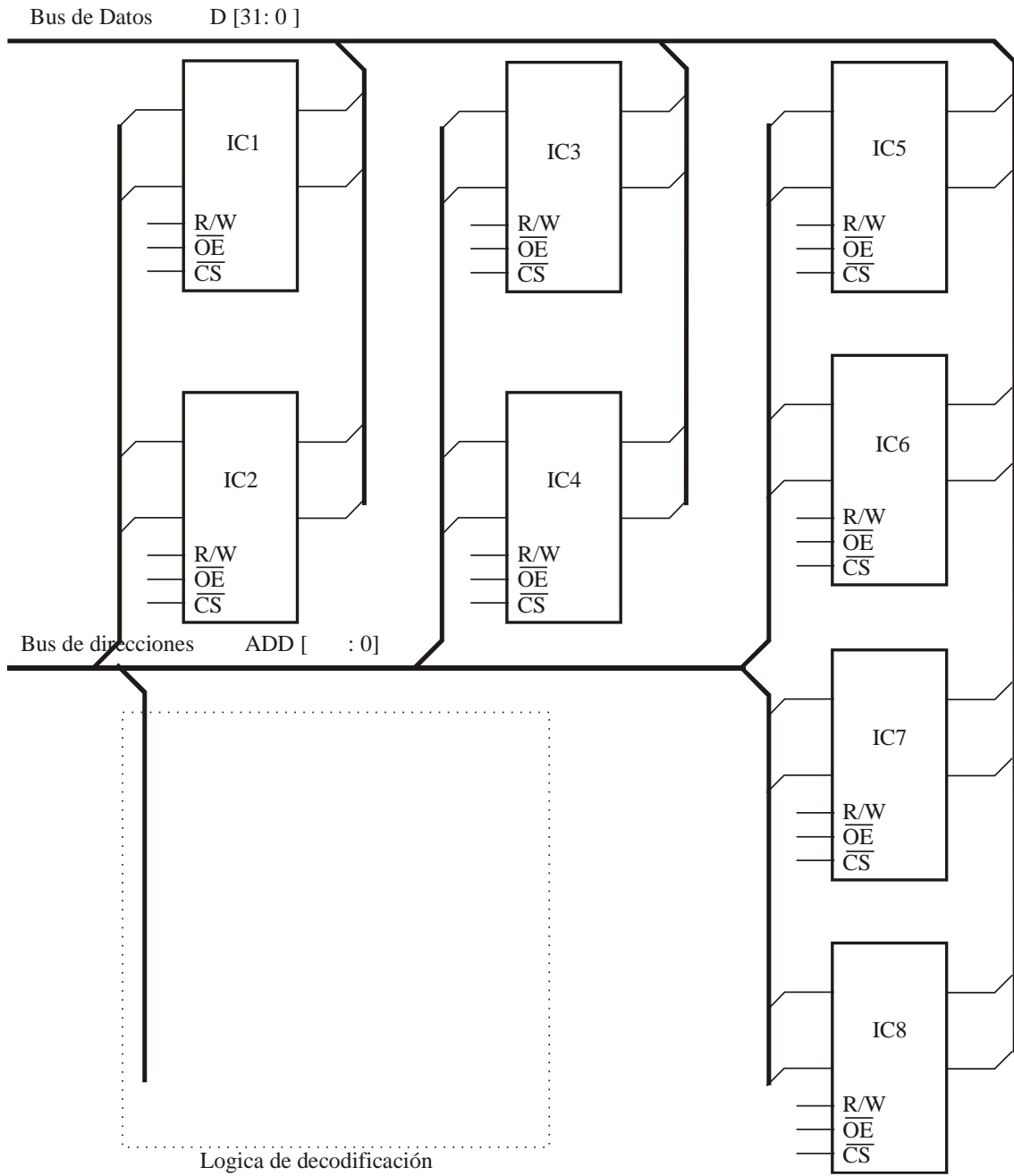
2 chips de 32Mb x 32 bits	IC1, IC2
2 chips de 32Mb x 16 bits	IC3, IC4
4 chips de 32Mb x 8 bits	IC5, IC6, IC7, IC8

- Construya el mapa de memoria resultante del diseño, lo más detallado posible, en la figura siguiente.
- Diseñe el circuito definitivo nombrando todas las señales que intervienen en el conexionado de los chips, sobre el esquema de la página siguiente.
- Etiquetar todas las conexiones de los buses a los chips, indicando la primera y última línea que interviene.
- Indicar, de la misma forma, el nombre de las señales *dentro de cada chip*.
- Dibujar y conectar un decodificador 2:4 con salida por nivel bajo para realizar la decodificación de direcciones

Mapa de Memoria



Dirección (en Hexadecimal)





Solución:

