

PROBLEMA 1

Completa el cronograma que se adjunta, a partir del circuito de la figura 1.

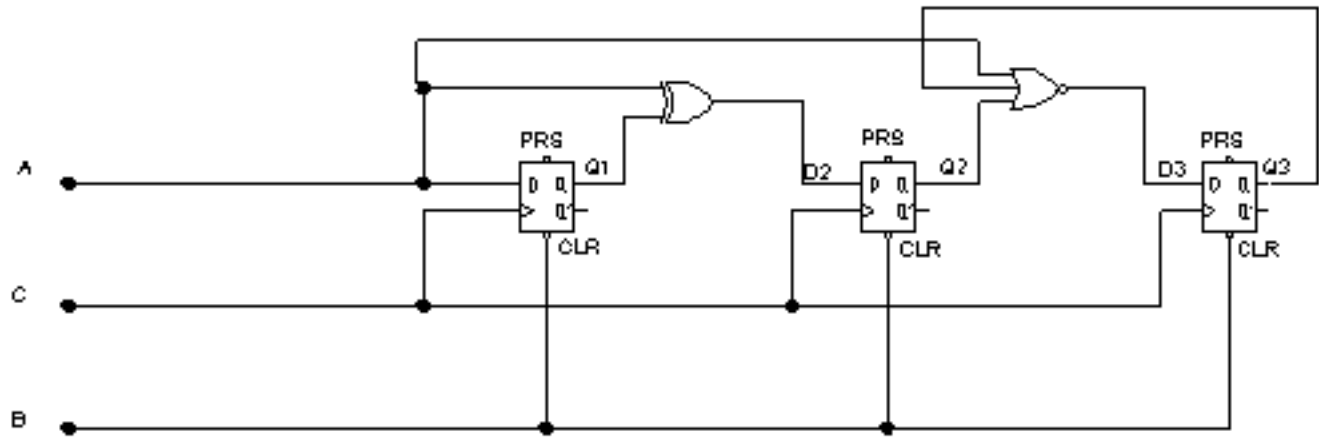
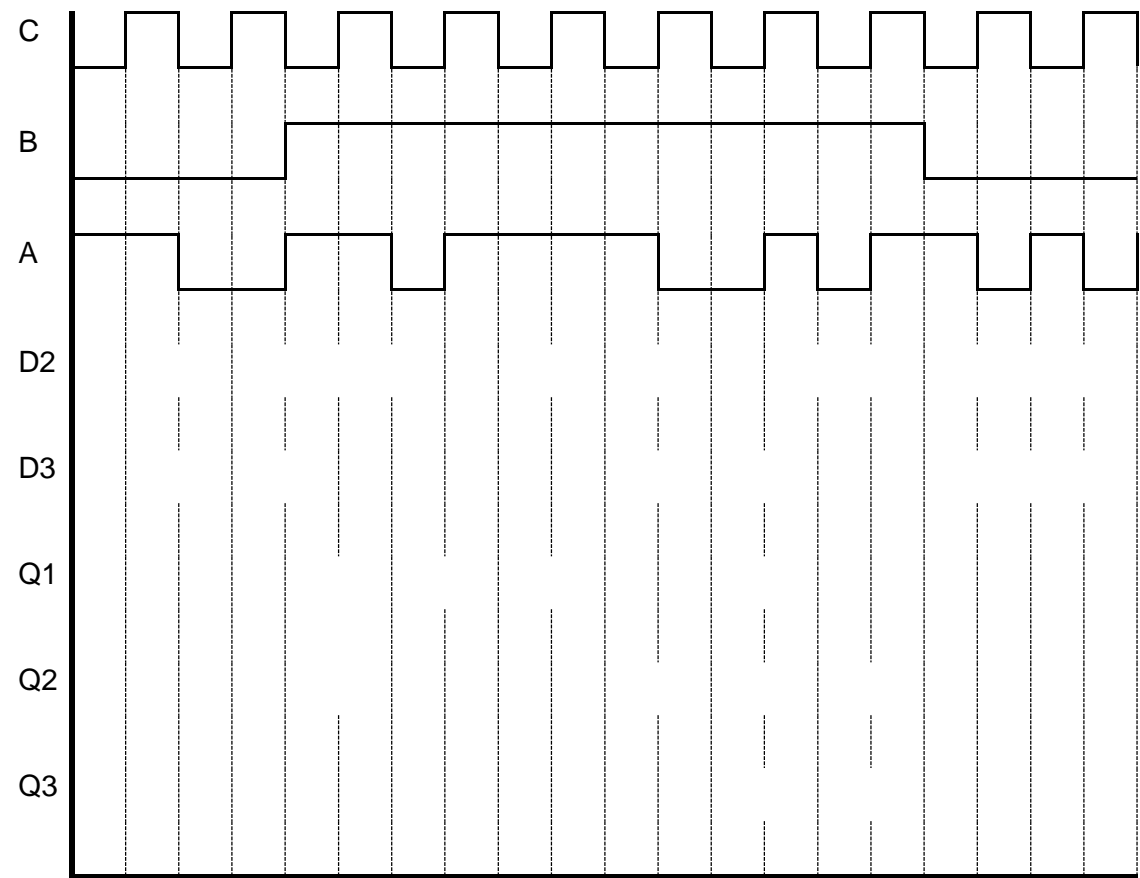
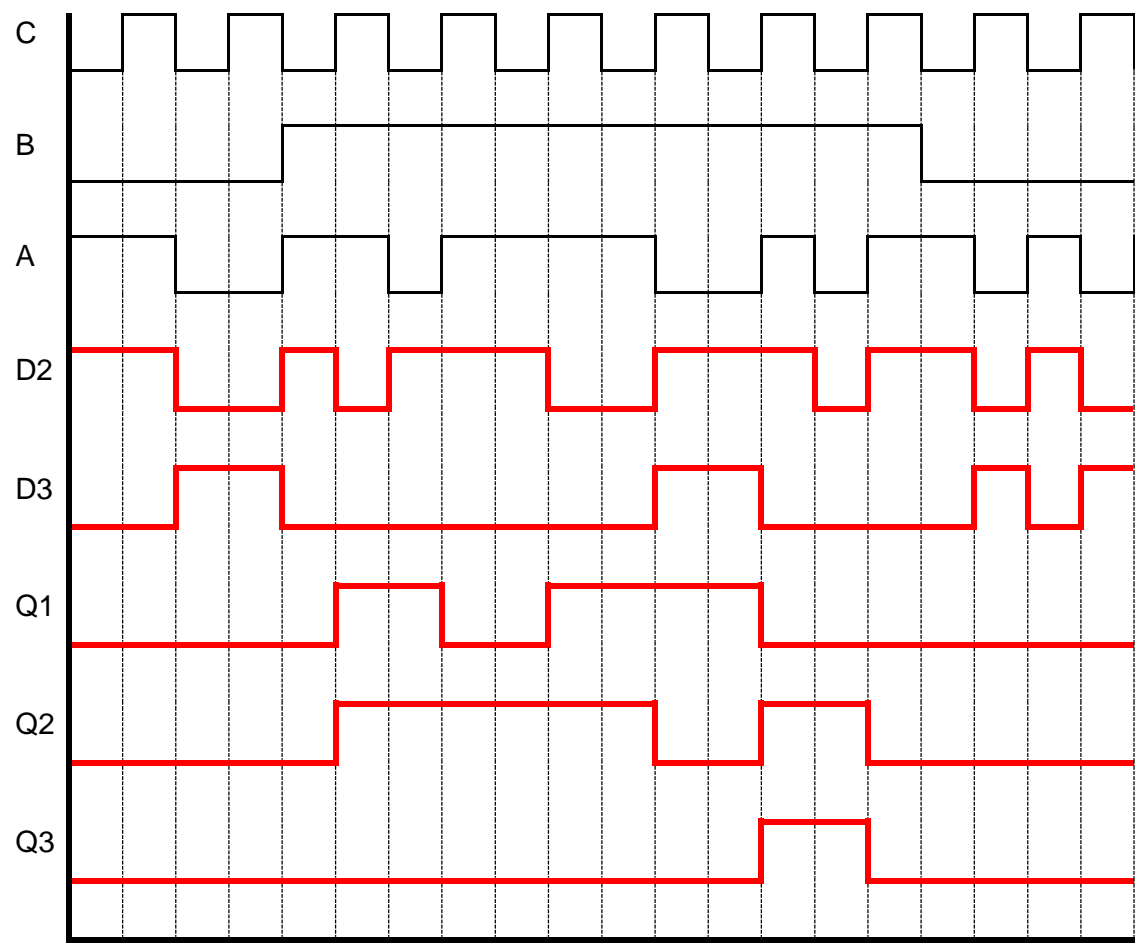


Figura 1



SOLUCIÓN



PROBLEMA 2

Considere el circuito de la **Figura 2.1** donde Clear y A son las señales de entrada y S es la señal de salida. B, Q₀ y Q₁ son las señales en los puntos que se indican.

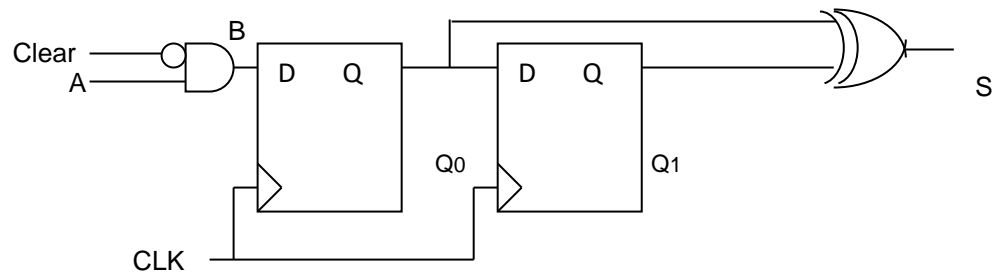


Figura 2.1

Complete el cronograma de la **Figura 2.2**, sabiendo que el estado inicial de los biestables es 0.

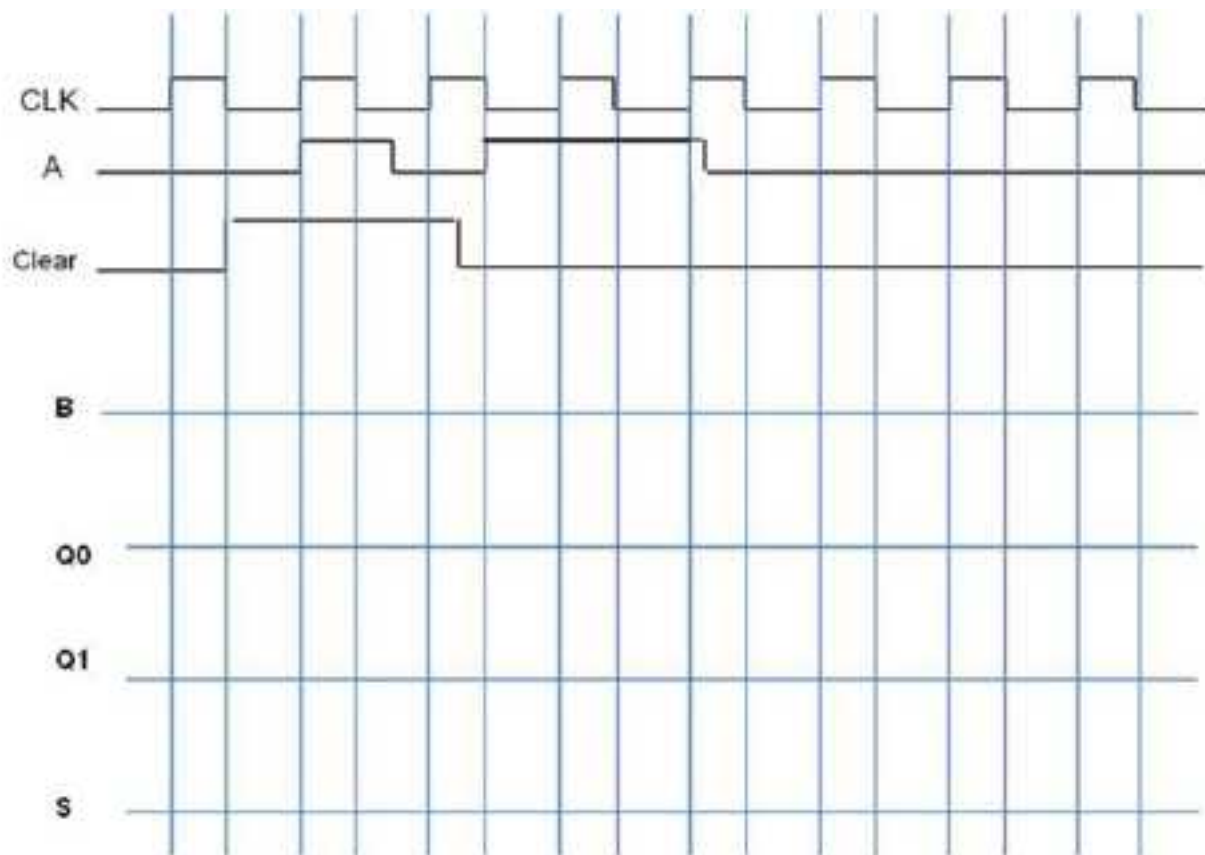
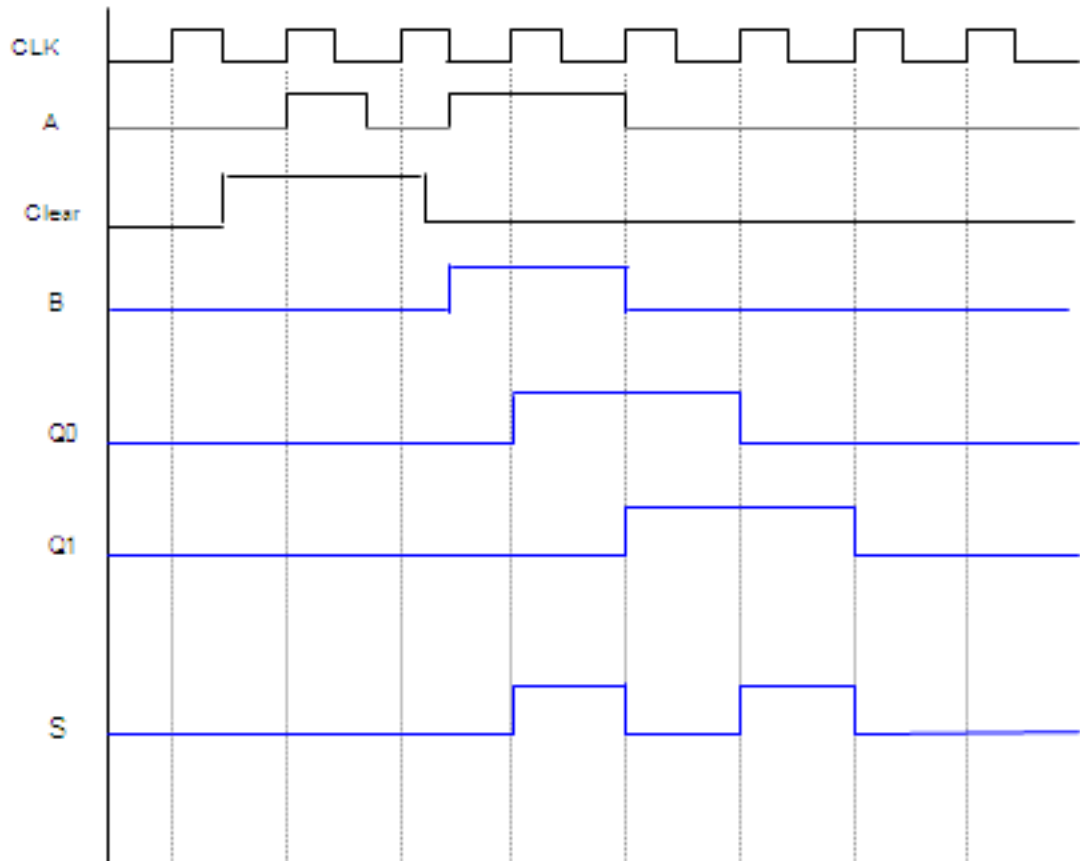


Figura 2.2

SOLUCIÓN



PROBLEMA 3

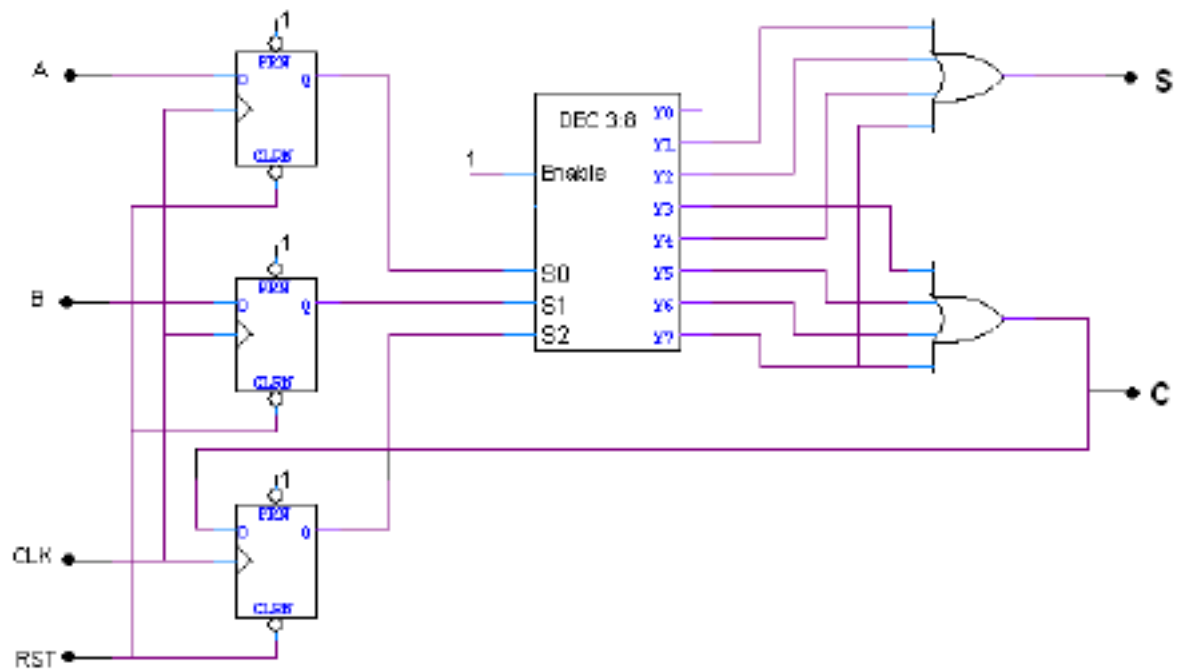
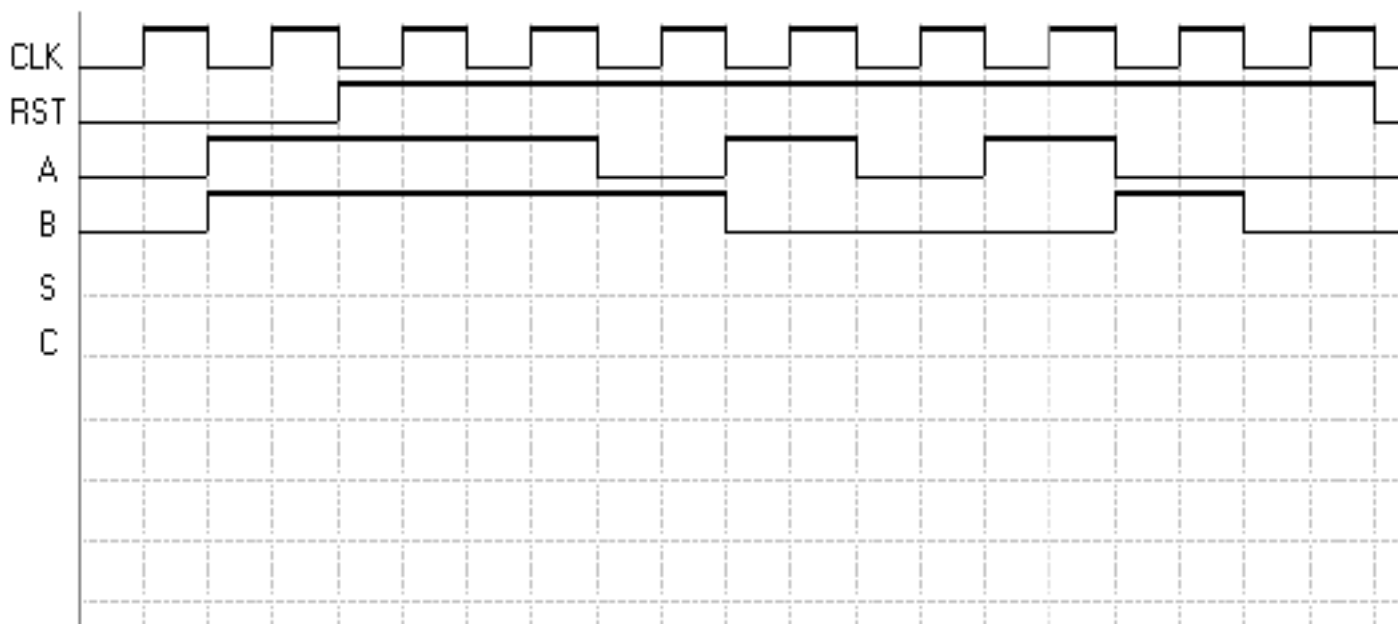


Figura 3

Teniendo el circuito de la figura 3:

Se pide:

- Obtenga la función $S(S2, S1, S0)$ simplificada.
- Obtenga la función $C(S2, S1, S0)$ simplificada en forma de suma de productos.
- Complete el siguiente cronograma. Use las líneas adicionales necesarias.



SOLUCIÓN

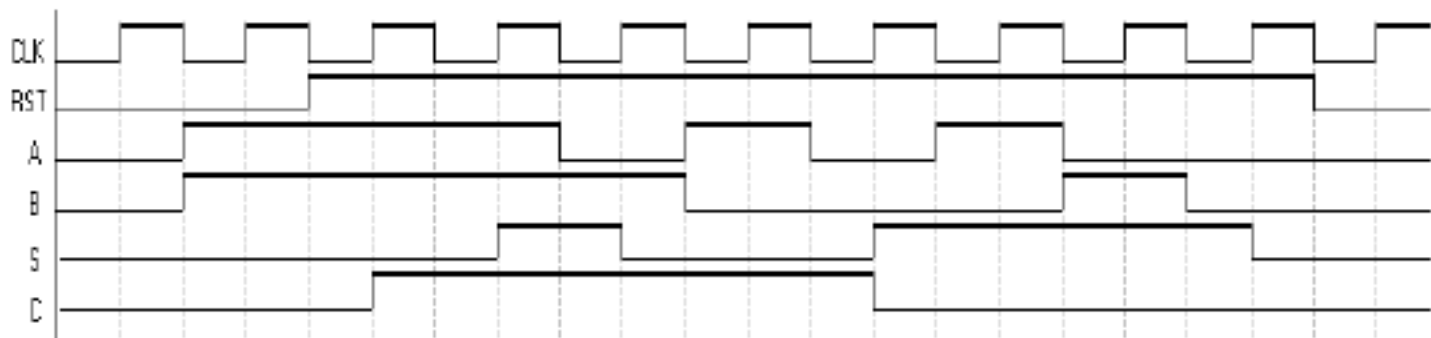
a)

$$\begin{aligned}
 S &= \overline{S_2} \overline{S_1} S_0 + \overline{S_2} S_1 \overline{S_0} + S_2 \overline{S_1} \overline{S_0} + S_2 S_1 S_0 = \\
 &= (\overline{S_2} \overline{S_1} + S_2 S_1) S_0 + (\overline{S_2} S_1 + S_2 \overline{S_1}) \overline{S_0} = \\
 &= (\overline{S_2 \oplus S_1}) S_0 + (S_2 \oplus S_1) \overline{S_0} = \\
 &= (S_2 \oplus S_1) \oplus S_0 = S_2 \oplus S_1 \oplus S_0
 \end{aligned}$$

b)

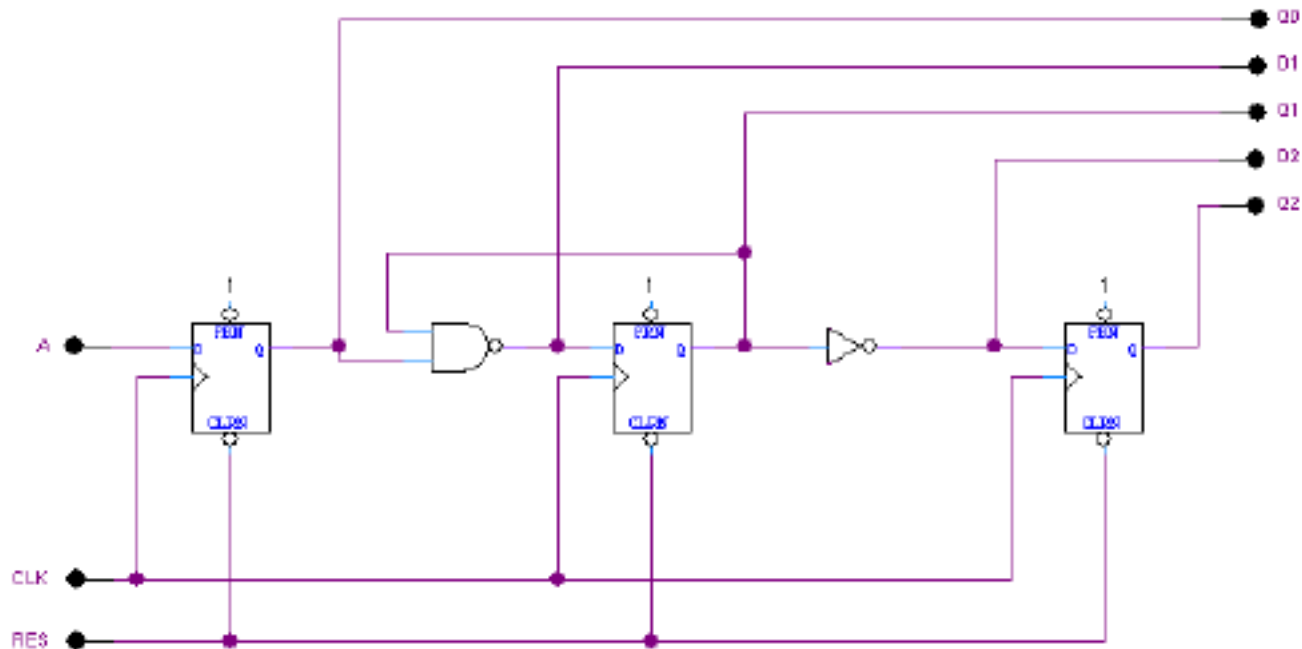
$$\begin{aligned}
 C &= \overline{S_2} S_1 S_0 + S_2 \overline{S_1} S_0 + S_2 S_1 \overline{S_0} + S_2 S_1 S_0 = \\
 &= (\overline{S_2} + S_2) S_1 S_0 + S_2 (\overline{S_1} + S_1) S_0 + S_2 S_1 (\overline{S_0} + S_0) = \\
 &= S_1 S_0 + S_2 S_0 + S_2 S_1
 \end{aligned}$$

c)

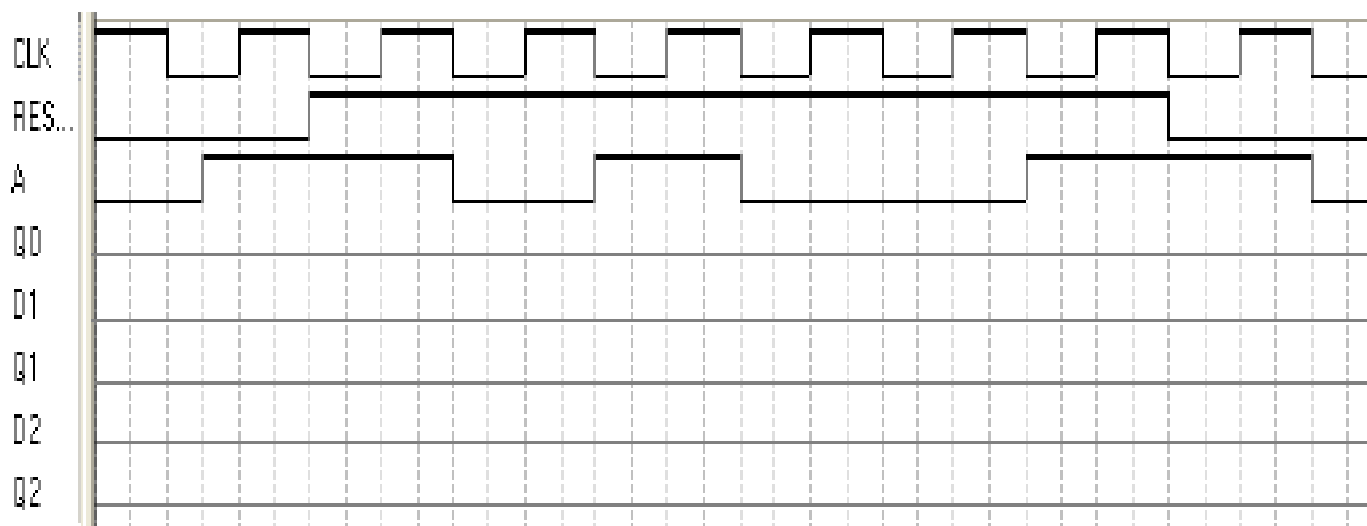


PROBLEMA 4

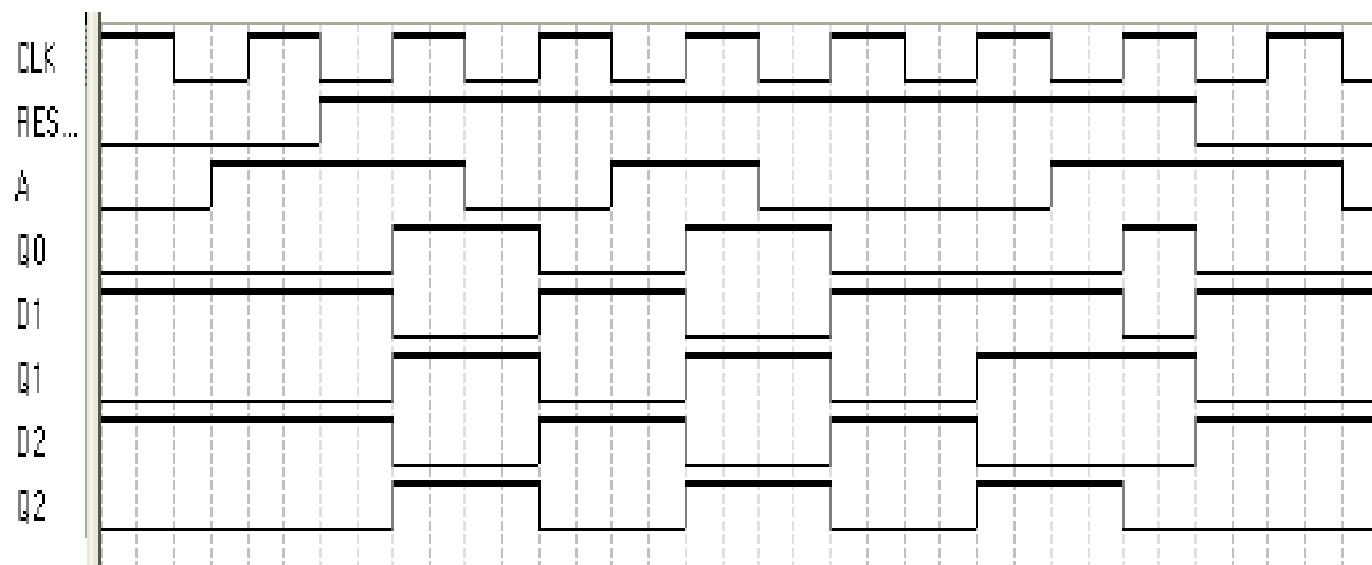
Dado el siguiente circuito:



Complete el cronograma siguiente:



SOLUCIÓN



PROBLEMA 5

En el circuito de la figura 5 se muestra un sistema secuencial basado en biestables y puertas lógicas.

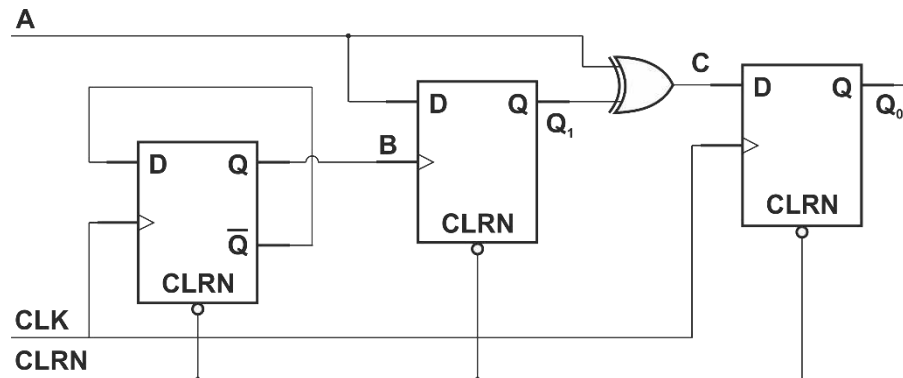


Figura 5

Se pide:

- Describa la tabla de verdad para los biestables D del circuito de la **Figura 5.1**. Utilice como señales de entrada: CLRN, CLK y D, y como salidas Q_{t+1} y \bar{Q}_{t+1} .
- Complete el cronograma adjunto correspondiente al circuito de la **Figura 5.2** e indique qué **operación** está realizando el mismo. Suponga que el estado inicial es $Q = 0$.

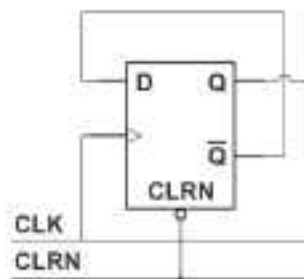
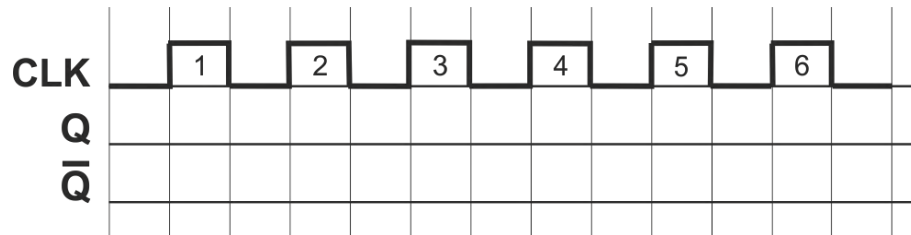
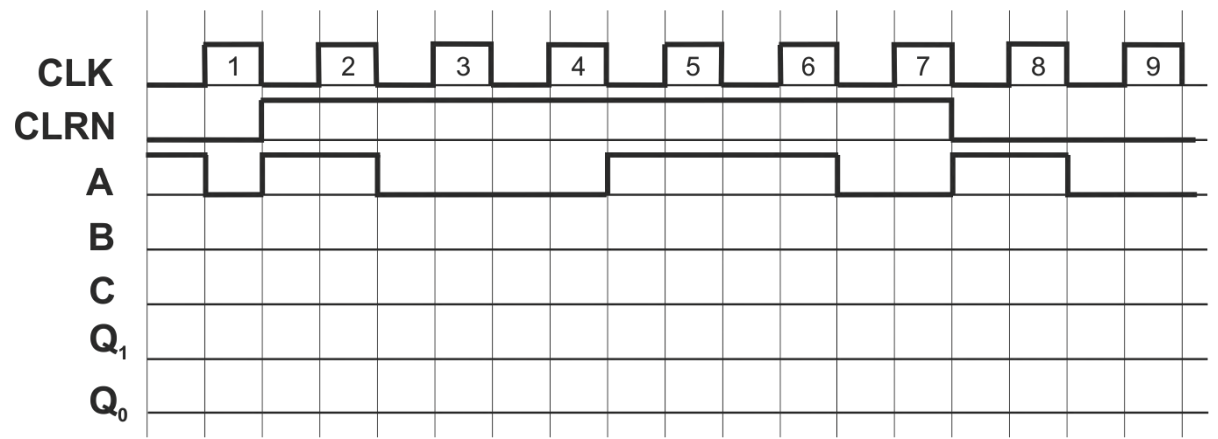


Figura 5.1



Cronograma para el circuito de la Figura 5.2

- A partir de los resultados de los apartados anteriores, complete el cronograma adjunto correspondiente al funcionamiento del circuito de la **Figura 5**.



SOLUCIÓN

Se pide:

- a) Describa la tabla de verdad para los biestables D del circuito de la **Figura 5**. Utilice como señales de entrada: CLRN, CLK y D, y como salidas Q_{t+1} y \overline{Q}_{t+1} .

| Entradas | | | Salidas | |
|----------|------------|---|-----------|------------|
| CLR N | CLK | D | Q_{t+1} | $/Q_{t+1}$ |
| 0 | X | X | 0 | 1 |
| 1 | \uparrow | 0 | 0 | 1 |
| 1 | \uparrow | 1 | 1 | 0 |
| 1 | 1 | X | Q_t | $/Q_t$ |
| 1 | 0 | X | Q_t | $/Q_t$ |

- b) Complete el cronograma adjunto correspondiente al circuito de la **Figura 5.1** e indique qué **operación** está realizando el mismo. Suponga que el estado inicial es $Q = 0$.

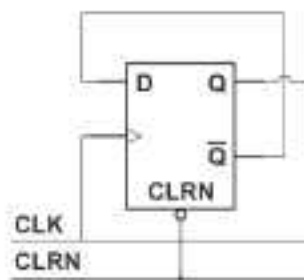
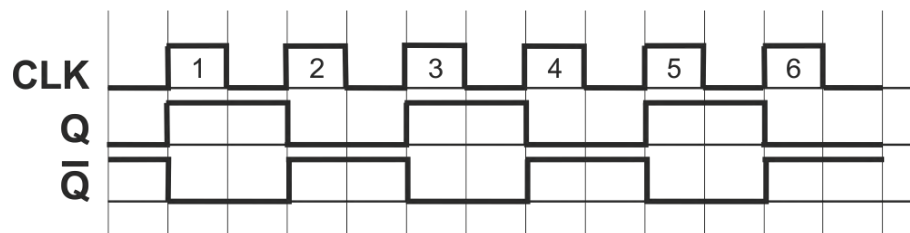


Figura 5.1



Cronograma para el circuito de la Figura 5.2

El circuito multiplica el periodo de la señal de reloj por 2 o, equivalentemente, divide la frecuencia del reloj a la mitad.

- c) A partir de los resultados de los apartados anteriores, complete el cronograma adjunto correspondiente al funcionamiento del circuito de la **Figura 5**.

