



Ingeniería Técnica en Informática de Gestión
Tecnología de Computadores. 2ª prueba parcial
Grupo 11. Mayo de 2007

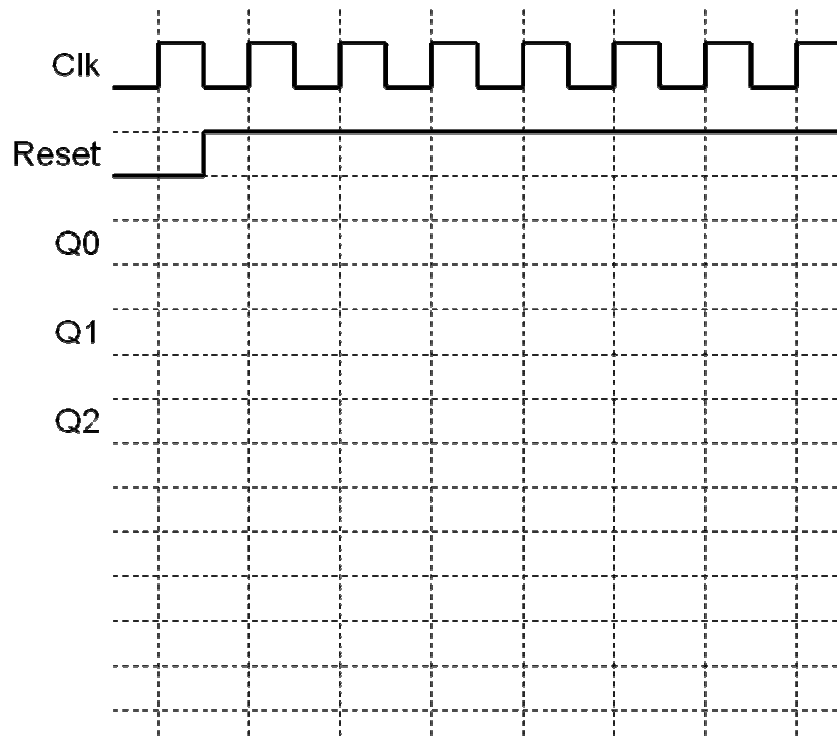
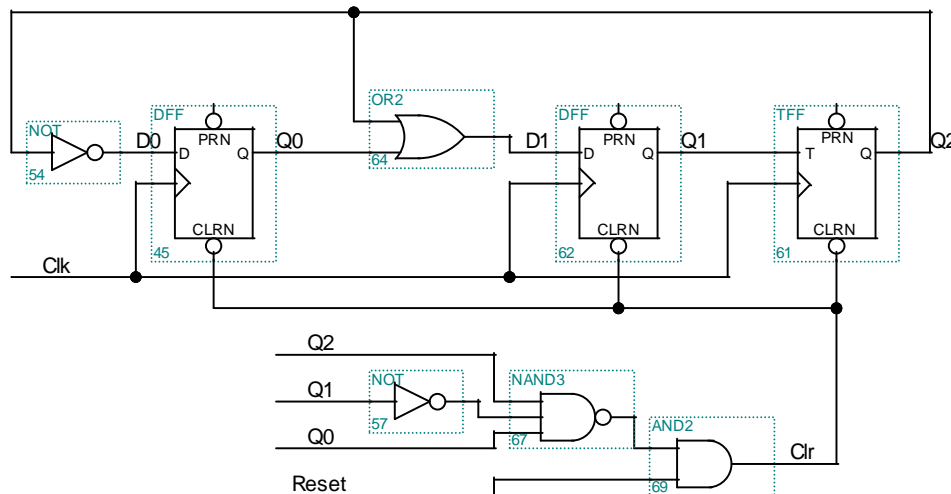
Nombre: _____

Grupo: _____

Apellidos: _____

Cuestión 1.- (0,75 puntos)

Dado el circuito de la figura, rellenar el cronograma adjunto utilizando las variables intermedias que sean precisas. Suponer que los biestables son activos por flanco de subida.





Cuestión 2.- (0,75 puntos)

Diseñar un contador síncrono ascendente módulo 11 (que cuente de 0 a 10) con puesta a cero síncrona. Deberá tener una entrada de habilitación y otra de reset asíncrono. Utilizar biestables de tipo D que no tengan señal de puesta a cero síncrona.

Problema 1.- (2,5 puntos)

a) Se quiere realizar un generador de tramas, que genere distintos conjuntos de combinaciones de 3 bits (salidas $S_2S_1S_0$), en función de dos entradas A y B:

AB="00" => Generar las tramas "001", "010" y "100".

AB="01" => Generar las tramas "001", "010", "011" y "100".

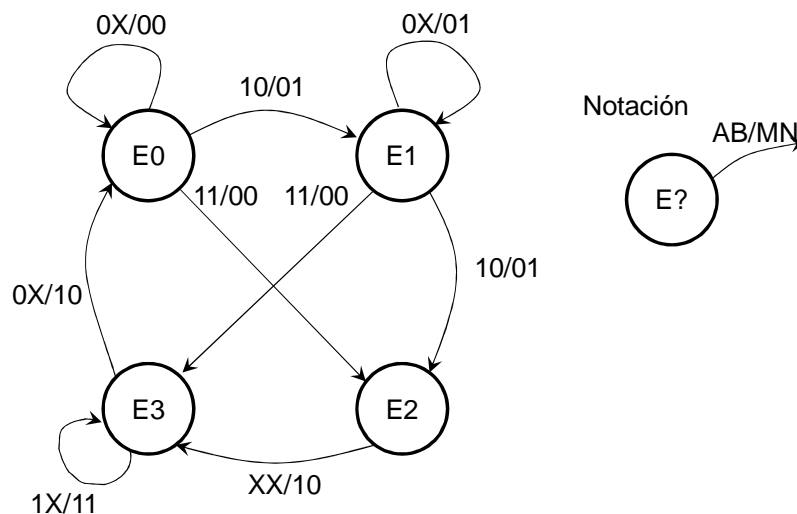
AB="10" => Generar las tramas "001", "011", "111", "110", "100".

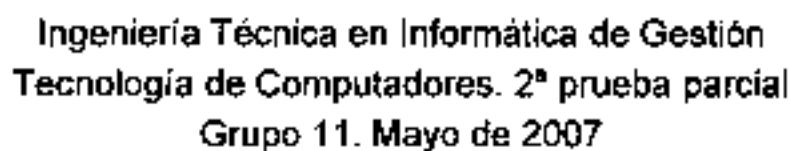
AB="11" => No generar tramas. Salidas a '0'.

Los distintos valores de cada trama deben generarse en ciclos de reloj consecutivos. La trama seleccionada se repite indefinidamente hasta que las entradas indiquen que no se generan tramas o se seleccione una trama distinta. Una trama no puede interrumpirse, deben generarse todos sus valores.

Especificar razonadamente si el circuito sigue el modelo Moore o Mealy, y dibujar el diagrama de estados del circuito. Indicar apropiadamente la notación utilizada para representar estados, entradas y salidas del circuito en el diagrama.

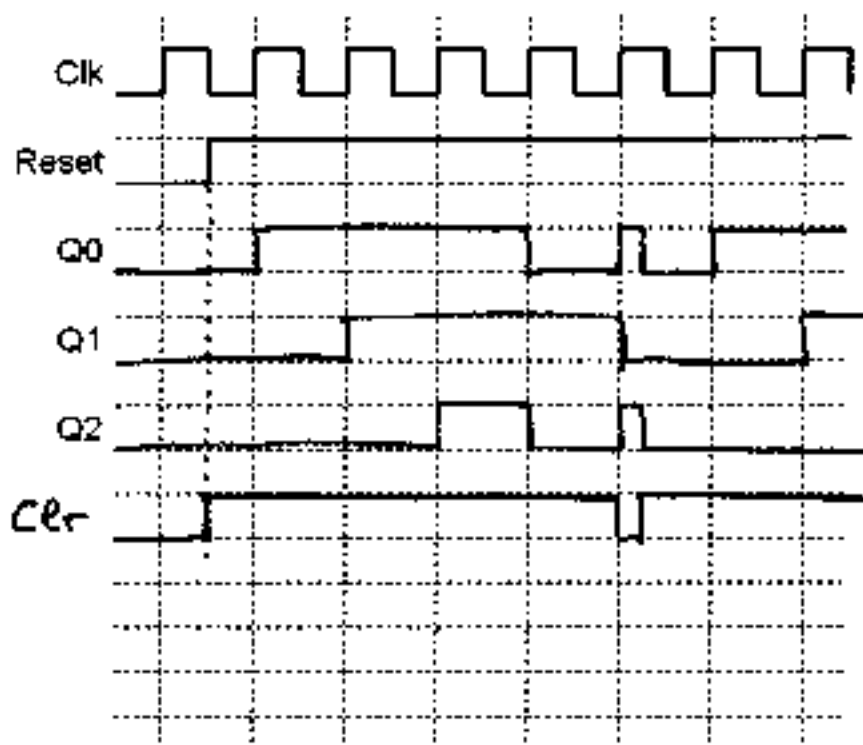
b) A partir del diagrama de estados de la figura, construir un circuito secuencial síncrono utilizando biestables D y puertas lógicas. Se considerará que el estado de reset del circuito es E2. Las entradas del circuito se denominan A y B, y las salidas M y N.





Gruppe:

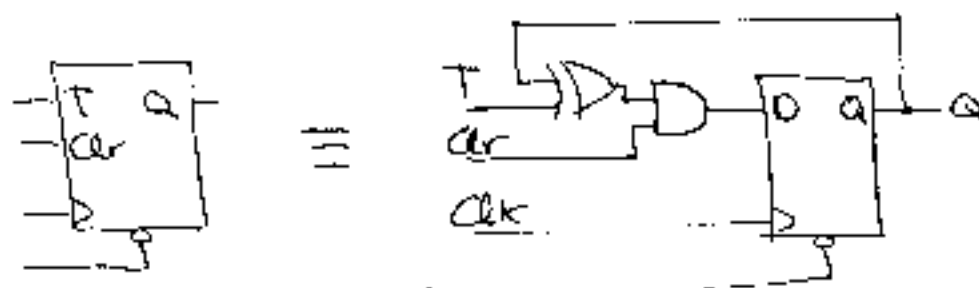
Cuestión 1.- (0,75 puntos)



Hang clear (clr=0) si.
- Reset=0
- $Q_3 Q_2 Q_1 = 101$

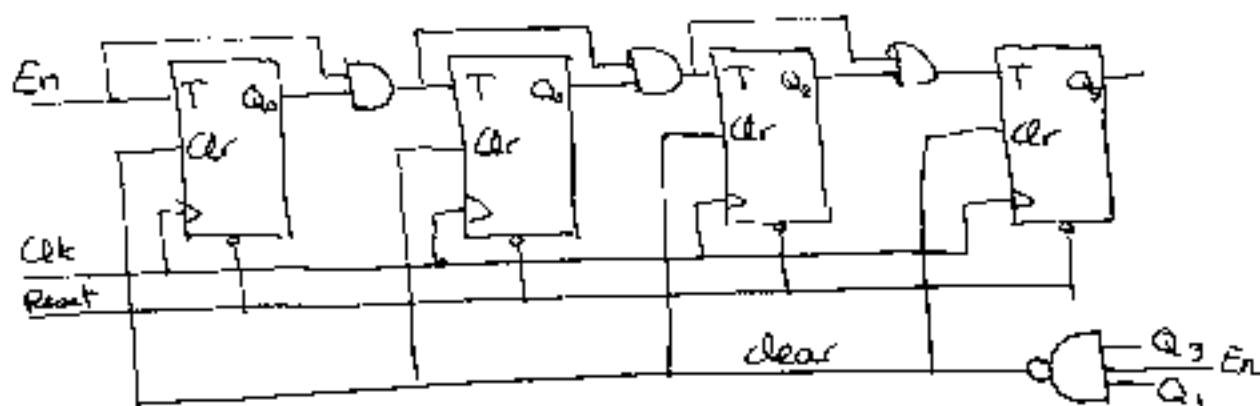
Cuestión 2

Para poder realizar una puerta a 0 síncrona, usamos una construcción equivalente a un biestable T con clear síncrono



Este biestable se pone a 0 si $\text{Clr} = 0$

Con este biestable T, construimos un contador de 4 bits:



Conectamos un comparador = 10 a la señal de clear

$$10_{10} \equiv 1010 \Rightarrow \text{Comparador } 1 \times 1 \times \Rightarrow \text{clear} = \overline{Q_3 Q_1 \cdot \text{En}}$$

Como el clear se hace de manera síncrona, el contador permanecerá 1 ciclo en el valor 10 y pasará a 0 al llegar el flanco de reloj, si $\text{En} = 1$.

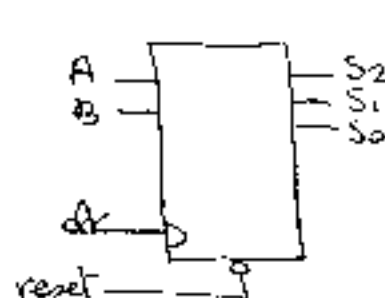
Si se quiere generar un acarreo de salida:

$$\text{cout} = \overline{\text{clear}}$$

Problema 1 (a)

El circuito es de Moore, porque a cada estado le corresponderá una sola salida, independiente de la entrada.

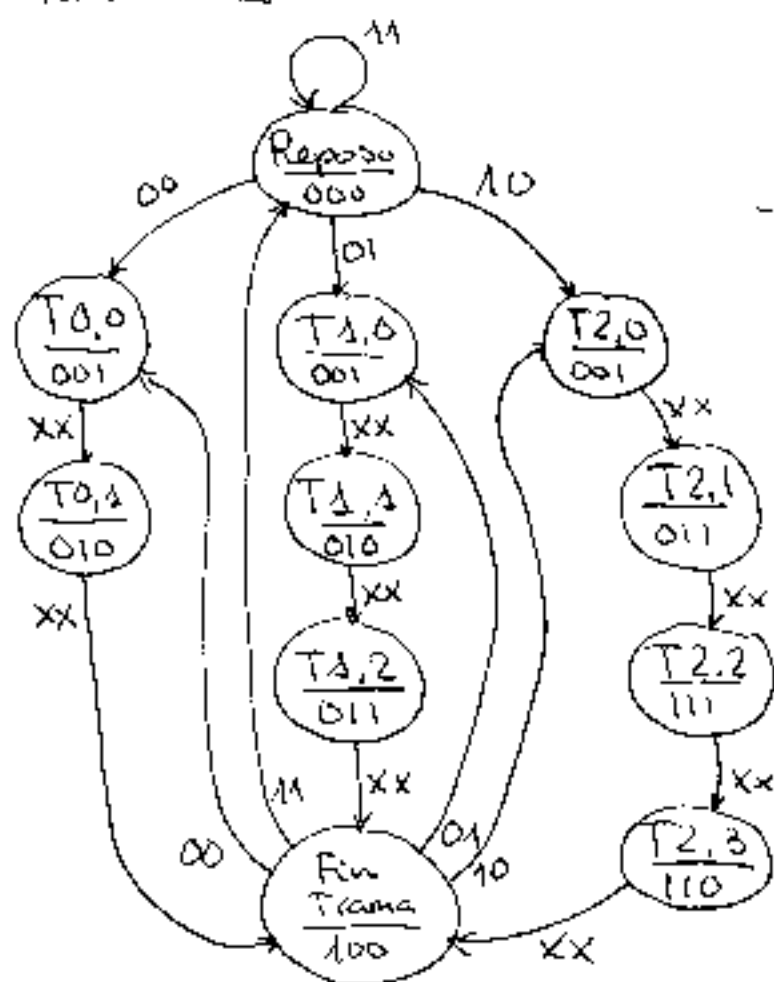
Se utilizará el convenio siguiente:



Los estados se nombrarán Tx,y donde x es el n° de trama (0,1,2), y y es el n° de orden del valor de la trama (0-4).

Observaciones:

- Como todas las tramas terminan con el mismo valor, las tres tramas pueden tener un mismo estado final, que se ha llamado "Fin Trama".
- No se puede hacer lo mismo con los estados iniciales.
- Reposo es el estado inicial (o de reset) del circuito.



Problema 1 (b)

El diagrama es de Healey, y está completo (de todos los estados salen 4 flechas)

* Asignación de estados (aleatoria)

Estado	Q_1, Q_0	4 estados \Rightarrow 2 biestables
E0	0 0	
E1	0 1	
E2	1 0	
E3	1 1	

* Tabla de transiciones:

Estado	Q_1, Q_0	A B	Nuevo estado	Q_1', Q_0'	Salidas M N
E0	0 0	0 0	E0	0 0	0 0
		0 1	E0	0 0	0 0
		1 0	E1	0 1	0 1
		1 1	E2	1 0	0 0
E1	0 1	0 0	E1	0 1	0 1
		0 1	E1	0 1	0 1
		1 0	E2	1 0	0 1
		1 1	E3	1 1	0 0
E2	1 0	0 0	E3	1 1	1 0
		0 1	E3	1 1	1 0
		1 0	E3	1 1	1 0
		1 1	E3	1 1	1 0
E3	1 1	0 0	E0	0 0	1 0
		0 1	E0	0 0	1 0
		1 0	E3	1 1	1 1
		1 1	E3	1 1	1 1

* Simplificación de funciones

Para hacer el circuito con biestables D, $D_0 = Q_0'$, $D_1 = Q_1$

Tenemos que calcular

$$D_0, D_1, M, N = f(Q, Q_0, A, B)$$

AB \ Q ₁ Q ₀	D ₁				D ₀			
	00	01	11	10	00	01	11	10
00	0	0	1	0	0	0	0	1
01	0	0	1	1	1	1	1	0
11	0	0	1	1	0	0	1	1
10	1	1	1	1	1	1	1	1
M					N			
00	0	0	0	0	0	0	0	1
01	0	0	0	0	1	1	0	1
11	1	1	1	1	0	0	1	1
10	1	1	1	1	0	0	0	0

$$\left\{ \begin{array}{l} D_1 = \underline{Q_1 Q_0} + AB + Q_0 A \\ D_0 = \underline{Q_1 Q_0} + \underline{\bar{Q}_1 Q_0 \bar{A}} + \bar{Q}_1 Q_0 B + Q_1 A + \bar{Q}_0 A \bar{B} \\ M = Q_1 \\ N = \underline{\bar{Q}_1 Q_0 \bar{A}} + Q_1 Q_0 A + \bar{Q}_1 A \bar{B} \end{array} \right.$$

D_0 y D_1 comparten $\underline{Q_1 Q_0}$ (subrayados)
 D_0 y N comparten $\underline{\bar{Q}_1 Q_0 \bar{A}}$

* Implementación

Se pide que el estado inicial (derreset) sea E_2 , que tiene codificación "10". Por tanto, Q_1 debe tener el reset conectado al preset y Q_0 al clear.

