



## EJERCICIO 1 (1 PTO)

---

- 1) Calcule el valor decimal del número binario 10100111 suponiendo que está representado en los diferentes códigos: binario natural, signo-magnitud y complemento a 2.

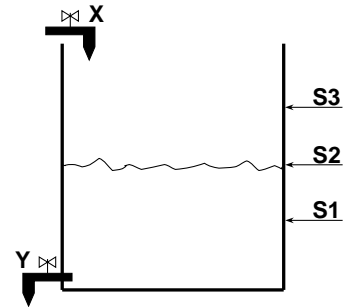
		Decimal
Binario natural	10100111 <sub>2</sub>	
Signo-magnitud	10100111 <sub>2</sub>	
Complemento a 2	10100111 <sub>2</sub>	

- 2) Comprobar a priori (sin convertir a binario) si se pueden realizar sin desbordamiento las siguientes operaciones con el número de bits que se indican, trabajando en complemento a 2. En los casos en que sí se pueda, realizar la operación y comprobar el resultado:
- a)  $157 + 222$  con 7 bits
  - b)  $-245 - 112$  con 10 bits
  - c)  $344 + 134$  con 10 bits
  - d)  $344 - 220$  con 8 bits
- 3) Se sabe que  $543_x = 674_8$ . Deducir de forma razonada que base es X.
- 4) Convertir  $0,3_{10}$  a binario y hallar su representación en el formato IEEE-754 de 32 bits.

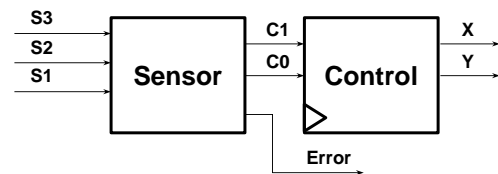


## EJERCICIO 2 (5 PUNTOS)

Se dispone de un tanque de agua abierto por la parte superior que recoge agua de lluvia. El tanque tiene una válvula de llenado (X) y una de vaciado (Y) que permiten regular el nivel del depósito añadiendo o liberando agua. Se pretende que el nivel del agua se mantenga entre un nivel mínimo u un nivel máximo. Para evitar aperturas y cierres consecutivos de válvulas, se quiere implementar un mecanismo de regulación con histéresis. Para ello, el depósito dispone de tres sensores de detección de llenado (S1, S2 y S3) que permiten determinar el nivel del agua y actuar en consecuencia.



El diseño se realizará en dos partes, una parte combinacional que codificará los valores de los sensores, y una máquina de estados, que implementará el algoritmo de control.



**Realizar el apartado 1 en hojas distintas de los apartados 2 y 3.**

1) El primer bloque es combinacional y procesa las entradas de los sensores. Tiene por entradas los tres detectores de llenado (S1, S2 y S3), y su salida debe ser el número del detector más alto que esté sumergido en agua, codificado en binario natural (C1, C0). Adicionalmente, tendrá una salida Error que se activará cuando las entradas tengan valores incorrectos que indiquen que algún sensor está averiado. Por ejemplo, si S2 está activo y S1 no lo está, quiere decir que alguno de los dos está averiado, ya que el nivel del agua no puede superar S2 y no llegar a S1. Indicar las tablas de verdad para C1, C0 y Error, e implementar el circuito con el menor número posible de puertas.

2) El segundo bloque es el circuito de control. Sus entradas son C1 y C0, que indican el nivel de agua, y sus salidas son las válvulas X e Y.

El funcionamiento del circuito de control es:

- Si el nivel está entre S1 y S3, las dos válvulas deben estar cerradas, ya que se considera un nivel adecuado.
- Si el nivel pasa de S3, se debe abrir la válvula de vaciado (Y) hasta que el nivel baje por debajo de S2.
- Si el nivel baja por debajo de S1, se debe abrir la válvula de llenado (X) hasta que el nivel suba hasta S2.

Se pide dibujar el diagrama de estados, realizar la asignación de estados y la tabla de transiciones para el diseño con biestables T (**No se pide** simplificar funciones ni el esquema final).

3) Explicar (brevemente) las modificaciones que habría que hacer al circuito del apartado 2 para que, en caso de que el circuito del apartado 1 detecte un error en los sensores, las dos válvulas se cierren y se encienda un LED de aviso.



Nombre: \_\_\_\_\_ Grupo: \_\_\_\_\_

Apellidos: \_\_\_\_\_

### EJERCICIO 3 (2,5 PUNTOS)

Se pretende realizar una memoria 24Kx8 para un micro cuyo bus de direcciones tiene 16 bits. Deberá cumplir estas características:

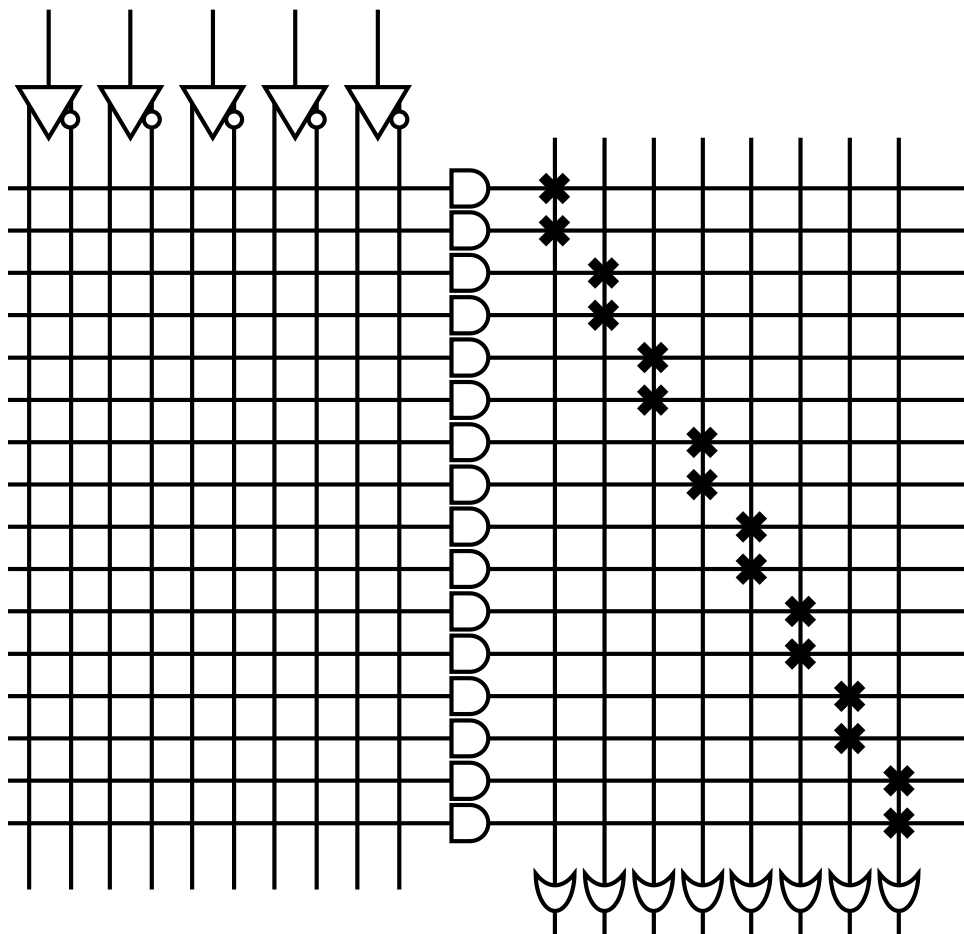
- Dispondrá de una zona RAM que se ubicará en la zona de direcciones más bajas, y será de 6KBytes
- A continuación se reservarán 2KBytes para usos futuros
- El resto de la memoria será ROM, hasta completar los 24KBytes

Se dispone únicamente de los siguientes dispositivos:

- Una pastilla de RAM 4Kx8
- Dos pastillas de RAM 2Kx4
- Varias pastillas ROM 4Kx8
- La matriz programable de la figura

Se pide:

- El mapa de memoria completo
- Diseñar la lógica de decodificación de direcciones utilizando la matriz programable de la figura. Indicar razonadamente el tipo de esa matriz programable.
- El esquema eléctrico de conexiones de todas las memorias utilizadas, suponiendo que las entradas CS son activas a nivel alto





## EXERCISE 1 (1 PT)

---

- 1). Calculate the decimal value of the binary number 10100111 assuming it is represented in the various codes: natural binary, signed magnitude and 2's complement.

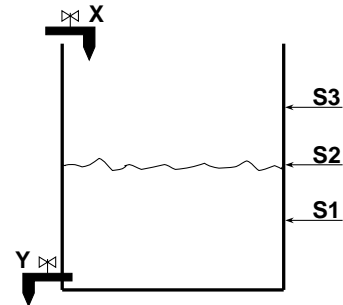
		Decimal
Natural Binary	10100111 <sub>2</sub>	
Signed magnitude	10100111 <sub>2</sub>	
2's complement	10100111 <sub>2</sub>	

- 2). Check a priori (without converting into binary) if we can perform the following operations without any overflow with the number of bits indicated, working in 2's complement. In the cases we can, make the operation and check the result:
- 1).  $157 + 222$  with 7 bits
  - 2).  $-245 - 112$  with 10 bits
  - 3).  $344 + 134$  with 10 bits
  - 4).  $344 - 220$  with 8 bits
- 3). It is given that  $543_x = 674_8$ . Derive the value of the basis 'X'.
- 4). Convert  $0.3_{10}$  into binary and provide its representation in the IEEE-754 format of 32 bits.

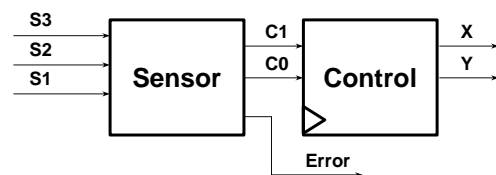


## EXERCISE 2 (5 PT)

We have a water tank, open in the upper part to collect rain water. It has an admission valve (X) and a release valve (Y), that allow to control the water level by loading or releasing water. We want the water level to be between a minimum and a maximum level. In order to avoid consecutive openings and closings of the valves, we want to implement a hysteresis based control system. To this purpose, the tank has three level sensors (S1, S2 and S3) that allow determining the water level and actuate.



The design will be developed in two blocks, a combinational block that will encode the sensors value, and a finite state machine, that will implement the control algorithm.



**Write part 1 in different sheets than parts 2 and three.**

1) The combinational block processes sensor information. Its inputs are the three level sensors (S1, S2, S3) and its outputs are the order number of the highest sensor detecting water, encoded using natural binary (C1, C0). It also has an Error output that will be active when the sensors provide a combination indicating that one or more sensors are malfunctioning. For example, if S2 is active and S1 is not, it means one of them is broken, as the water level cannot reach the level of S2 without reaching the level of S1 first. Indicate the truth tables for C1, C0 and Error, and implement these functions using the smallest possible number of gates.

2) The second block is the control circuit. Its inputs are C1 and C0, which indicate the water level, and its outputs are the X and Y valves (a high value means valve open).

The control circuit behavior is as follows:

- If the water level is between S1 and S3, it is considered an appropriate level and the two valves should be closed.
- If the level gets above S3, the release valve (Y) should be opened until the levels gets below S2.
- If the level gets below S1, the admission valve (X) should be opened until the levels gets above S2.

We ask to draw the state diagram, the state assignment and the transitions table, for the design with T flip-flops (it is **not required** to simplify functions or the final schematic).

3) Explain (briefly) the required modifications for circuit in part 2 so that, in case the Error signal in part 1 is activated (an error is detected in sensors), the two valves get closed and a warning LED is switched on.



Name: \_\_\_\_\_ Group: \_\_\_\_\_

Surname: \_\_\_\_\_

### EXERCISE 3 (2.5 PT)

We have to design a 24Kx8 memory for a microprocessor with a 16 bit address bus. It must meet the following characteristics:

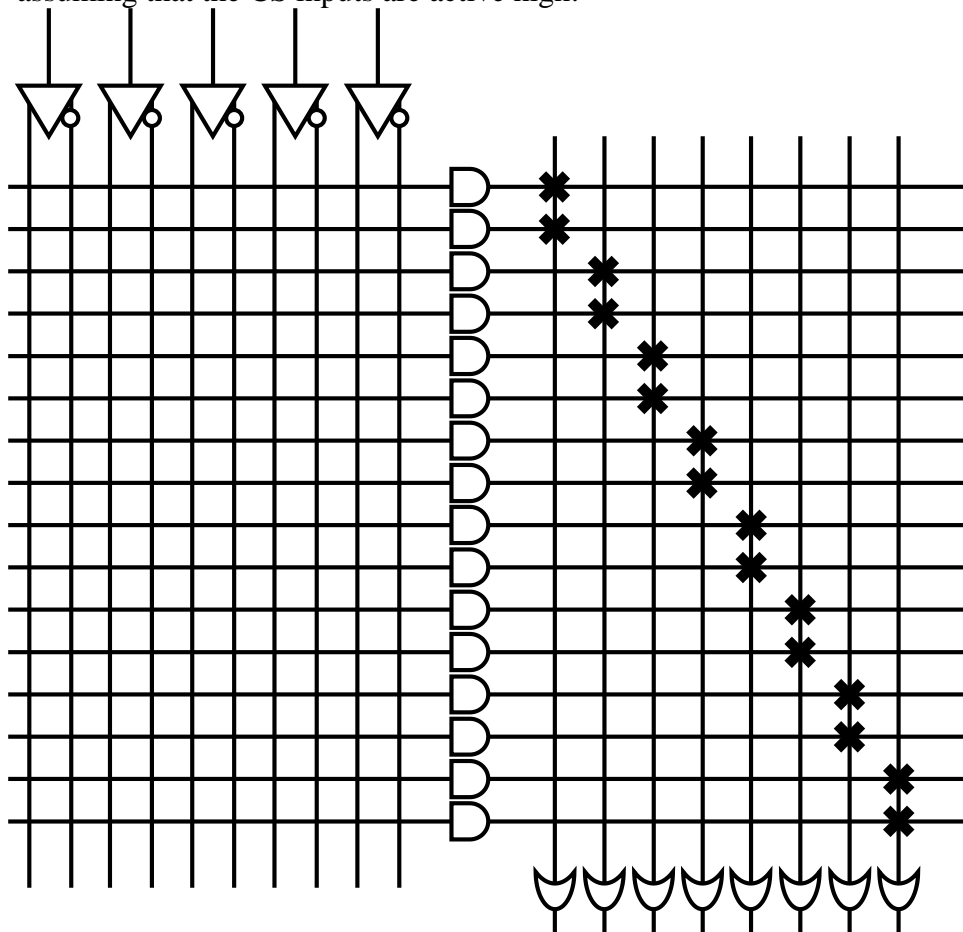
- It has a RAM area located in the lowest address, of 6KBytes
- 2KBytes to be reserved for future use
- The remaining memory is ROM, and it has 24KBytes

The following devices are available:

- One chip of RAM 4Kx8
- Two chips of RAM 2Kx4
- Several chips of ROM 4Kx8
- The programmable array as shown in the figure

We ask:

- The complete memory map
- Design of the address decoding logic using programmable array of the figure. Indicate and reason the type of this programmable array.
- The schematic diagram showing the connections of all the used memories, assuming that the CS inputs are active high.



## Ejercicio 1

1) Binario natural:  $10100111_2 = 128 + 32 + 4 + 2 + 1 = 167_{10}$

Signo-magnitud:  $10100111_m = -(32 + 4 + 2 + 1) = -39_{10}$

Compl. a 2:  $10100111_{ca2} = -128 + 32 + 4 + 2 + 1 = -89_{10}$

2) 
$$\left. \begin{array}{l} 7 \text{ bits} \Rightarrow 2^6 = 64 \Rightarrow -64 \rightarrow +63 \\ 8 \text{ bits} \Rightarrow 2^7 = 128 \Rightarrow -128 \rightarrow +127 \\ 10 \text{ bits} \Rightarrow 2^9 = 512 \Rightarrow -512 \rightarrow +511 \end{array} \right\} \text{Rangos posibles}$$

a)  $157 + 222$  (7bits). No se pueden representar los operandos.

b)  $-245 - 112$  (10bits). Se pueden representar los operandos y el resultado

$$-245 = 1100001011$$

$$-112 = 1110010000$$

$$\boxed{1} 1010011011 = -357$$

↳ No hay desbordamiento

↳ El acarreo se desprecia.

c)  $344 + 134$  (10bits). Se pueden representar los operandos y el resultado.

$$344 = 0101011000$$

$$134 = 0010000110$$

$$0111011110 = 478$$

↳ No hay desbordamiento

d)  $344 - 220$  (8bits). No se pueden representar los operandos.

$$3) \quad 543_x = 674_8$$

$$5x^2 + 4x + 3 = 6 \cdot 8^2 + 7 \cdot 8 + 4 = 444$$

$$5x^2 + 4x - 441 = 0$$

$$x = \frac{-4 \pm \sqrt{16 + 4 \cdot 5 \cdot 441}}{2 \cdot 5} = \frac{-4 \pm 94}{10} = \begin{matrix} 9 \quad \checkmark \\ -9 \end{matrix} \quad \boxed{x=9}$$

Para no tener que hacer la raíz cuadrada:

- Puesto que la representación en base  $x$  es menor que en base 8  $\Rightarrow x > 8$

- Puesto que la representación en base  $x$  es mayor que en base 10  $\Rightarrow x < 10$

$$8 < x < 10 \Rightarrow x = 9$$

$$543_9 = 5 \cdot 9^2 + 4 \cdot 9 + 3 = 444$$

$$4) \quad \begin{array}{l} 0'3 \cdot 2 = 0'6 \Rightarrow 0 \\ 0'6 \cdot 2 = 1'2 \Rightarrow 1 \\ 0'2 \cdot 2 = 0'4 \Rightarrow 0 \\ 0'4 \cdot 2 = 0'8 \Rightarrow 0 \\ 0'8 \cdot 2 = 1'6 \Rightarrow 1 \end{array}$$

$$0'3_{10} = 0'01001 \\ = 1'0010010011 \dots \cdot 2^{-2}$$

$$N = (-1)^3 \cdot 2^{E-127} \cdot 1.M$$

$$S = 0 \text{ (positivo)}$$

$$E - 127 = -2 \Rightarrow E = 125 \Rightarrow 01111101_2$$

$$M = 00110011 \dots$$

S	E(8bits)	M(23bits)
0	01111101	00110011001100110011001



## Ejercicio 2

1)

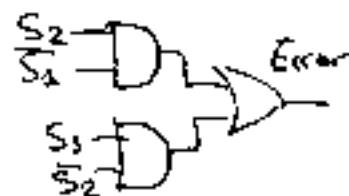
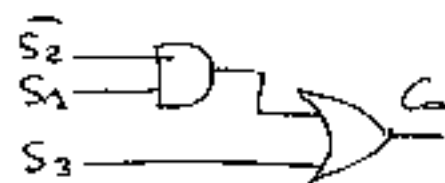
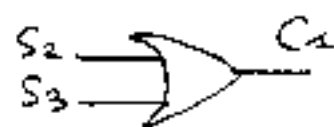
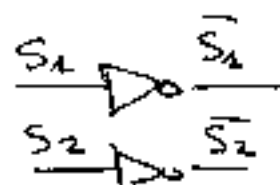
$S_3$	$S_2$	$S_1$	$C_1$	$C_0$	Error
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	1	0	1
0	1	1	1	0	0
1	0	0	1	1	1
1	0	1	1	1	1
1	1	0	1	1	1
1	1	1	1	1	0

$S_3 \backslash S_2 \backslash S_1$	0	1
00	0	0
01	1	1
11	1	1
10	1	1
00	0	1
01	0	0
11	1	1
10	1	1
00	0	0
01	1	0
11	1	0
10	1	1

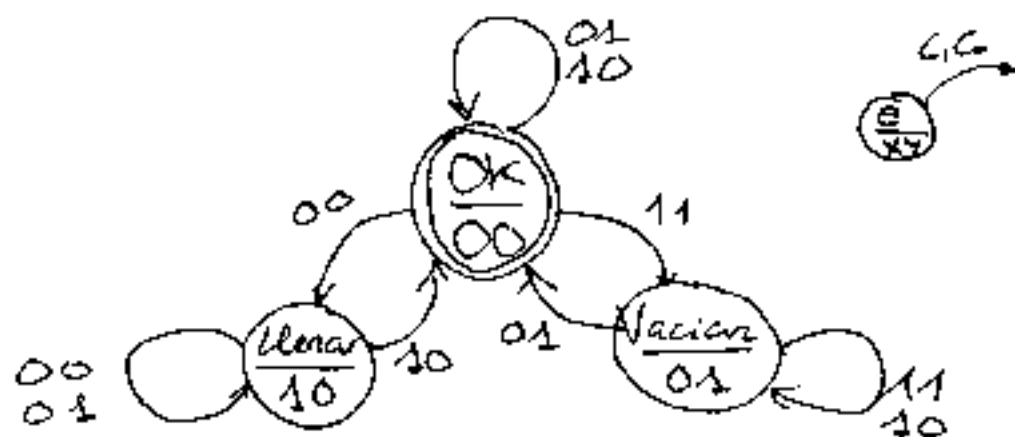
$$C_1 = S_2 + S_3$$

$$C_0 = S_3 + \bar{S}_2 S_1$$

$$\text{Error} = S_2 \bar{S}_1 + S_3 \bar{S}_2$$



2)



Se asume que no se puede saltar dos niveles en un solo ciclo.

Asig. de estados

Estados	$Q_1 Q_0$	$X Y$
OK	0 0	0 0
Llenar	1 0	1 0
Vaciar	0 1	0 1

Si elegimos los estados de modo que coincidan con las salidas, las funciones de salida son inmediatas.

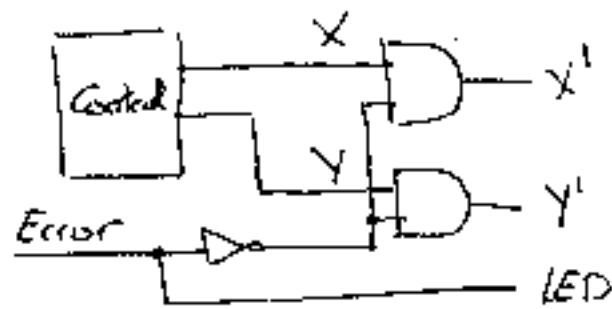
$$X = Q_1$$

$$Y = Q_0$$

Tabla de transiciones

Estado	$Q_1 Q_0$	$C_1 C_0$	$Q_1' Q_0'$	$T_1 T_0$
OK	0 0	0 0	1 0	1 0
		0 1	0 0	0 0
		1 0	0 0	0 0
		1 1	0 1	0 1
Vaciar	0 1	0 0	X X	X X
		0 1	0 0	0 1
		1 0	0 1	0 0
		1 1	0 1	0 0
Llenar	1 0	0 0	1 0	0 0
		0 1	1 0	0 0
		1 0	0 0	1 0
		1 1	X X	X X
X	1 1	X X	X X	X X

3)\* Lo más inmediato es añadir lo siguiente:



$$LED = \overline{Error}$$

$$X' = \overline{Error} \cdot X$$

$$Y' = \overline{Error} \cdot Y$$

\* También se puede rediseñar la máquina de estados, añadiendo la entrada Error y la salida LED. Dependiendo de si la máquina es Moore o Mealy, necesitará un nuevo estado para encender el LED, o no.



### EJERCICIO 3

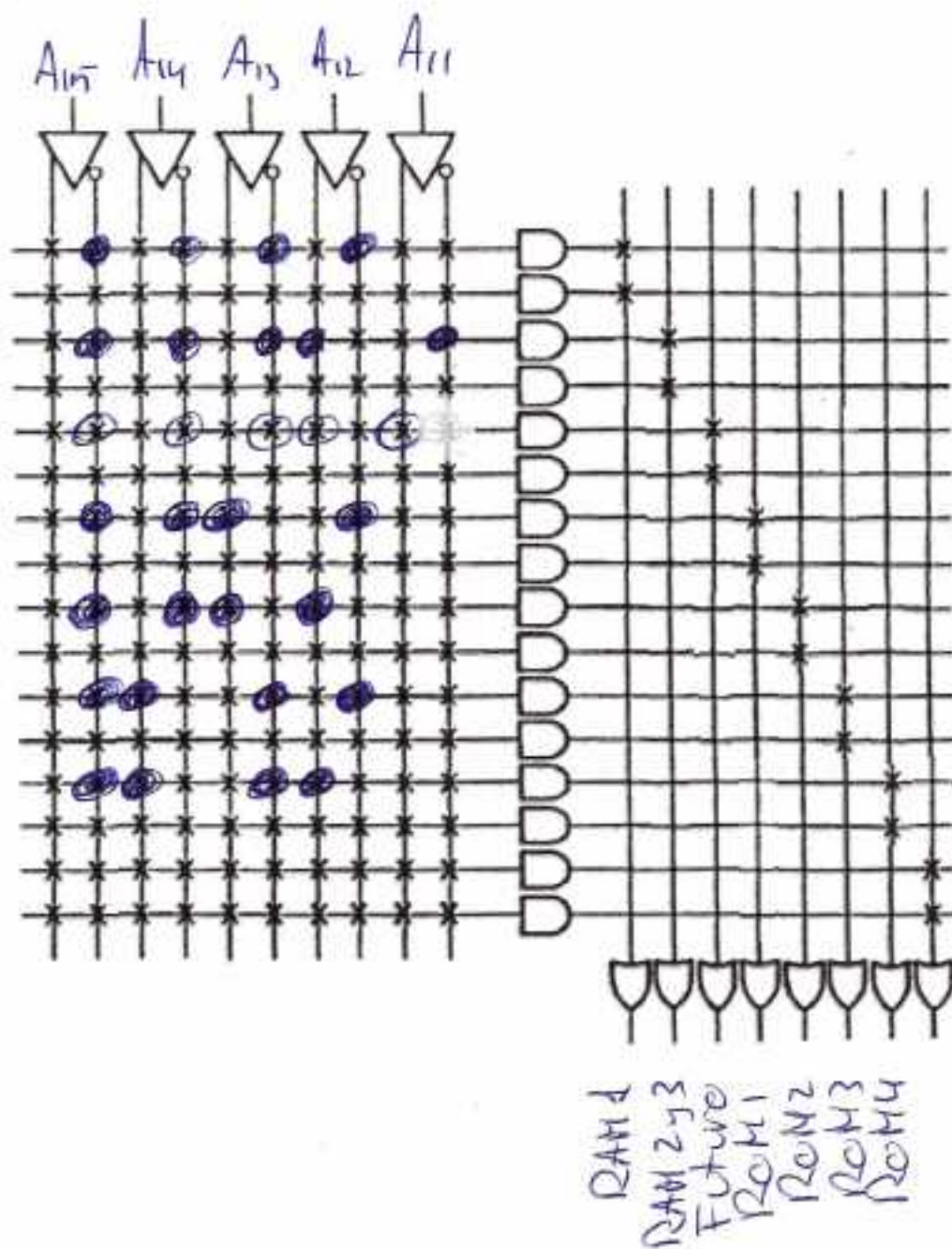
	RAM1	0x0000
0x0FFF		
0x1FFF	RAM2   RAM3	0x1000
		0x1500
0x1FFF		0x2000
	ROM1	
0x2FFF		0x3000
	ROM2	
0x3FFF		0x4000
	ROM3	
0x4FFF		0x5000
	ROM4	
0x5FFF		

El micro tiene que tener como  
poco 15 hilos en el bus de direcciones

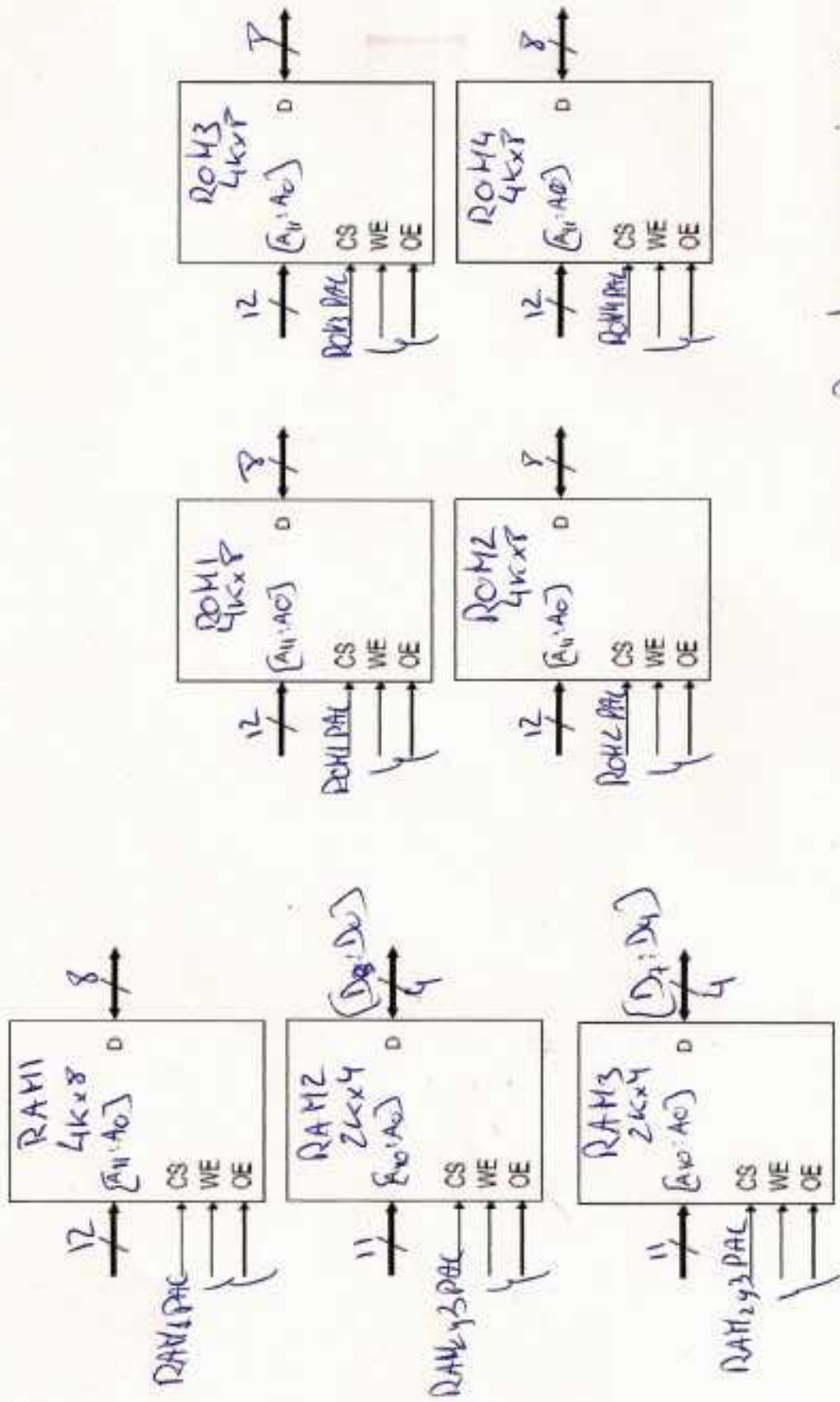
RAM1 → entran 12 hilos  
RAM2 y RAM3 → entran 11 hilos  
a las ROM entran 12 hilos

→ la selección de la memoria  
se hará con los 5 hilos de  
mayor peso del bus de  
direcciones, y siempre el de  
mayor peso estará a "0"

A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	
0	0	0	0	RAM1
0	0	0	1	RAM2 y RAM3
0	0	1	0	Futuro
0	0	1	1	ROM1
0	1	0	0	ROM2
1	0	0	0	ROM3
1	0	0	1	ROM4
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	
NO SE USA				







Todas las entradas  $\overline{WE}$ ,  $\overline{OE}$  de las memorias se alimentan de las señales correspondientes del micro