



- Debe situar encima de la mesa durante todo el examen un **DOCUMENTO OFICIAL** que permita su identificación
- **LA DURACIÓN TOTAL DEL EXAMEN ES DE 3 HORAS**
- **DEBE ENTREGAR CADA EJERCICIO EN HOJAS SEPARADAS, Y AL MENOS UNA HOJA POR EJERCICIO CON SU NOMBRE Y APELLIDOS.**
- **Ponga el NOMBRE Y APELLIDOS EN TODAS LAS HOJAS**
- **NO se tendrán en cuenta las respuestas escritas a LÁPIZ**
- **NO SE PERMITE EL USO DE CALCULADORA**

EJERCICIO 1 (3,5 de 10 puntos)

Parte 1:

Se dispone de un circuito con cuatro bits de entrada de datos (A,B,C,D) y cuatro bits de salida (H,I,J,K). El funcionamiento del circuito es como sigue:

En las salidas se obtendrá la operación booleana correspondiente a la operación *X-OR a nivel de bits*, de los datos de entrada con el número 5 en binario.

Se pide lo siguiente:

(Nota: Expresé todas las funciones con la siguiente ordenación de variables: A,B,C,D, siendo D=LSB, para las salidas ordénense como H,I,J,K)

- a) La tabla de la verdad de las variables de salida H,I,J,K, en función de las entradas (A,B,C,D).
- b) Escriba las expresiones canónicas (mintérminos y maxtérminos) de la variable de salida I.

Parte 2:

Dada la siguiente función lógica:

$$Z(A,B,C,D) = \sum_4(1,5,6,7,9,11,13,15), \text{ siendo } D=\text{LSB}.$$

- c) Construya la función Z, simplificada por Karnaugh con puertas NAND.
- d) Construya la función Z, con un multiplexor de 8 a 1 y lógica adicional.
- e) Construya la función Z con un decodificador y una única puerta lógica adicional.

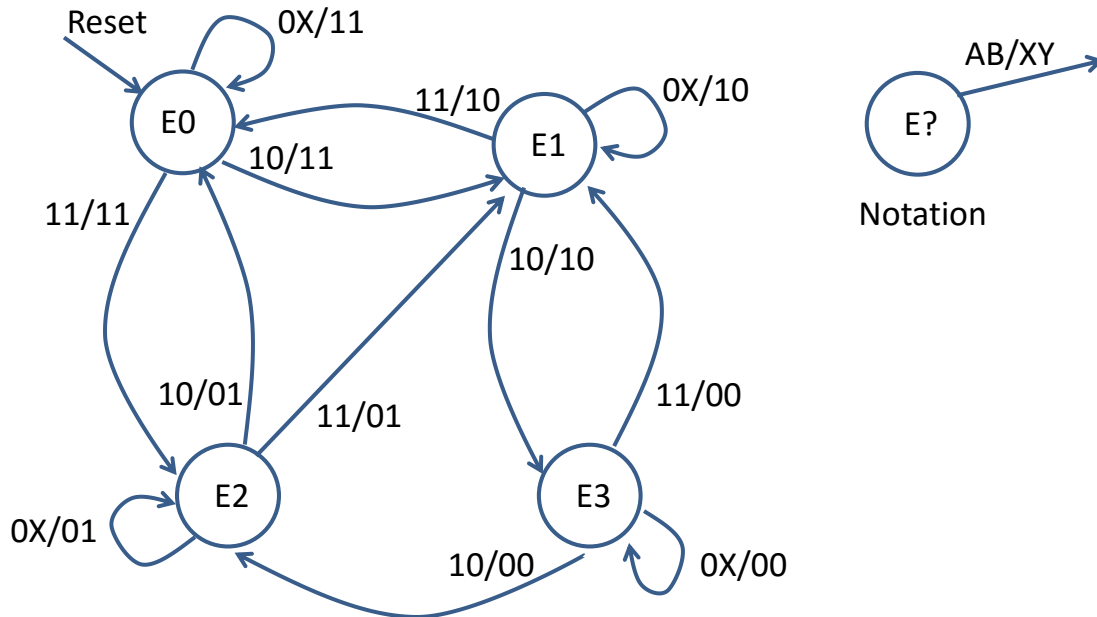


Apellidos, Nombre: _____ Grupo: _____

EJERCICIO 2 (3,5 de 10 puntos)

Parte 1:

Diseñe el circuito secuencial correspondiente al diagrama de estados de la figura, utilizando puertas lógicas y biestables T.

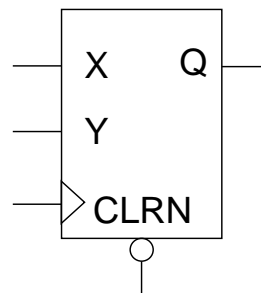


- Indique razonadamente el número de biestables necesarios.
- Obtenga la tabla de transiciones. Use la codificación $\{E0, E1, E2, E3\} = \{00, 01, 10, 11\}$
- Obtenga las ecuaciones de estado y de salida simplificadas.
- Explique de forma razonada si este circuito se puede representar mediante un diagrama de estados de Moore.

Parte 2:

- Obtenga la tabla de transiciones de un nuevo tipo de biestable, denominado biestable XY, del que se conocen su símbolo y su tabla de funcionamiento.

X	Y	Q_{t+1}
0	0	Q_t
0	1	0
1	0	1
1	1	$\neg Q_t$

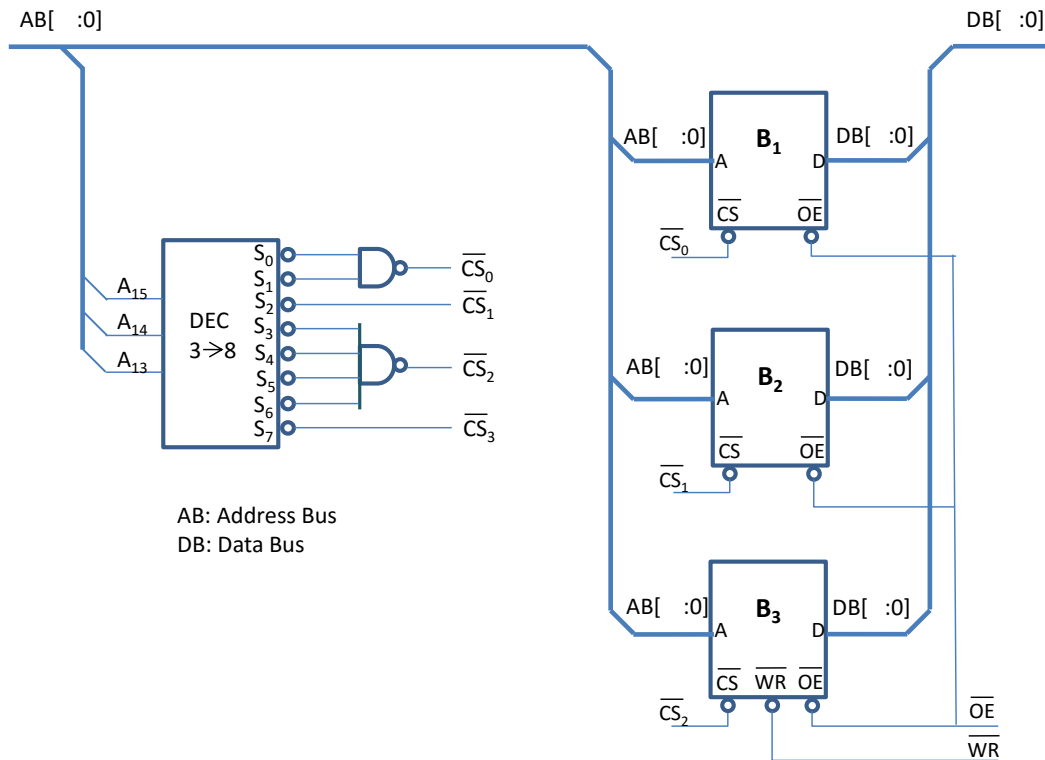


- Diseñe un circuito utilizando biestables de tipo T y lógica combinacional que implemente este biestable XY.



EJERCICIO 3 (3 de 10 puntos)

Se dispone de una tarjeta de memoria con una arquitectura como la indicada en la figura, donde B1, B2 y B3 son bancos de memoria, formados por distintos circuitos integrados:



Se pide:

1. Indicar el número de líneas de datos, líneas de dirección y tamaño de cada uno de los bancos de memoria B1, B2 y B3 de la figura. Justificar la respuesta
2. ¿Cuántas líneas de datos y direcciones tiene que tener, al menos, un microprocesador para poder manejar completamente la tarjeta de memoria?
3. Calcular el tamaño de memoria instalada en la tarjeta y el tamaño máximo de una futura ampliación.
4. Para la realización los bancos de memoria B1, B2 y B3 se han utilizado los siguientes módulos de memoria:
 - 4 chips de SRAM de 32K x 4 bits
 - 1 chip de EEPROM de 8K x 16 bits
 - 2 chips de ROM de 16K x 8 bits

Basándose en estos módulos de memoria y en las señales conectadas a los bancos, indicar el tipo de memoria de cada banco y dibujar el mapa de memoria, indicando en hexadecimal las direcciones de comienzo y fin de cada uno de los módulos de memoria

5. Dibujar el esquema de cada uno de los bancos de memoria, utilizando los módulos de memoria indicados y conectando los buses de datos, direcciones y señales de control donde corresponda. Todas las memorias tienen las señales de control (CS (chip select), OE (Output Enable) y WR (Write)) activas a nivel bajo.

(Es **obligatorio** responder TODOS los apartados en la hoja adjunta)



Apellidos, Nombre: _____ **Grupo:** _____

1.

	Direcciones	Datos	Tamaño (num.palabras x tam. Palabra)
B1			
B2			
B3			

Justificación

2.

Líneas de datos del μ P:

Líneas de direcciones del μ P:

3.

Memoria instalada:

Tamaño máximo de expansión:

4.

Banco	Mapa de memoria	Direcciones (hex)
B1		Inicio: 0x0000 Fin:
B2		Inicio: Fin:
B3		Inicio: Fin:
Exp		Inicio: Fin:



Apellidos, Nombre: _____ Grupo: _____

5.

Esquema banco 1

Esquema banco 2

Esquema banco 3



- The student must have on the desk an **OFFICIAL IDENTIFICATION DOCUMENT**
- **THE TOTAL DURATION OF THE EXAM IS 3 HOURS**
- The student must hand out each exercise in a different piece of paper. All the sheets must contain the **NAME AND SURNAME** of the student.
- Write your exam with a pen; **PENCILS** are not allowed.
- **CALCULATORS ARE NOT ALLOWED**

EXERCISE 1 (3,5 out of 10 points)

Part 1:

We want to design a circuit with 4 input bits (A,B,C,D) and 4 output bits (H,I,J,K). The circuit works as follows:

The outputs are the *X-OR bit to bit*, of the inputs with the binary number 5.

Answer the following questions:

(Note: Express all the functions with the variable order: A,B,C,D, where D=LSB, and for the outputs: H,I,J,K)

- a) Get the truth table of the circuit, with the 4 outputs H,I,J,K (as functions of the inputs (A,B,C,D)).
- b) Write the canonical expressions (minterms and maxterms) of the output function I.

Part 2:

Given the following boolean function:

$$Z(A,B,C,D) = \sum_4(1,5,6,7,9,11,13,15), \text{ where } D=\text{LSB}.$$

- c) Implement the function Z, simplified using Karnaugh, with only NAND gates.
- d) Implement the function Z, with a 8:1 multiplexer and additional logic.
- e) Implement the function Z with a decoder and a logic gate.

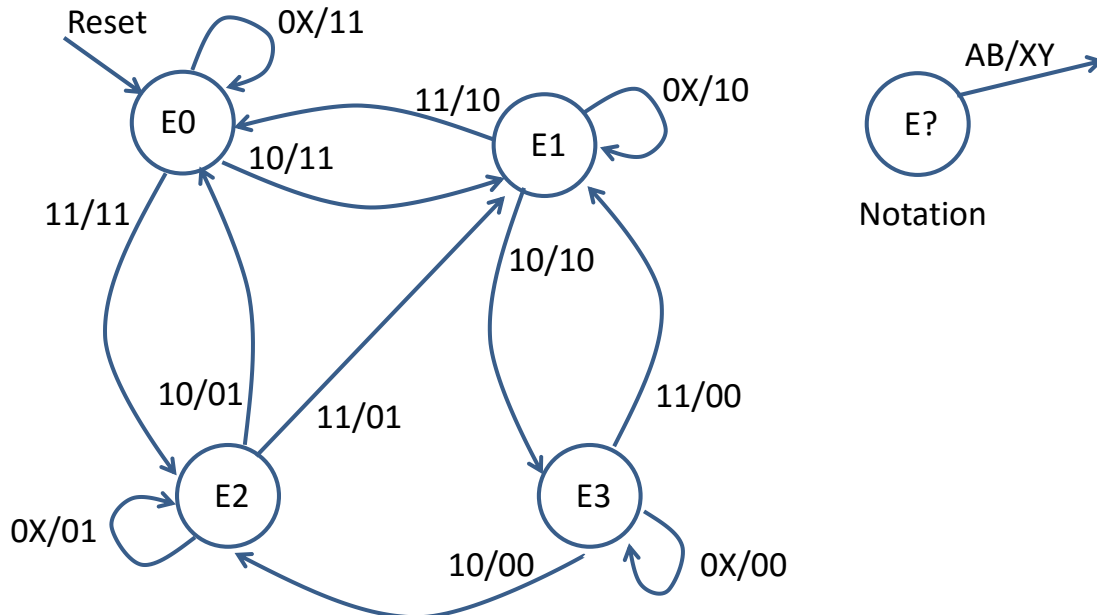


Surname, Name: _____ Group: _____

EXERCISE 2 (3,5 out of 10 points)

Part 1:

Design the sequential circuit that corresponds to the state transition graph shown in the figure, using logic gates and D flip flops.

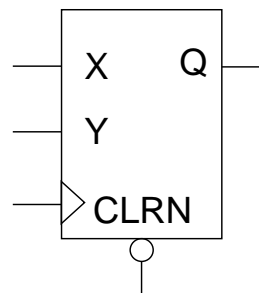


- Justify the number of flip flops needed to implement the circuit.
- Obtain the transitions table. Use the following encoding $\{E0, E1, E2, E3\} = \{00, 01, 10, 11\}$.
- Get the simplified state and output logic functions.
- Explain whether this circuit could be represented using a Moore state transition graph.

Part 2:

- Obtain the transition table of a new flip-flop type called XY flip flop. The working table and symbol of this flip flop are shown in the figure.

X	Y	Qt+1
0	0	Qt
0	1	0
1	0	1
1	1	/Qt

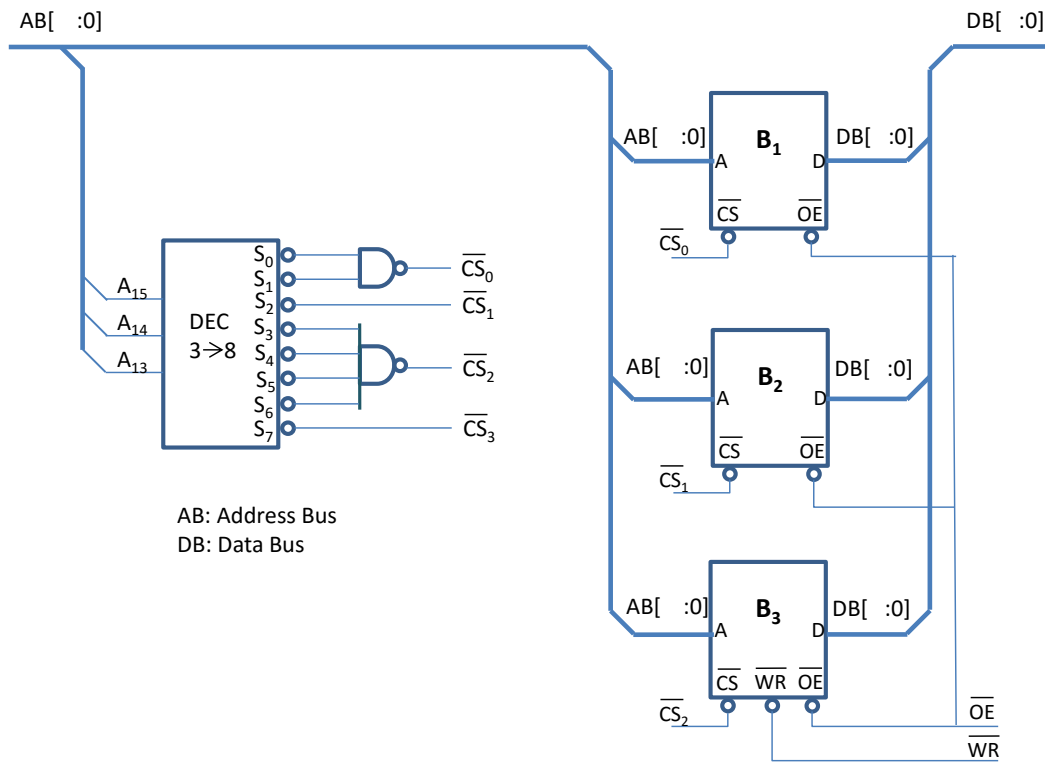


- Design a circuit that implements the XY flip flop using T flip flops and logic gates.



EXERCISE 3 (3 out of 10 points)

The following figure depicts an architecture of a memory board, in which B1, B2 y B3 are memory banks built with different memory chips:



Answer the following:

1. Determine the number of address and data lines, as well as the size of each memory bank, B1, B2 and B3. Justify the answer
2. Determine the minimum number of address and data lines that a microprocessor must have to provide full access to this memory board.
3. Calculate the size of the installed memory in the board, as well as the maximum space available for the expansion.
4. Memory banks B1, B2 y B3 have been built using the following memory modules:
 - 4 chips of 32K x 4 bits SRAM
 - 1 chip of 8K x 16 bits EEPROM
 - 2 chips of 16K x 8 bits ROM

Considering these memory chips and the interconnections of the banks, according to the figure above, indicate the type of memory of each bank and draw the memory map, stating the start and end address of each memory module, in hexadecimal.

5. Draw the schematics for the three memory banks, using the appropriate memory modules provided above, including the connections of the address and data buses and control lines. Consider that control signals of memory chips, CS (chip select), OE (Output Enable) and WR (Write), are all active-low.

(All questions **must** be answered in the attached answer sheet)



Surname, Name: _____ **Group:** _____

1.

	Address	Data	Size (num. words x size word)
B1			
B2			
B3			

Justification

2.

Number of data lines of the μ P:

Number of address lines of the μ P:

3.

Installed memory:

Maximum expansion size:

4.

Bank	Memory map	Address (hex)
B1		Start: 0x0000 End:
B2		Start: End:
B3		Start: End:
Exp		Start: End:



Surname, Name: _____ Group: _____

5.

Bank 1 Schematics

Bank 2 Schematics

Bank 3 Schematics



Escuela Politécnica Superior

Asignatura EJERCICIO 1 - SOLUCIÓN

Nombre y Apellidos EXERCISE 1 - SOLUTION

Fecha _____ Curso _____ Grupo _____

a)

A	B	C	D	H	I	J	K
0	0	0	0	0	1	0	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	1	1
0	0	1	1	0	1	1	0
0	1	0	0	0	0	0	1
0	1	0	1	0	0	0	0
0	1	1	0	0	0	1	1
0	1	1	1	0	0	1	0
1	0	0	0	1	1	0	1
1	0	0	1	1	1	0	0
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	0	1
1	1	0	1	1	0	0	0
1	1	1	0	1	0	1	1
1	1	1	1	1	0	1	0

$$5_{10} = 0101_2$$

b)

$$I = \sum_4 (0, 1, 2, 3, 8, 9, 10, 11) =$$

$$= \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD + A\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}D + A\bar{B}C\bar{D} + A\bar{B}CD$$

$$I = \prod_4 (4, 5, 6, 7, 12, 13, 14, 15) =$$

$$= (A + \bar{B} + C + D)(A + \bar{B} + C + \bar{D})(A + \bar{B} + \bar{C} + D)(A + \bar{B} + \bar{C} + \bar{D}) \cdot (\bar{A} + \bar{B} + C + D)(\bar{A} + \bar{B} + C + \bar{D})(\bar{A} + \bar{B} + \bar{C} + D)(\bar{A} + \bar{B} + \bar{C} + \bar{D})$$

c)
2pts

	A	B	C	D	Z
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	1
8	1	0	0	0	0
9	1	0	0	1	1
10	1	0	1	0	0
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	0
15	1	1	1	1	1

AB/CD	00	01	11	10
00	0	1	0	0
01	0	1	1	1
11	0	1	1	0
10	0	1	1	0

$$Z = \bar{C}D + AD + \bar{A}BC =$$

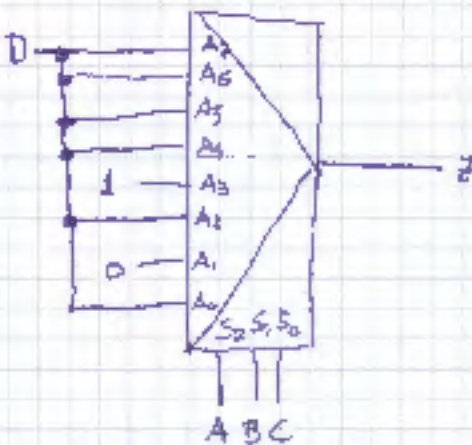
$$= \bar{C}\bar{D} \cdot \bar{A}\bar{D} \cdot \bar{A}BC$$

Otra opción:
Another possibility:

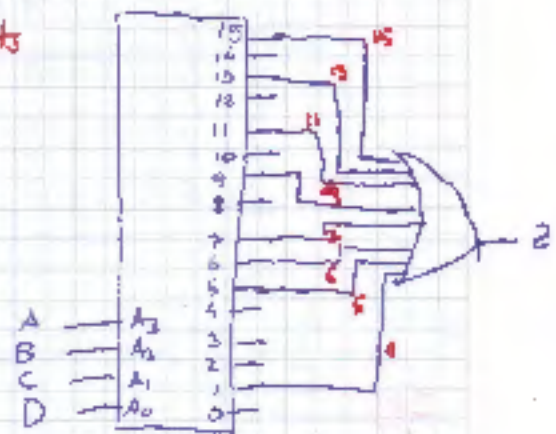
$$Z = (C+D)(\bar{A}+D)(A+B+\bar{C}) =$$

$$= \bar{C}\bar{D} \cdot \bar{A}\bar{D} \cdot \bar{A}BC$$

d)
2pts



e)
2pts





a) 4 states $2^{N_{FF}} = N_{STATES} \Rightarrow N_{FF} = 2$ Flip Flops

b)

	Q_1	Q_0	A	B	Q_1^+	Q_0^+	T_1	T_0	X	Y
E_0	0	0	0	0	0	0	0	0	1	1
	0	0	0	1	0	0	0	0	1	1
	0	0	1	0	0	1	0	1	1	1
	0	0	1	1	1	0	1	0	1	1
E_1	0	1	0	0	0	1	0	0	1	0
	0	1	0	1	0	1	0	0	1	0
	0	1	1	0	1	1	1	0	1	0
	0	1	1	1	0	0	0	1	1	0
E_2	1	0	0	0	1	0	0	0	0	1
	1	0	0	1	1	0	0	0	0	1
	1	0	1	0	0	0	1	0	0	1
	1	0	1	1	0	1	1	1	0	1
E_3	1	1	0	0	1	1	0	0	0	0
	1	1	0	1	1	1	0	0	0	0
	1	1	1	0	1	0	0	1	0	0
	1	1	1	1	0	1	1	0	0	0

c)

T_1

$Q_1 Q_0$	00	01	11	10
00	0	0	1	0
01	0	0	0	1
11	0	0	1	0
10	0	0	1	1

$$T_1 = \bar{Q}_1 \bar{Q}_0 A + Q_1 AB + \bar{Q}_0 AB + \bar{Q}_1 Q_0 AB$$

T_0

$Q_1 Q_0$	00	01	11	10
00	0	0	0	1
01	0	0	1	0
11	0	0	0	1
10	0	0	1	0

$$T_0 = \bar{Q}_1 \bar{Q}_0 A \bar{B} + \bar{Q}_1 Q_0 A B + Q_1 Q_0 A \bar{B} + Q_1 \bar{Q}_0 A B$$



(X) AB

$Q_1 \backslash Q_0$	00	01	11	10
00	1	1	1	1
01	1	1	1	1
11	0	0	0	0
10	0	0	0	0

$$X = \bar{Q}_1$$

(Y) AB

$Q_1 \backslash Q_0$	00	01	11	10
00	1	1	1	1
01	0	0	0	0
11	0	0	0	0
10	1	1	1	1

$$Y = \bar{Q}_0$$

- d) Este circuito se puede representar mediante un diagrama de estados de Moore, ya que el valor que toman las salidas depende únicamente del estado.

Parte 2

e)

Q_t	X	Y	Q_{t+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

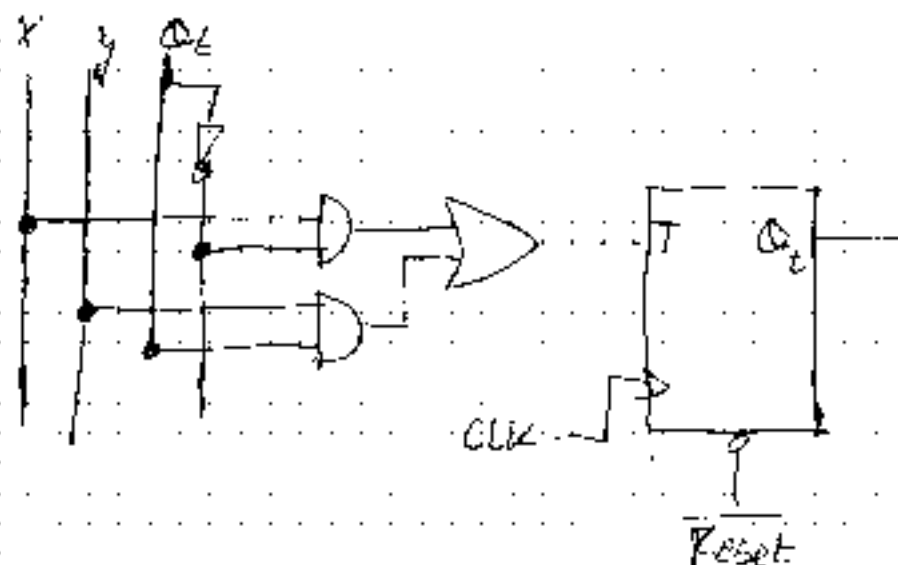
f)

Q_t	X	Y	Q_{t+1}	T
0	0	0	0	0
0	0	1	0	0
0	1	0	1	1
0	1	1	1	1
1	0	0	1	0
1	0	1	0	1
1	1	0	1	0
1	1	1	0	1

(T) XY

Q_t	00	01	11	10
0	0	0	1	1
1	0	1	1	0

$$T = Q_t Y + \bar{Q}_t X$$





Criterio Corrección

- a) 0,5 puntos
Si no hay razonamiento 0 puntos
- b) Tabla de transiciones
2,5 puntos
- c) Mapas T_1, T_0, X, Y 3 puntos
 T_1 1 punto
 T_0 1 punto
 X, Y 1 punto. (Se puede obtener directamente de la tabla sin hacer mapa)
- d) 1 punto
- e) 1 punto
- f) 2 puntos: 1 punto Tabla de Transiciones
0,5 puntos Simplificación
0,5 puntos esquema del circuito



Apellidos, Nombre: _____ Grupo: _____

1.

	Direcciones	Datos	Tamaño (num.palabras x tam. Palabra)
B1	14 bits	16 bits	16k x 16 bits
B2	13 bits	16 bits	8k x 16 bits
B3	15 bits	16 bits	32k x 16 bits

Justificación

$$Tam. bloque = \frac{2^{(\max \text{lineas bus dir.})}}{\text{num. salidas dec.}} = \frac{2^{16}}{8} = \frac{64k}{8} = 8k \left(\begin{array}{l} \text{Tamaño memoria} \\ \text{direccionable con cada} \\ \text{salida del decodificador} \end{array} \right)$$

$$CS0 = S0 + S1 \rightarrow \mathbf{B1} = 2 \times 8k = \mathbf{16k} = 2^{14}$$

$$CS1 = S2 \rightarrow \mathbf{B2} = 1 \times 8k = \mathbf{8k} = 2^{13}$$

$$CS2 = S3 + S4 + S5 + S6 \rightarrow \mathbf{B3} = 4 \times 8k = \mathbf{32k} = 2^{15}$$

Considerando los chips del apartado 4, la anchura máxima del bus de datos será la que fijen los chips con más bits de datos (E2PROM: 16 bits de datos)

2.

Líneas de datos del μP : 16 bits

Líneas de direcciones del μP : 16 bits

3.

Memoria instalada: 56k x 16 bits

Tamaño máximo de expansión: 8k x 16bits

4.

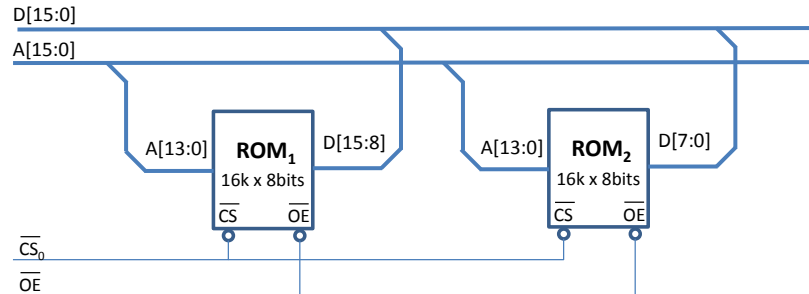
Banco	Mapa de memoria	Direcciones (hex)
B1	<div style="display: flex; justify-content: space-around; align-items: center;"> <div style="border: 1px solid black; padding: 2px 10px;">ROM (1)</div> <div style="border: 1px solid black; padding: 2px 10px;">ROM (2)</div> </div>	Inicio: 0x0000 Fin: 0x3FFF
B2	<div style="display: flex; justify-content: center; align-items: center;"> <div style="border: 1px solid black; padding: 2px 10px;">E2PROM</div> </div>	Inicio: 0x4000 Fin: 0x5FFF
B3	<div style="display: flex; justify-content: space-around; align-items: center;"> <div style="border: 1px solid black; padding: 2px 10px;">SRAM (1)</div> <div style="border: 1px solid black; padding: 2px 10px;">SRAM (2)</div> <div style="border: 1px solid black; padding: 2px 10px;">SRAM (3)</div> <div style="border: 1px solid black; padding: 2px 10px;">SRAM (4)</div> </div>	Inicio: 0x6000 Fin: 0xDFFF
Exp	<div style="display: flex; justify-content: center; align-items: center;"> <div style="border: 1px solid black; padding: 2px 10px;">EXPANSION</div> </div>	Inicio: 0xE000 Fin: 0xFFFF



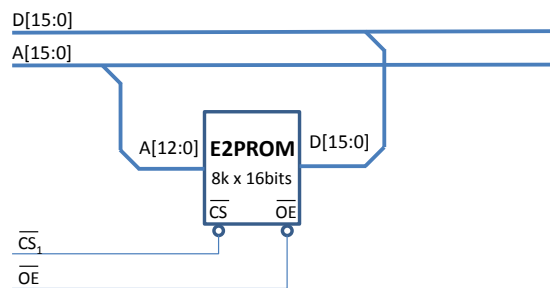
Apellidos, Nombre: _____ Grupo: _____

5.

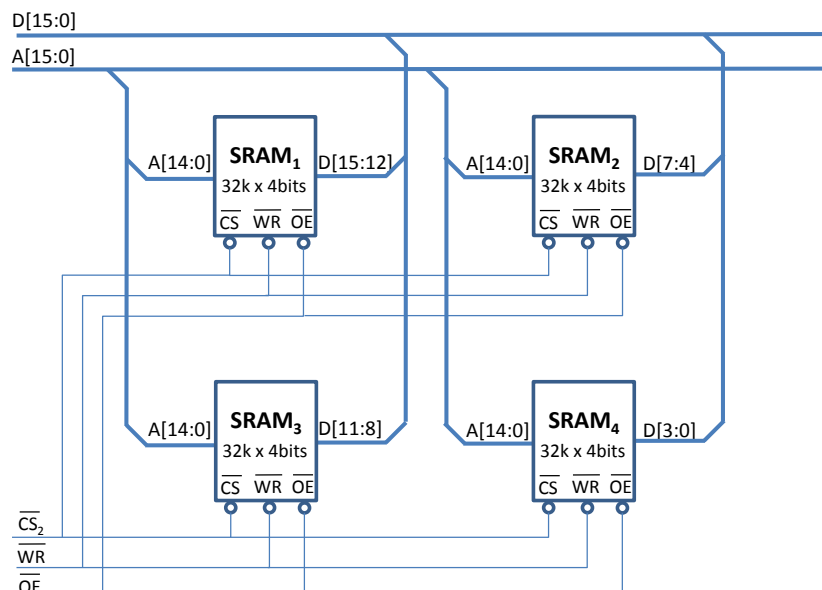
Esquema banco 1



Esquema banco 2



Esquema banco 3





CRITERIOS DE CORRECCION (Sobre 10 puntos)

Apartado	Puntuacion Total	Puntuación detallada
1	3	- Tabla: 1,5p. (0,5p cada banco -> 0,2 – 0,2 – 0,1) - Justificación: 1,5p
2	0,5	- Líneas datos: 0,25p - Líneas direcciones: 0,25p
3	0,5	- Memoria instalada: 0,25p - Expansión: 0,25p
4	3	- Mapa: 1p (0,25p cada bloque. Cuatro bloques) - Direcciones: 2p (0,25p cada dirección. Ocho direcciones)
5	3	- Esquema Banco 1: 1p - Esquema Banco 2: 0,5p - Esquema Banco 3: 1,5p



Surname, Name: _____ Group: _____

1.

	Address	Data	Size (num. words x size word)
B1	14 bits	16 bits	16k x 16 bits
B2	13 bits	16 bits	8k x 16 bits
B3	15 bits	16 bits	32k x 16 bits

Justification

$$Block\ Size = \frac{2^{(max\ addr.\ bus\ lines)}}{dec.\ outputs\ number} = \frac{2^{16}}{8} = \frac{64\ k}{8} = 8k \quad \left(\begin{array}{l} \text{addressable memory size} \\ \text{per decoder output} \end{array} \right)$$

$$CS0 = S0 + S1 \rightarrow \mathbf{B1} = 2 \times 8k = \mathbf{16k} = 2^{14}$$

$$CS1 = S2 \rightarrow \mathbf{B2} = 1 \times 8k = \mathbf{8k} = 2^{13}$$

$$CS2 = S3 + S4 + S5 + S6 \rightarrow \mathbf{B3} = 4 \times 8k = \mathbf{32k} = 2^{15}$$

Considering the memory chips provided in paragraph 4, maximum data bus width shall be fixed by those chips with more data bits (E2PROM: 16 data bits)

2.

Number of data lines of the μP : 16 bits

Number of address lines of the μP : 16 bits

3.

Installed memory: 56k x 16 bits

Maximum expansion size: 8k x 16bits

4.

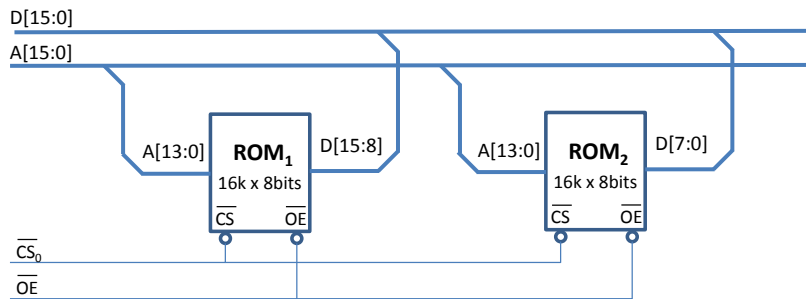
Bank	Memory map	Address (hex)
B1	<div style="display: flex; justify-content: space-around; align-items: center;"> <div style="border: 1px solid black; padding: 2px 5px;">ROM (1)</div> <div style="border: 1px solid black; padding: 2px 5px;">ROM (2)</div> </div>	Start: 0x0000 End: 0x3FFF
B2	<div style="display: flex; justify-content: center; align-items: center;"> <div style="border: 1px solid black; padding: 2px 5px;">E2PROM</div> </div>	Start: 0x4000 End: 0x5FFF
B3	<div style="display: flex; justify-content: space-around; align-items: center;"> <div style="border: 1px solid black; padding: 2px 5px;">SRAM (1)</div> <div style="border: 1px solid black; padding: 2px 5px;">SRAM (2)</div> <div style="border: 1px solid black; padding: 2px 5px;">SRAM (3)</div> <div style="border: 1px solid black; padding: 2px 5px;">SRAM (4)</div> </div>	Start: 0x6000 End: 0xDFFF
Exp	<div style="display: flex; justify-content: center; align-items: center;"> <div style="border: 1px solid black; padding: 2px 5px;">EXPANSION</div> </div>	Start: 0xE000 End: 0xFFFF



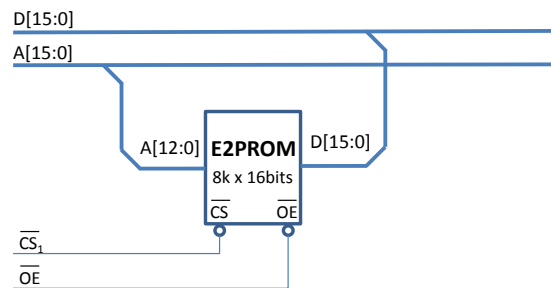
Surname, Name: _____ Group: _____

5.

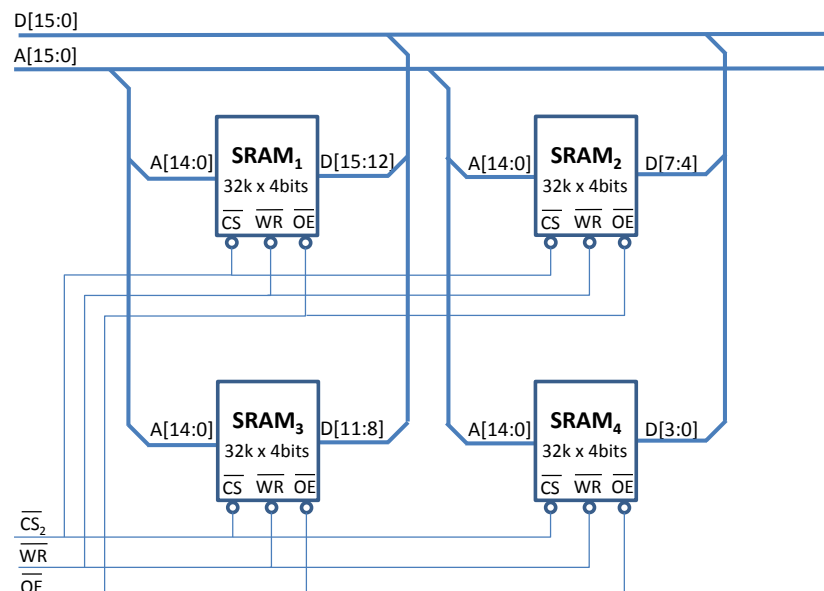
Bank 1 Schematics



Bank 2 Schematics



Bank 3 Schematics





EVALUATION CRITERIA (over 10 Points)

Paragraph	Total Mark	Detailed Mark
1	3	- Table: 1,5p. (0,5p each bank -> 0,2 – 0,2 – 0,1) - Justification: 1,5p
2	0,5	- Data lines: 0,25p - Address lines: 0,25p
3	0,5	- Installed memory: 0,25p - Expansion: 0,25p
4	3	- Map: 1p (0,25p each block. Four blocks) - Addresses: 2p (0,25p each address. Eight addresses)
5	3	- Bank 1 schematic: 1p - Bank 2 schematic: 0,5p - Bank 3 schematic: 1,5p