

## Unidad de control y diseño del procesador Ejercicios Propuestos

### Estructura del procesador elemental WepSIM

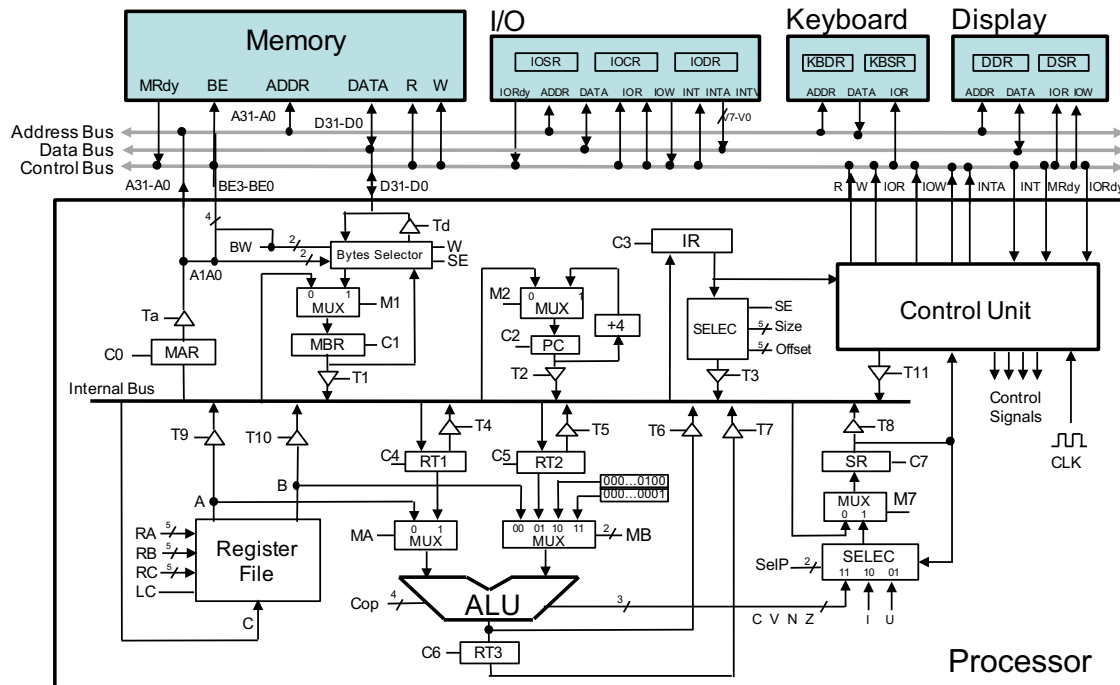


Figura 1 Estructura del procesador elemental WepSIM

**Ejercicio 1.** Considere un procesador de 32 bits con una frecuencia de reloj de 500 MHz con la estructura del procesador elemental WepSIM. La memoria se direcciona por bytes y requiere dos ciclos para realizar las operaciones de lectura y escritura.

Se pide:

- Indicar las operaciones elementales correspondientes a la instrucción del MIPS32 : `lw R1, (R2)`
- Si el número medio de ciclos de reloj necesario para ejecutar una instrucción es de 25, calcule el número medio de instrucciones que este computador puede ejecutar en un segundo.

**Ejercicio 2.** Considere dos computadores A y B. El computador A tiene una frecuencia de reloj de 1 GHz y el número medio de ciclos por instrucción es de 8. El computador B tiene una frecuencia de reloj de 2,5 GHz y un número medio de ciclos por instrucción de 30. Responder de forma justificada a las siguientes preguntas:

- ¿Qué representa el término MIPS?
- Calcular este valor para los computadores A y B.
- Se dispone de un programa escrito en lenguaje C. El compilador disponible en la máquina A obtiene un programa compuesto por 5000 instrucciones máquina. En el segundo se obtiene un programa compuesto por 7000 instrucciones máquina. ¿En qué máquina se ejecutará más rápido el programa, considerando que se ejecutan todas las instrucciones obtenidas una sola vez?

**Ejercicio 3.** Considere un computador con una frecuencia de reloj de 0,5 GHz y un número medio de ciclos por instrucción de 10. Responder de forma justificada a las siguientes preguntas:

- ¿Qué representa el término MIPS?
- Calcular este valor para este computador.
- ¿Qué habría que hacer si se quiere conseguir que el computador ejecute el doble de MIPS de los obtenidos en el apartado a manteniendo la frecuencia de reloj?

**Ejercicio 4.** Considere un procesador de 32 bits con una frecuencia de 1 GHz con la estructura del procesador elemental WepSIM. La memoria se direcciona por bytes y requiere dos ciclos para realizar las operaciones de lectura y escritura. Si el computador es capaz de ejecutar 200 MIPS. Indique el número medio de ciclos por instrucción.

**Ejercicio 5.** Sea un procesador que funciona a 1.6 GHz y 850 MIPS, calcule el número medio de ciclos por instrucción (CPI).

**Ejercicio 6.** Considere el procesador mostrado en la Figura 1 y las siguientes señales de control que se generan en cada ciclo de reloj (no se incluye el fetch). El resto de señales se encuentra a 0.

C1: T3, C0, Size = 10000, Offset=00000

C2: R, Ta, BW=11

C3: R, Ta, BW=11, M1, C1

C4: RC= 00010, T1, LC

Se pide:

- las operaciones elementales que se realizan en cada ciclo de reloj.
- ¿A qué instrucción máquina se corresponde n las operaciones elementales anteriores?

**Ejercicio 7.** Considere el procesador de la Figura 1.

Indique las operaciones elementales correspondientes a la instrucción máquina `SWAP R1, dir`. Esta instrucción ocupa dos palabras y su formato es el siguiente:

CO	Reg	dir
----	-----	-----

Esta instrucción intercambia el contenido del registro indicado en la instrucción (Reg) con el contenido almacenado en la posición de memoria `dir`.

**Ejercicio 8.** Considere un computador de 32 bits, con la estructura del mostrado en la Figura 1, que dispone de un banco de 32 registros, que se encuentra conectado a una memoria, que se direcciona por bytes y que requiere dos ciclos para las operaciones de lectura y escritura. La unidad aritmético-lógica es capaz de realizar 20 operaciones aritméticas y lógicas (sumar, restar, multiplicar, dividir, incrementar, disminuir en uno, etc.).

Se pide:

- Indique los modos de direccionamiento presentes en la siguiente instrucción del MIPS32:  
`sw $t1, 80($t2)`.
- Indique las operaciones elementales y las señales de control necesarias para la ejecución de la instrucción anterior.

**Ejercicio 9.** Considere un computador de 32 bits, con la estructura del mostrado en la Figura 1, que dispone de un banco de 32 registros, que se encuentra conectado a una memoria, que se direcciona por bytes y que requiere dos ciclos para las operaciones de lectura y escritura. La unidad aritmético-lógica es capaz de realizar 16 operaciones aritméticas y lógicas (sumar, restar, multiplicar, dividir, etc.). Considere una instrucción hipotética: `ADD R1, dirección` que suma el contenido del registro R1 con el contenido de la posición de memoria dirección y deja el resultado en el registro R1.

Se pide:

- Indique un posible formato para la instrucción teniendo en cuenta que el computador dispone de 100 instrucciones máquina y que para el campo dirección se utilizan 32 bits.
- Indique las operaciones elementales y las señales de control necesarias para la ejecución de la instrucción anterior.

**Ejercicio 10.** Si un computador A ejecuta un programa en 10 segundos y otro B en quince segundos. ¿Cuál de las dos siguientes sentencias es cierta?

- A es un 50% más rápido que B

- b) A es un 33% más rápido que C.

**Ejercicio 11.** Considere el esquema de procesador de 32 bits mostrado en la figura 1. El banco de registros incluye 32 registros. Considere que el computador utiliza un ciclo de reloj para realizar la decodificación de la instrucción y que se conecta a una memoria que permite realizar una operación de lectura y de escritura en un ciclo.

Este computador dispone del juego de instrucciones del MIPS32. Se pide:

- Indique las señales de control necesarias para poder realizar la operación elemental  $PC \leftarrow R7$ , siendo R7 el registro del banco de registros cuyo número es el 7.
- Si durante un ciclo de reloj se activan las señales T1 y C5, indique qué operación elemental se está realizando.
- Indique las operaciones elementales y las señales de control (incluyendo el *fetch*) necesarias para ejecutar la instrucción `addi $t0, $t1, 10`.
- Indique las señales de control necesarias para poder realizar la operación elemental  $RT1 \leftarrow R2$ , siendo R2 el registro número 2 del banco de registros.
- Indique las operaciones elementales y las señales de control (incluyendo el *fetch*) necesarias para ejecutar la instrucción hipotética `addm R1, (R2)`. Esta función suma el contenido del registro R1 con el contenido de la posición de memoria, que se encuentra almacenada en R2. El resultado se almacena en el registro R1. Es decir:  $R1 \leftarrow R1 + MP[R2]$

**Ejercicio 12.** Considere el computador de 32 bits, con la estructura del procesador de la Figura 1, que dispone de un banco de 32 registros, que se encuentra conectado a una memoria, que se direcciona por bytes y que requiere un ciclo para las operaciones de lectura y escritura. El computador dispone de un juego de instrucciones con 98 instrucciones máquina. La unidad aritmético-lógica es capaz de realizar operaciones aritméticas y lógicas (sumar, restar, multiplicar, dividir, incrementar, disminuir en uno, etc.). El procesador emplea un ciclo para la decodificación de la instrucción. Considere la siguiente instrucción máquina:

`swap R1, dir`

Esta instrucción intercambia el contenido almacenado en el registro R1 con el contenido almacenado en la dirección de memoria `dir`.

Se pide:

- Indique, de forma razonada el formato de la instrucción anterior. Tenga en cuenta que el campo `dir` debe poder almacenar cualquier dirección de memoria válida en este computador.
- Indique el modo de direccionamiento de los campos R1 y `dir`.
- Indique, en función del formato definido en el apartado a, las operaciones elementales y las señales de control necesarias para la ejecución de la instrucción anterior. Incluya también el ciclo de *fetch*.

**Ejercicio 13.** Considere el computador de 32 bits de la Figura 1, que dispone de un banco de 32 registros, que se encuentra conectado a una memoria, que se direcciona por bytes y que requiere un ciclo para las operaciones de lectura y escritura. El computador dispone de un juego de instrucciones con 98 instrucciones máquina. La unidad aritmético-lógica es capaz de realizar operaciones aritméticas y lógicas (sumar, restar, multiplicar, dividir, etc.). El procesador emplea un ciclo para la decodificación de la instrucción. El registro puntero de pila es el registro 29. Y el registro 0 tiene su contenido cableado a 0.

Se pide:

- Indique que es una interrupción y por qué se produce. Indique dos ejemplos que provoquen una interrupción.
- ¿Qué acciones realiza la unidad de control durante el ciclo de reconocimiento de la interrupción?

Indique las operaciones elementales y las señales de control que debe realizar la unidad durante el ciclo de reconocimiento de la interrupción descrito anteriormente, asumiendo que la dirección de la rutina de tratamiento de la interrupción se encuentra en la dirección de memoria 0.

**Ejercicio 14.** Considere el procesador de la figura 1, que está conectado a una memoria que se direcciona por bytes. El puntero de pila es el registro 29 y el registro 0 se encuentra cableado a 0. La unidad de control es la que se muestra en la figura 2. Indique las operaciones elementales y señales de control necesarias para ejecutar la siguiente instrucción, que ocupa dos palabras:

`reset N, dir`

El campo  $N$  ocupa los 16 bits inferiores de la primera palabra de la instrucción y el campo  $dir$  ocupa los 32 bits de la segunda palabra de la instrucción. Esta instrucción pone a 0 las  $N$  palabras de memoria que hay a partir de la dirección  $dir$ . Es decir, pone a 0 las direcciones de memoria:  $dir, dir + 4, dir + 8, \dots, dir + N \cdot 4$ . En caso de que  $N$  sea menor o igual que 0, la instrucción no realiza ninguna operación.

**Ejercicio 15.** Considere el procesador de la figura 1 y la hipotética instrucción máquina `PUSHREGS R1, R2, R3`. Esta instrucción, ocupa una palabra y almacena en la cima de la pila tres valores en este orden: el contenido de  $R1$ , el contenido de  $R2$  y el contenido de  $R3$ , actualizando el puntero de pila adecuadamente. Considere que el registro puntero de pila es el registro 29 del banco de registros y que la ALU incluye un código de operación que permite sumar un 4 (0100) al operando que entra a la ALU procedente del multiplexor A. Indique las operaciones elementales necesarias para ejecutar esta instrucción.

**Ejercicio 16.** Dado el procesador de la figura 1 especifique las operaciones elementales y señales de control necesarias para ejecutar la instrucción máquina: `adds R1, R2`. Esta función suma el contenido de los dos registros  $R1$  y  $R2$  y deja el resultado en la cima de la pila (esto implica hacer hueco en la pila para almacenar el resultado). Asuma que el número del registro  $R1$  es el 1, el del registro  $R2$  es el 2 y el del puntero de pila es el 16.

**Ejercicio 17.** Dado el procesador de la figura 1, `addm R1, dir`, donde  $R1$  es un registro y  $dir$  una dirección de memoria. Si el valor de  $dir$  es 0, esta instrucción no hace nada. En caso contrario suma el contenido de la posición de memoria  $dir$  con el valor del registro  $R1$  y almacena el resultado en  $R1$ .

- Indique el formato de dicha instrucción.
- Especifique las operaciones elementales necesarias para ejecutar dicha instrucción, excluyendo el fetch.