

Dispositivos Lógicos Programables

© Luis Entrena, Celia López,
Mario García, Enrique San Millán

Universidad Carlos III de Madrid

Indice

- Tecnologías de implementación de circuitos programables
- Circuitos programables simples
- Circuitos programables complejos (CPLD, FPGA)

Implementación de circuitos digitales

- Lógica discreta
- Circuitos integrados a medida (ASIC, Application Specific Integrated Circuits)
- Circuitos programables (PLD, Programmable Logic Devices)
 - Simples
 - PROM: Programmable Read Only Memory
 - PLA: Programmable Logic Array
 - PAL: Programmable Array Logic
 - GAL: Generic Array Logic
 - Complejos
 - CPLD: Complex Programmable Logic Device
 - FPGA: Field Programmable Gate Array

Tecnologías

- Transistor MOS de puerta flotante (EPROM-FLASH)
 - Transistores que, al aplicarles sobretensión, pueden mantener su tensión de puerta (conexiones programables)
- Memoria RAM estática (SRAM)
 - La memoria permite implementar funciones lógicas
 - Se usan LUTs (Look-Up Tables) de 4 o 5 entradas
- Antifusibles
 - Al fundirse un antifusible se produce un cortocircuito
 - Los cortocircuitos tienen menor resistencia que los diodos-fusibles, proporcionando mayores prestaciones

Circuitos programables simples

PLDs (Programmable Logic Devices)

Entradas + Inversores

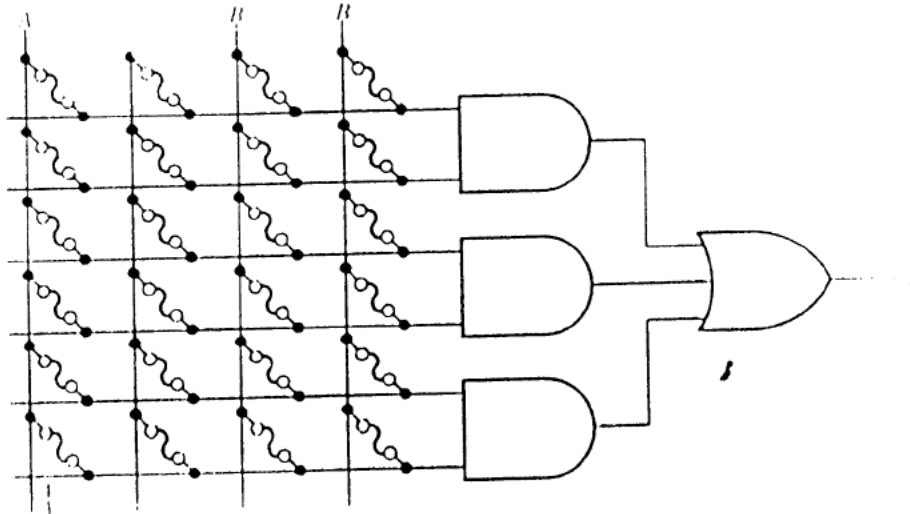
**Matriz
AND**

**Matriz
OR**

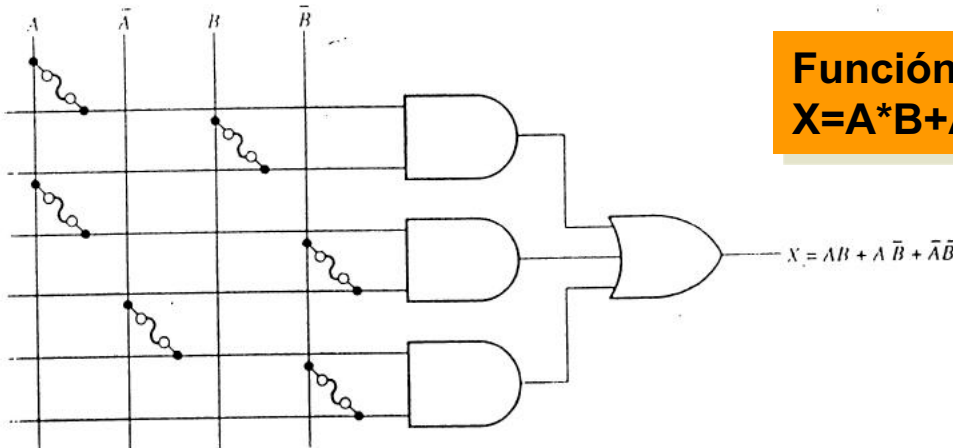
Biestables (opcional)

Inversores + Salidas

Matrices programables



**Matriz AND
con OR fija**

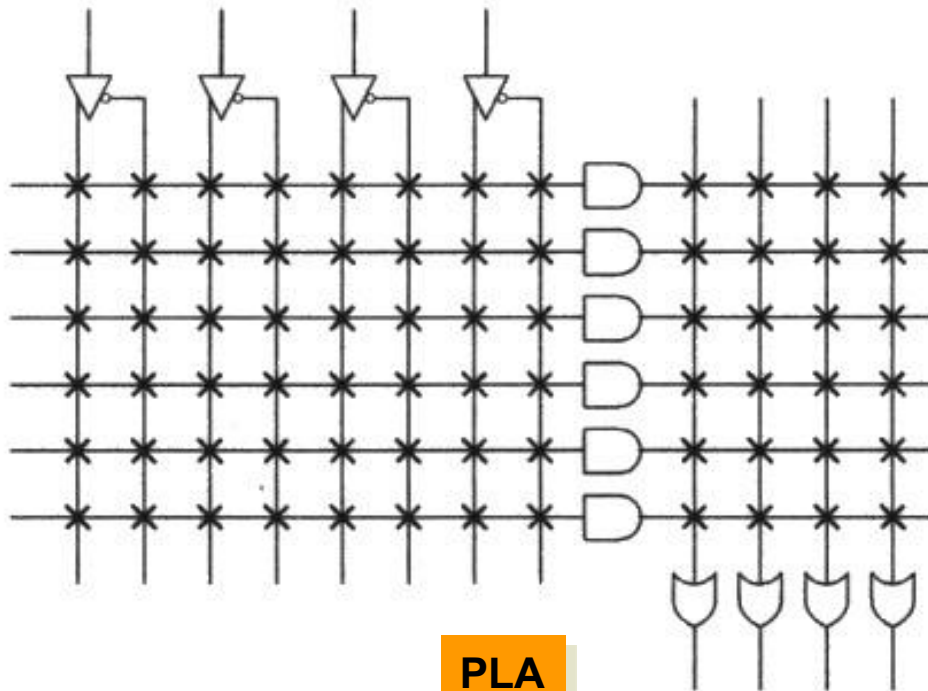


Función
 $X = A \cdot B + A \cdot \text{NOT}(B) + \text{NOT}(A) \cdot \text{NOT}(B)$

Matrices programables

Matriz AND

Matriz OR

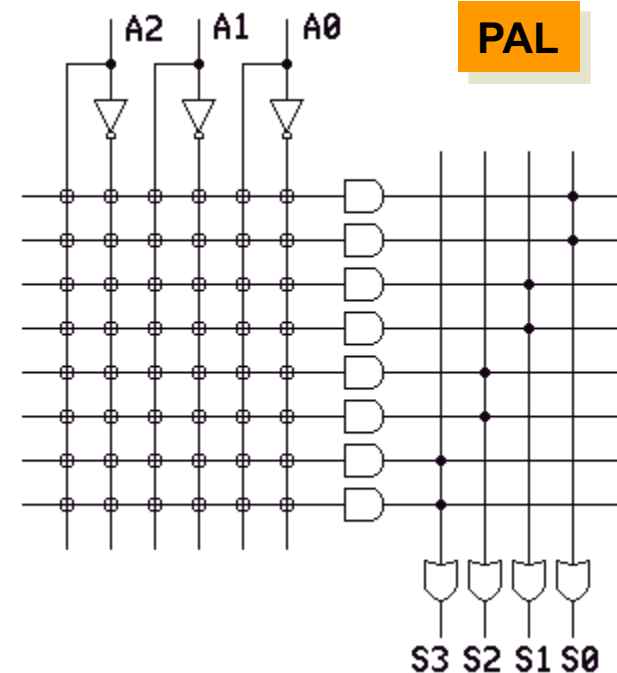
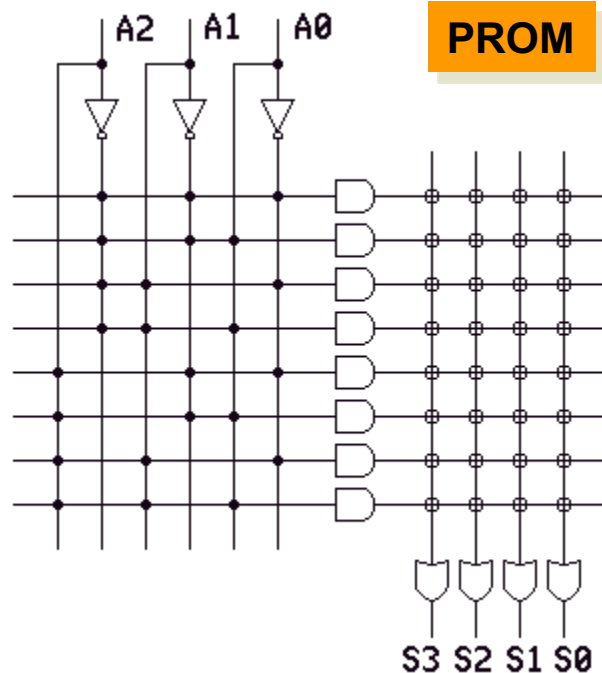


Tipos de PLDs

	Matriz AND	Matriz OR
PROM	Fija	Programable
PLA	Programable	Programable
PAL	Programable	Fija
GAL	Programable	Fija

- Notación simplificada para las conexiones

Tipos de PLDs

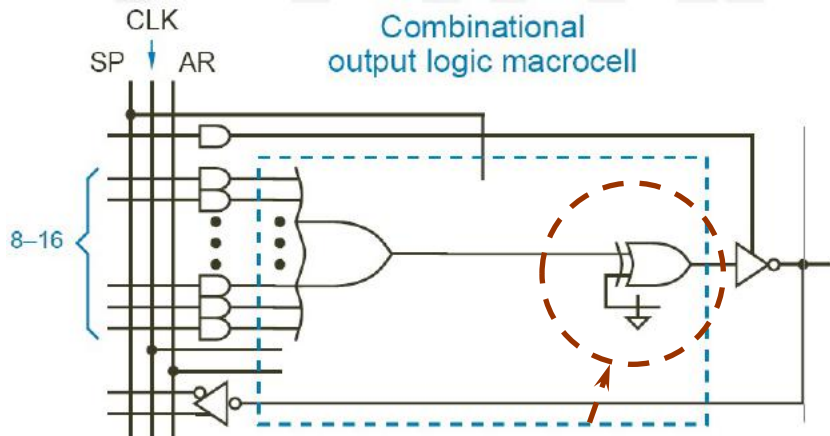


- Matriz AND fija (decodificador direcciones)
- Matriz OR programable (datos)

- Matriz AND programable
- Matriz OR fija

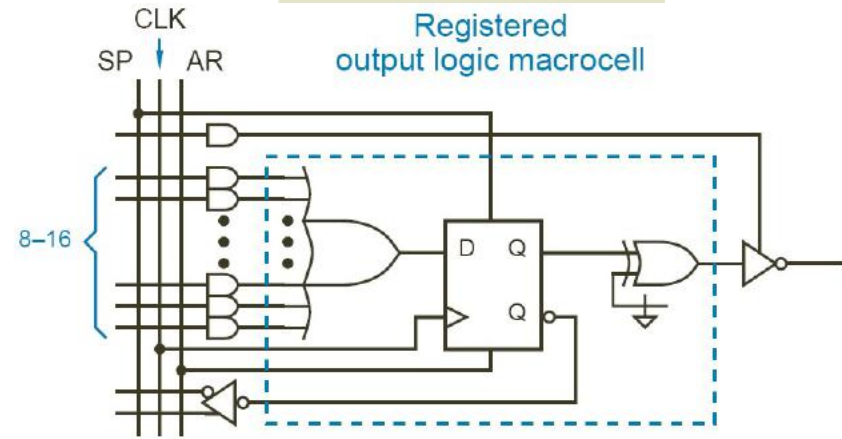
Bloques de salida

Entrada-Salida combinacional



Salida de polaridad programable

Salida registrada



entradas

salidas

PAL 16 R 8

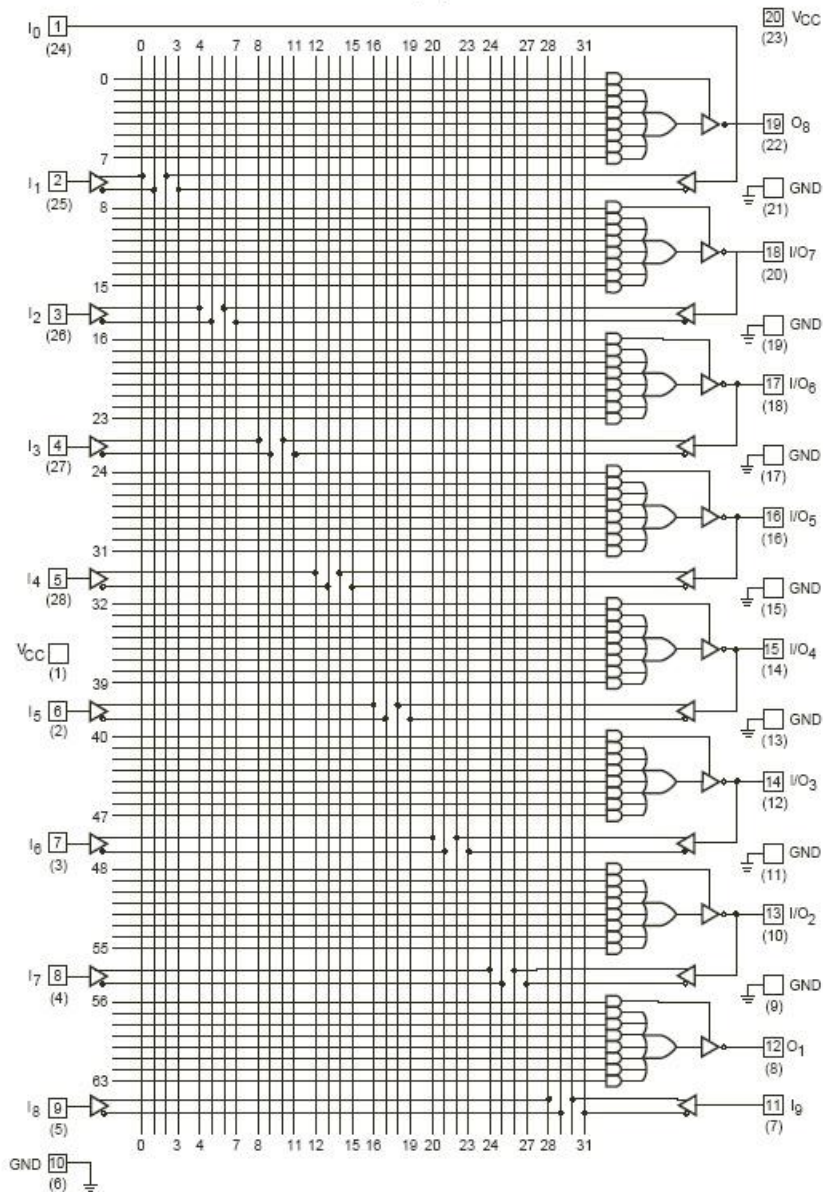
tipo salida

•Nomenclatura

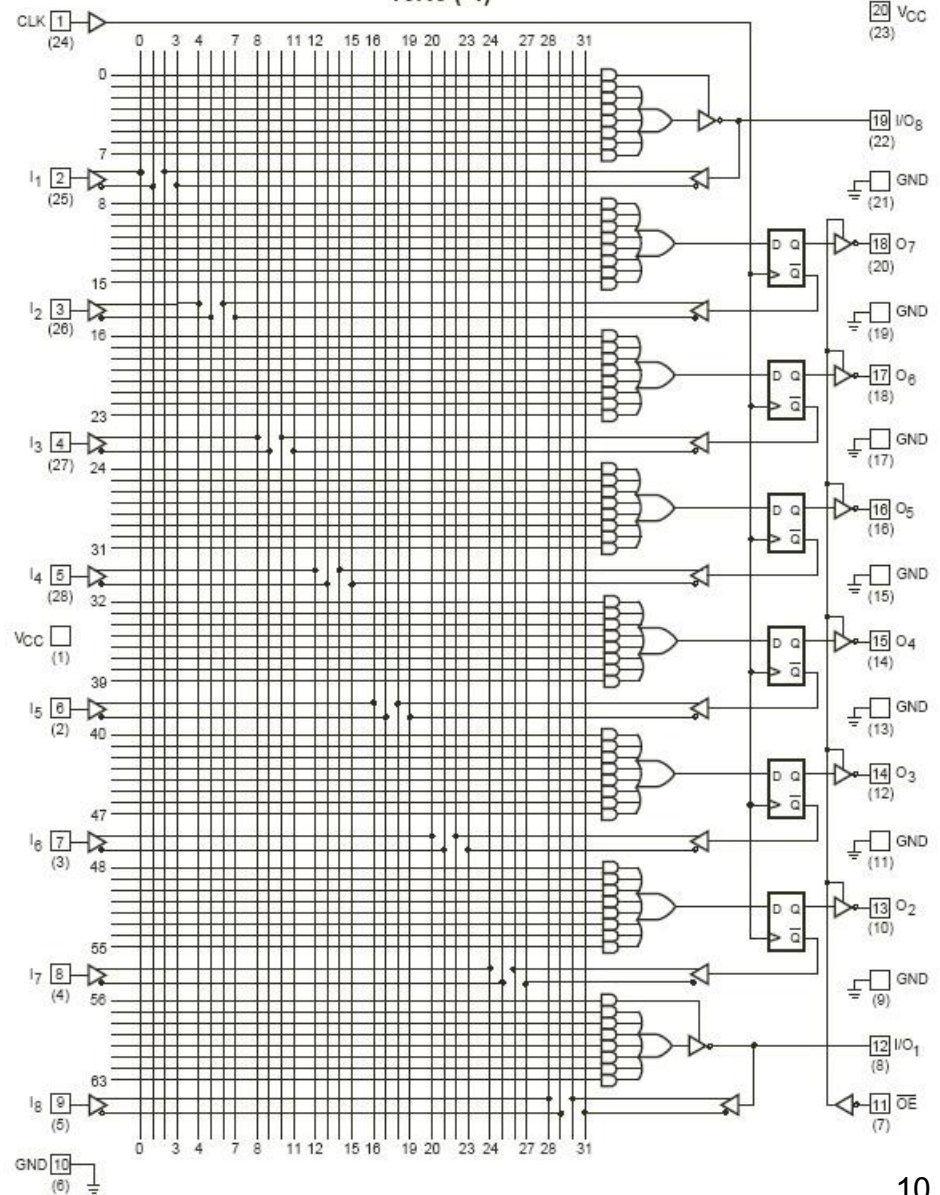
- L: active Low
- H: active High
- P: polaridad programable
- R: registrada

PALs reales

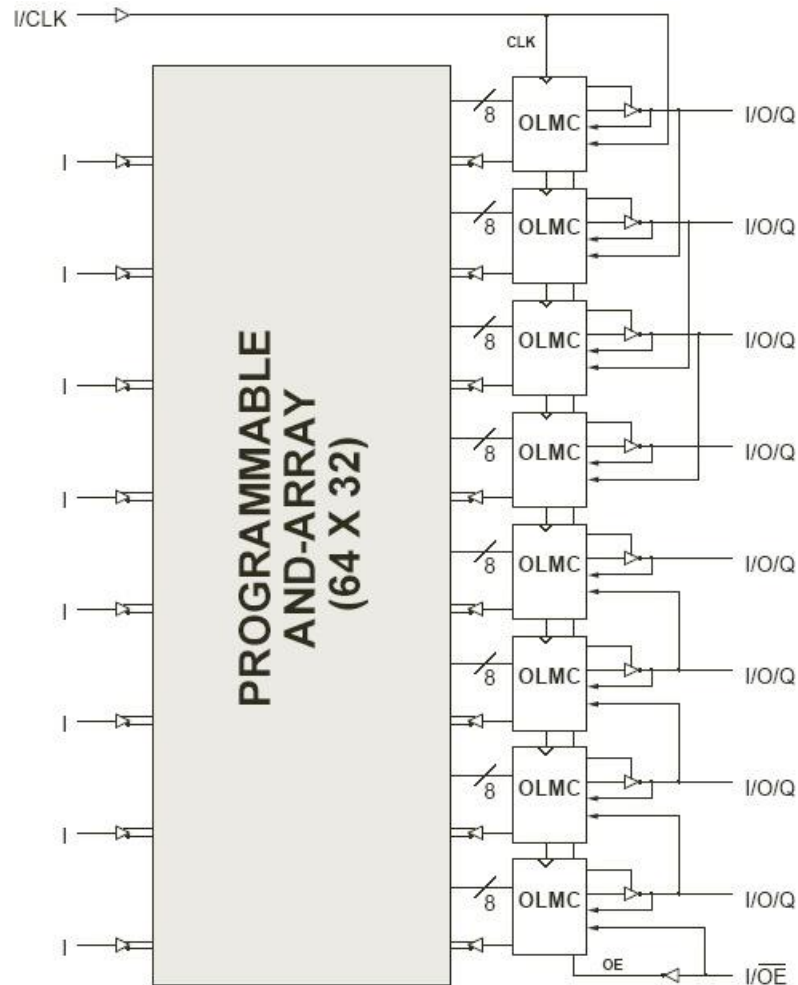
16L8 (-4)



16R6 (-4)

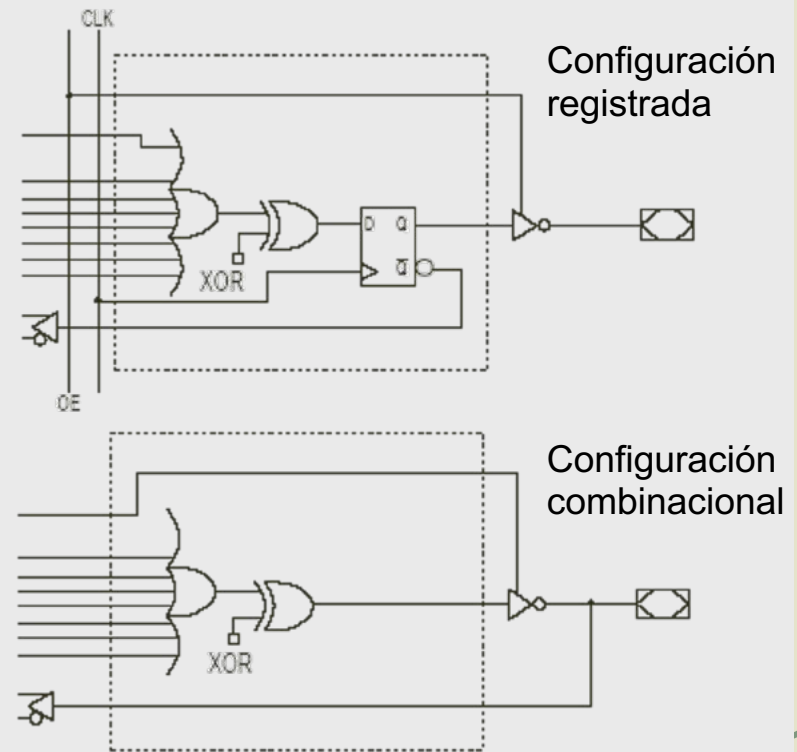


GAL (Generic Array Logic)



Arquitectura como la de las PAL, pero con funciones de salida programables.

OLMC: Output Logic Macrocell

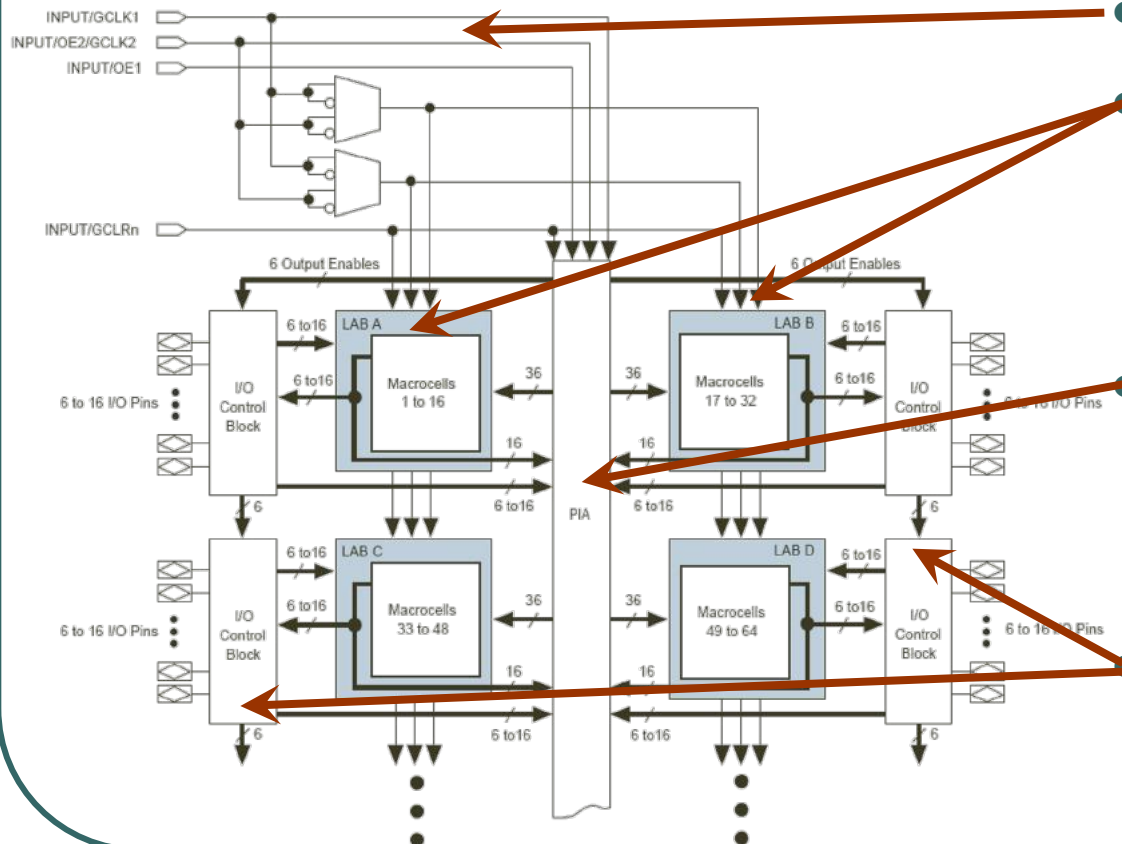


Circuitos programables complejos

- CPLD:
Complex Programmable
Logic Devices
- FPGA:
Field Programmable
Gate Array
- Diferencias con los PLDs
simples
 - Arquitectura
 - Cantidad de recursos
lógicos
- Fabricantes de
CPLDs/FPGAs
 - Xilinx
 - Altera
 - Actel
 - Atmel
 - Lattice
 - Cypress

CPLD: arquitectura

Altera MAX 7000



- Señales globales

- Bloques de matrices lógicas (LAB, Logic Array Blocks).

1 LAB = 16 macroceldas

- Matriz de interconexión programable (PIA, Programmable Interconnect Array)

- Bloques E/S

CPLD: macrocelda

Altera MAX 7000

Matriz
AND

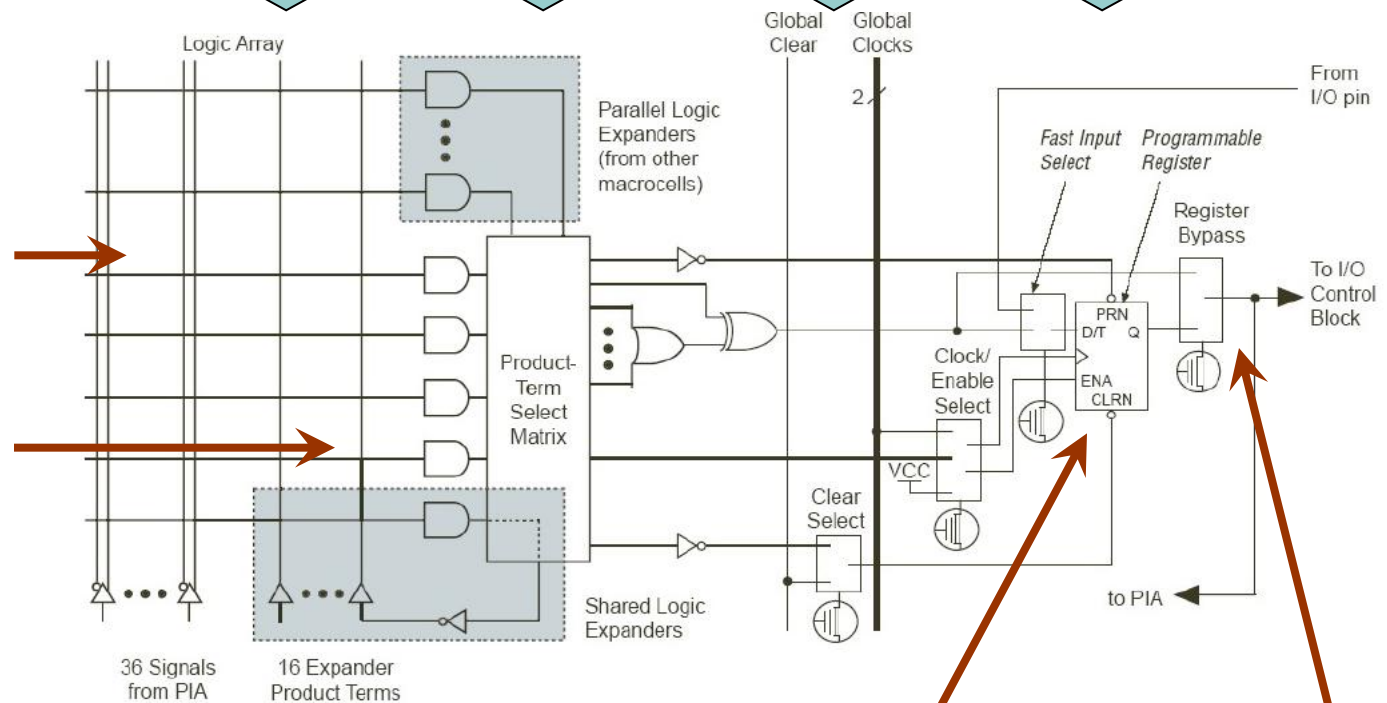
Matriz
OR

Señales
globales

Biastable
programable

Interconexión
global

Interconexión
local

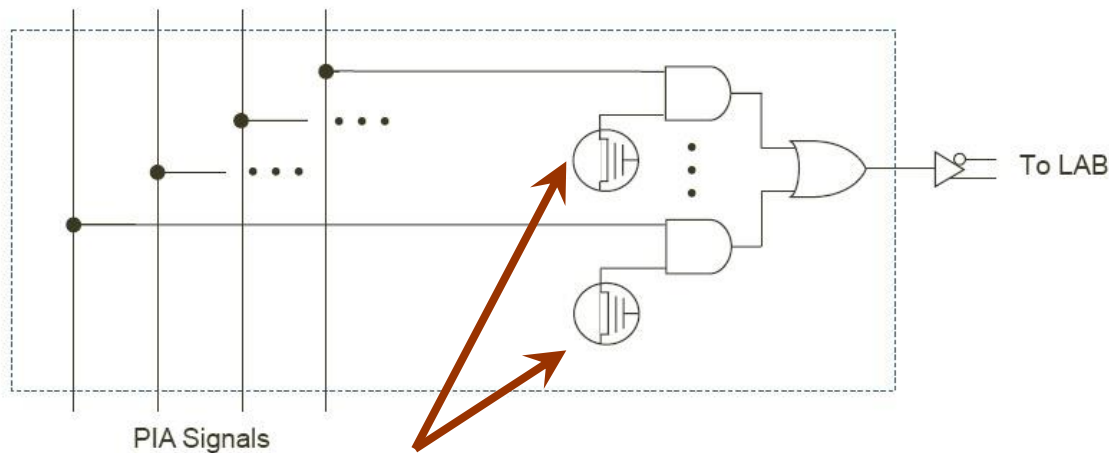


Biastable D
(Clk, Clear, Enable)

Selección
biastable

CPLD: matriz de interconexión

Matriz de interconexión global



- Entradas PIA
 - Pines E/S
 - Salidas LABs
- Salidas PIA
 - Entradas LABs

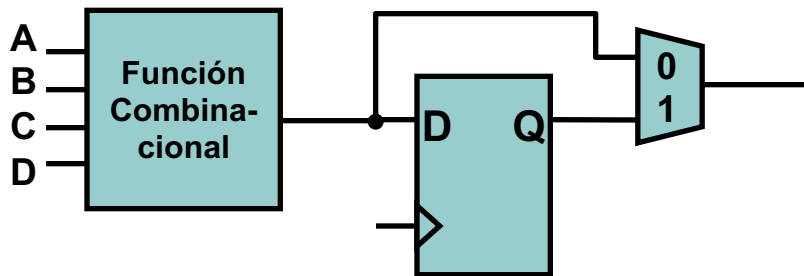
CPLD: resumen de características

- Estructura de PAL con registros y lógica de interconexión
- Capacidad media (hasta 25000 puertas)
- Velocidad media/alta
- Consumo alto
- Tecnología EPROM (reprogramable, no volátil)
- Precio bajo
- La matriz de interconexión global limita el tamaño
- ISP (In-System Programming). JTAG.

FPGAs

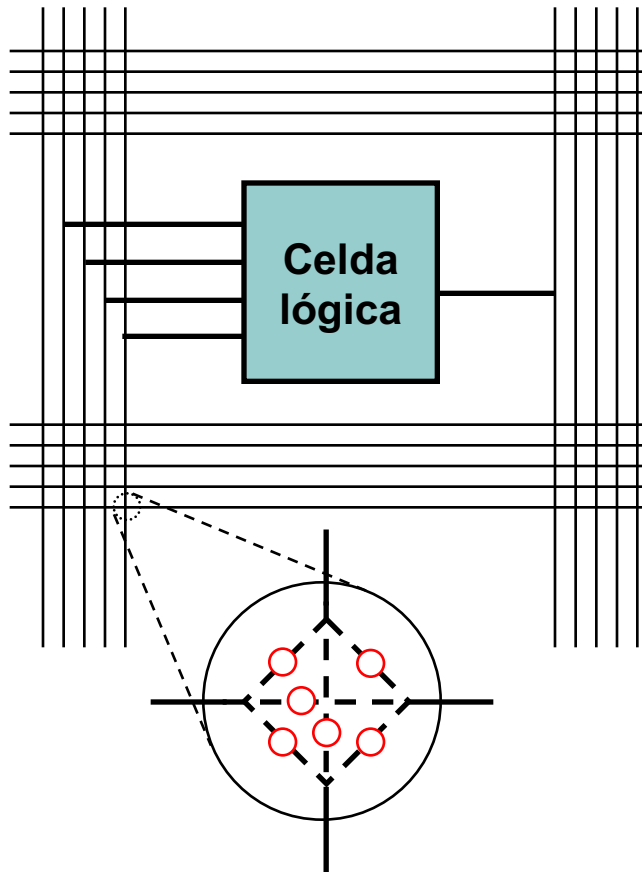
- Field Programmable Gate Arrays (Matrices de puertas programables en campo)
- Superan las limitaciones en tamaño de las CPLDs, mediante arquitecturas avanzadas
- Ofrecen mayor variedad de recursos lógicos
 - Lógica combinatorial
 - Lógica secuencial
 - Memoria RAM
 - Conformadores de reloj
 - Señales globales
 - Multiplicadores
- Fabricantes
 - Xilinx
 - Altera
 - Actel
 - Atmel

FPGA: celda lógica básica



- Función combinacional:
 - LUT (Look-Up Table): SRAM, volátil
- Función combinacional + Biestable
- Otras variaciones:
 - 2 FC + 1 biestable
 - 2 FC + 2 biestables
- Funcionalidad adicional:
 - Lógica de acarreo
 - FC de 6 u 8 entradas
 - Varias señales de reloj y reset
 - Diferentes configuraciones del biestable: nivel, flanco de subida, flanco de bajada

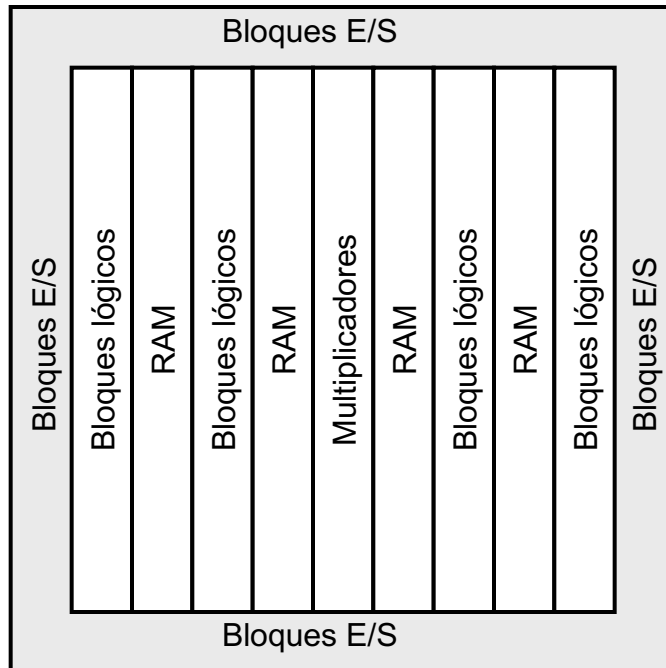
FPGA: interconexiones



- Interconexiones programables
 - Locales:
 - Abundantes y rápidas
 - Para conectar celdas cercanas
 - Globales
 - Para conectar zonas lejanas

Arquitectura general

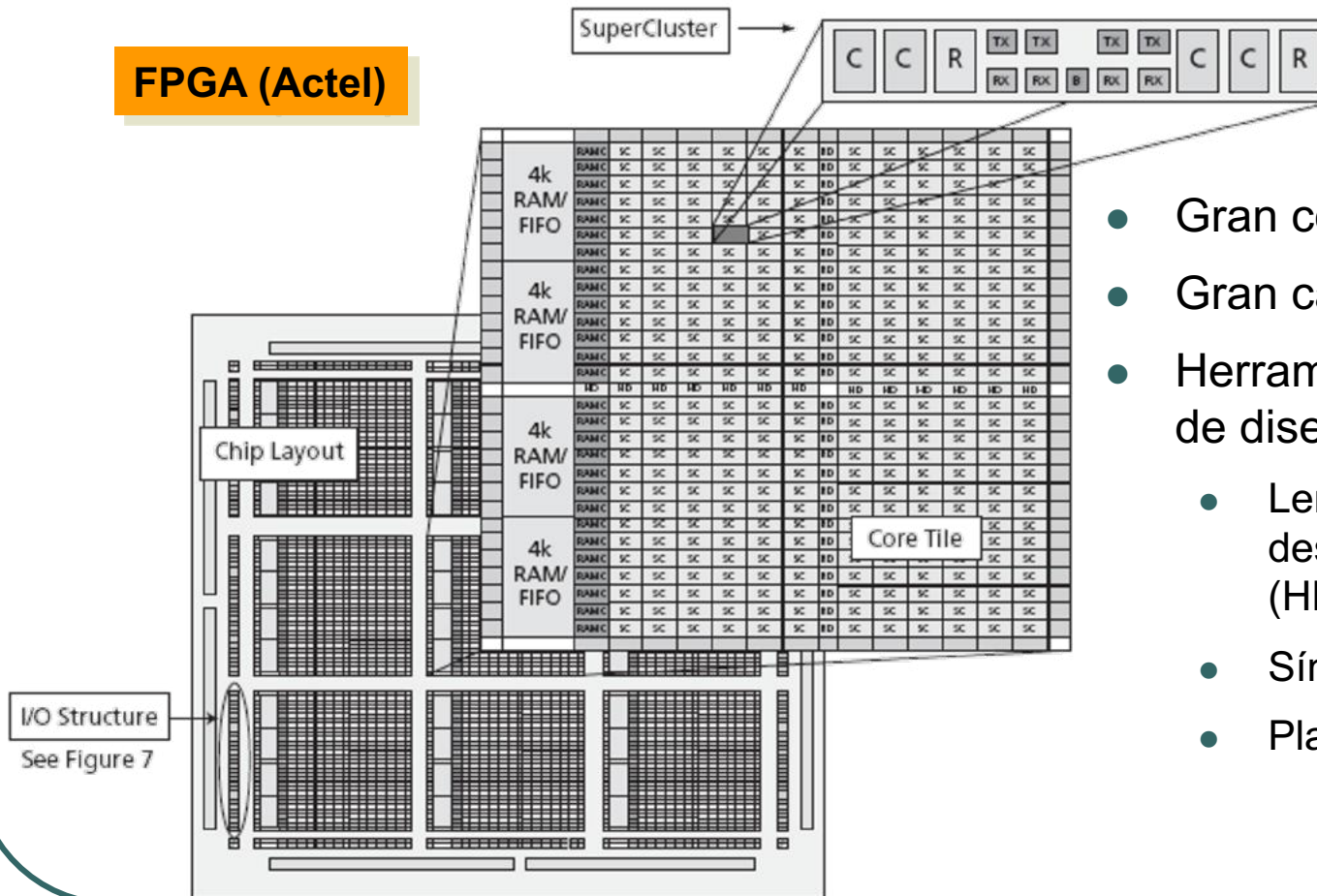
FPGA (Xilinx)



- Elementos básicos
 - Bloques lógicos
 - Bloques de E/S
 - Matrices de interconexión programables
- Elementos avanzados
 - Memoria RAM
 - Gestores de reloj
 - Multiplicadores

Actel Axcelerator FPGA (antifusibles)

FPGA (Actel)



- Gran complejidad
- Gran cantidad de recursos
- Herramientas automáticas de diseño:
 - Lenguajes de descripción de hardware (HDL)
 - Síntesis
 - Place & Route

Figure 1-6 • AX Device Architecture (AX1000 shown)

Bibliografía

- Webs de fabricantes:
 - Xilinx: www.xilinx.com
 - Altera: www.altera.com
 - Actel: www.actel.com
 - Lattice: www.latticesemi.com
- “Fundamentos de Sistemas Digitales”. Thomas L. Floyd. Pearson Prentice Hall
- “Sistemas digitales: principios y aplicaciones”, Tocci, Ronald J. Pearson Prentice Hall
- “Dispositivos lógicos programables (PLD): diseño práctico de aplicaciones”. García Iglesias, José Manuel. RaMa