PRIMERA PARTE (60 min)

Problema 1.1 (1,5 puntos)

Dadas las funciones lógicas:

$$f_1(a,b,c,d) = \sum_4 (1,3,5,7,9,11) + \Delta(0,2)$$
$$f_2(a,b,c,d) = \prod_4 (0,2,3,6,8,10,12,14) + \Delta(5)$$

a) Escriba la tabla de verdad de f_2
b) Obtenga la expresión más simplificada posible de f_1 como suma de productos.
c) Obtenga la expresión más simplificada posible de f_2 como producto de sumas.
d) Implemente la función f_2 utilizando sólo puertas NOR.
e) Implemente la función f_2 utilizando un multiplexor 8:1.
f) Implemente ambas funciones utilizando un decodificador.

Nota importante: se valorará el uso del menor número de componentes en las soluciones

Cuestión 1.2 (1 punto)

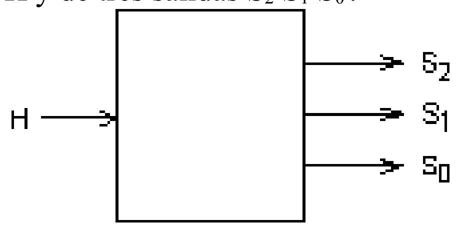
Dados los números A=10101100 y B=12F:

a) Obtenga qué número decimal sería A si se considera que está escrito en binario natural, complemento uno y signo magnitud.
b) Suponiendo que A está escrito en código Gray, expresarlo en binario natural. Indique, justificando su respuesta, si A puede representar un número en código BCD. Indique que número decimal sería B si se considera que está escrito en hexadecimal.
c) Si nos dicen que $35_{16} = 65_x$ ¿En que base x está codificado el número 65?
d) Dados los números C= $+35_{10}$ D= -123_{10}. Realice las operaciones C+D y –C+D en complemento a dos utilizando 8 bits. Justifique si se produce desbordamiento y acarreo en ambos caso.

SEGUNDA PARTE (60 min)

Problema 2.1 (2 puntos)

Diseñe un circuito secuencial síncrono, mediante una máquina de estados de Moore que disponga de una entrada H y de tres salidas S_2 S_1 S_0 .



El circuito será capaz de generar 5 valores de 3 bits cada uno de forma secuencial, es decir, un valor cada ciclo de reloj.

La secuencia de valores será:

1er	valor	S_2 S_1 S_0 = 1 1 1
2º	"	S_2 S_1 S_0 = 1 1 0
3er	"	S_2 S_1 S_0 = 1 0 1
4º	"	S_2 S_1 S_0 = 1 0 0
5º	"	S_2 S_1 S_0 = 0 1 1

Al llegar al 5º valor se volverá a repetir la misma secuencia, es decir: S_2 S_1 S_0 = 111, 110, 101, 100, 011, 111, 110, ……..

La entrada actuará de manera que si H = 0 la secuencia se detendrá y si H = 1 la secuencia continuará. Se usarán biestables D y las puertas lógicas necesarias.

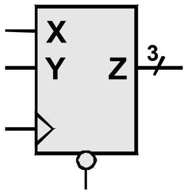
Se pide:

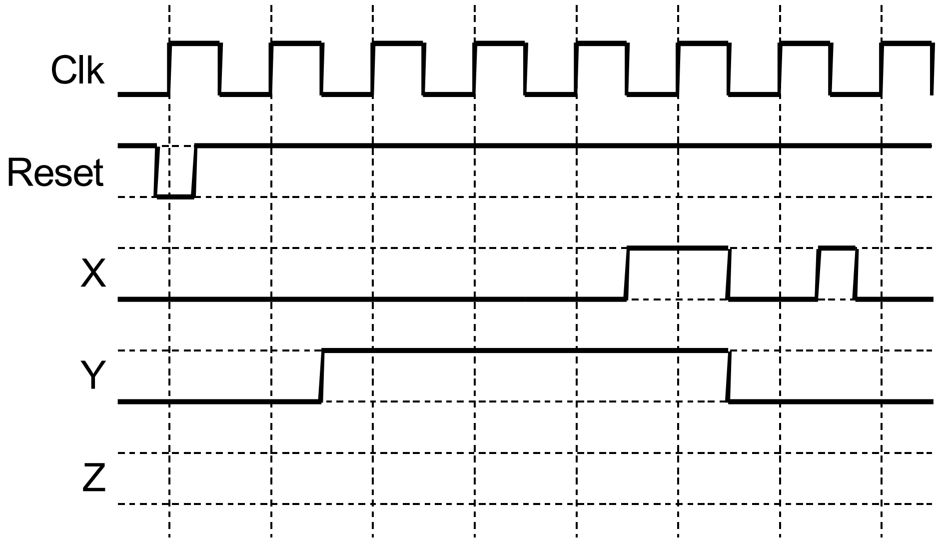
a) Diagrama de estados (con indicación del estado inicial o de reset).
b) Asignación de estados. Justifique el número de biestables necesarios.
c) Tabla de transiciones.
d) Funciones de estado y de salida simplificadas.
e) Esquema del diseño con las líneas de reloj y reset.

Cuestión 2.2 (0,75 puntos)

Determine la secuencia de salida Z del contador módulo-5 (cuenta de 0 a 4) de la figura en función de la evolución de las entradas. Expresar Z como un número entero.

X	Y	Operación
0	0	Subir (up)
0	1	Bajar (down)
1	0	Clear síncrono
1	1	Inhibición





Cuestión 2.3 (0,75 puntos)

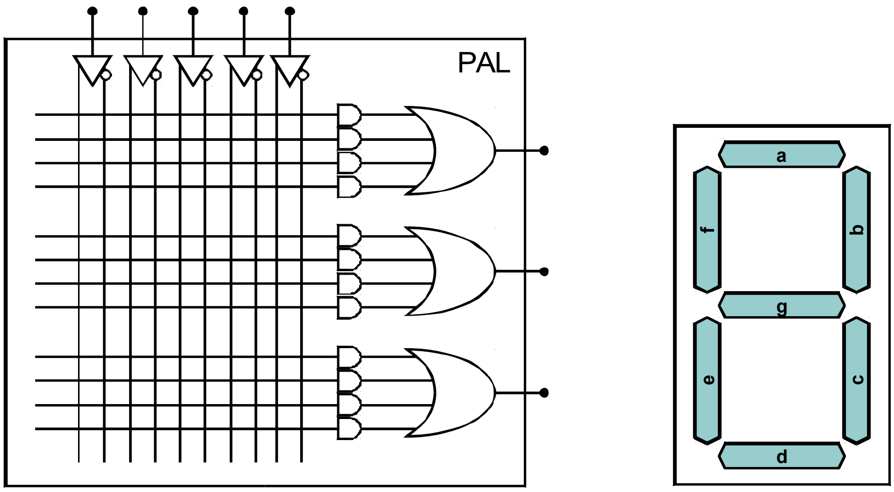
Dibuje el esquemático de puertas y biestables de un registro de desplazamiento de tres bits, de tipo SIPO (Serial Input Parallel Output).

Nombre: ______________________________ **Grupo:**______________

Apellidos: ____

Cuestión 3.2 (0,75 puntos)

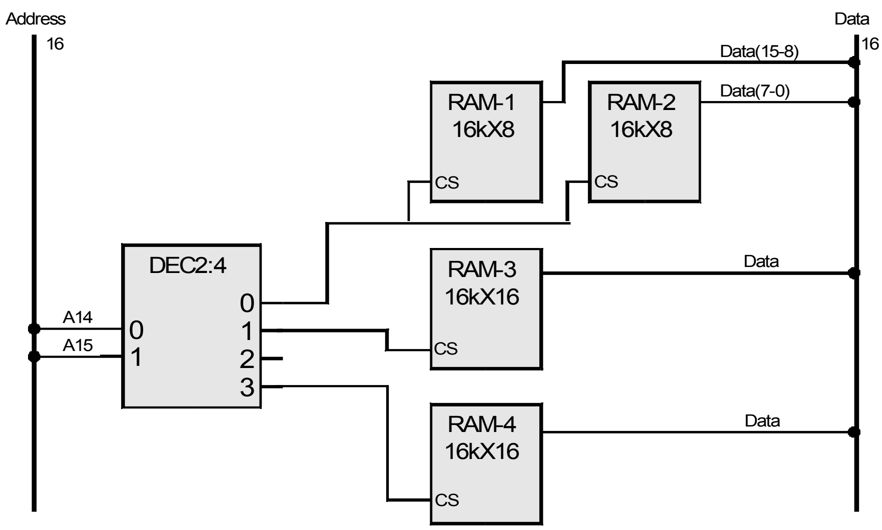
Mediante la PAL de la figura, implemente los segmentos a y b de un decodificador BCD a 7-segmentos. Simplificar las funciones si es necesario. Asumir que las entradas del decodificador se denominan B_3, B_2, B_1, B_0.



Cuestión 3.3 (0,75 puntos)

Dada la asociación de memorias de la figura:

a) Especificar el ancho de los buses de direcciones y datos
b) Determinar el tamaño total del espacio de direccionamiento
c) Determinar el mapa de memoria, incluyendo los rangos que cubre cada circuito en hexadecimal



Asumir que a todos los chips de memoria llegan las señales de OE, WE y las señales A13-A0 del bus de direcciones.

PRIMERA PARTE (60 min)

Problema 1.1 (1,5 puntos)

Dadas las funciones lógicas:

$$f_1(a,b,c,d) = \sum_4 (1,3,5,7,9,11) + \Delta(0,2)$$

$$f_2(a,b,c,d) = \prod_4 (0,2,3,6,8,10,12,14) + \Delta(5)$$

a) Escriba la tabla de verdad de f_2
b) Obtenga la expresión más simplificada posible de f_1 como suma de productos.
c) Obtenga la expresión más simplificada posible de f_2 como producto de sumas.
d) Implemente la función f_2 utilizando sólo puertas NOR.
e) Implemente la función f_2 utilizando un multiplexor 8:1.
f) Implemente ambas funciones utilizando un decodificador.

Nota importante: se valorará el uso del menor número de componentes en las soluciones

SOLUCIÓN PROPUESTA

a) Escriba la tabla de verdad de f_2

A	B	C	D	F2
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	X
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

b) Obtenga la expresión más simplificada posible de f_1 como suma de productos.

CD \ AB	00	01	11	10
00	X	0	0	0
01	1	1	0	1
11	1	1	0	1
10	X	0	0	0

$$F1 = \left(\overline{b} \cdot d\right) + (\overline{a} \cdot d)$$

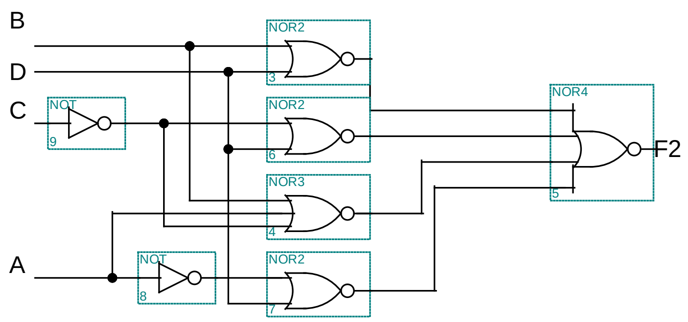
c) Obtenga la expresión más simplificada posible de f_2 como producto de sumas.

CD \ AB	00	01	11	10
00	0	1	0	0
01	1	X	1	1
11	0	1	1	1
10	0	0	0	0

$$F1 = (b + d) \cdot (\overline{c} + d) \cdot (a + b + \overline{c}) \cdot (\overline{a} + d)$$

d) Implemente la función f_2 utilizando sólo puertas NOR.

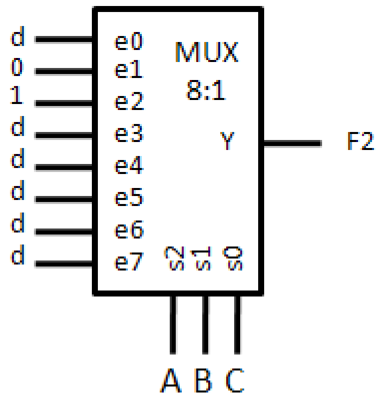
$$F1 = \overline{\overline{(b + d) \cdot (\overline{c} + d) \cdot (a + b + \overline{c}) \cdot (\overline{a} + d)}} =$$
$$F1 = \overline{\overline{(b + d)} + \overline{(\overline{c} + d)} + \overline{(a + b + \overline{c})} + \overline{(\overline{a} + d)}}$$



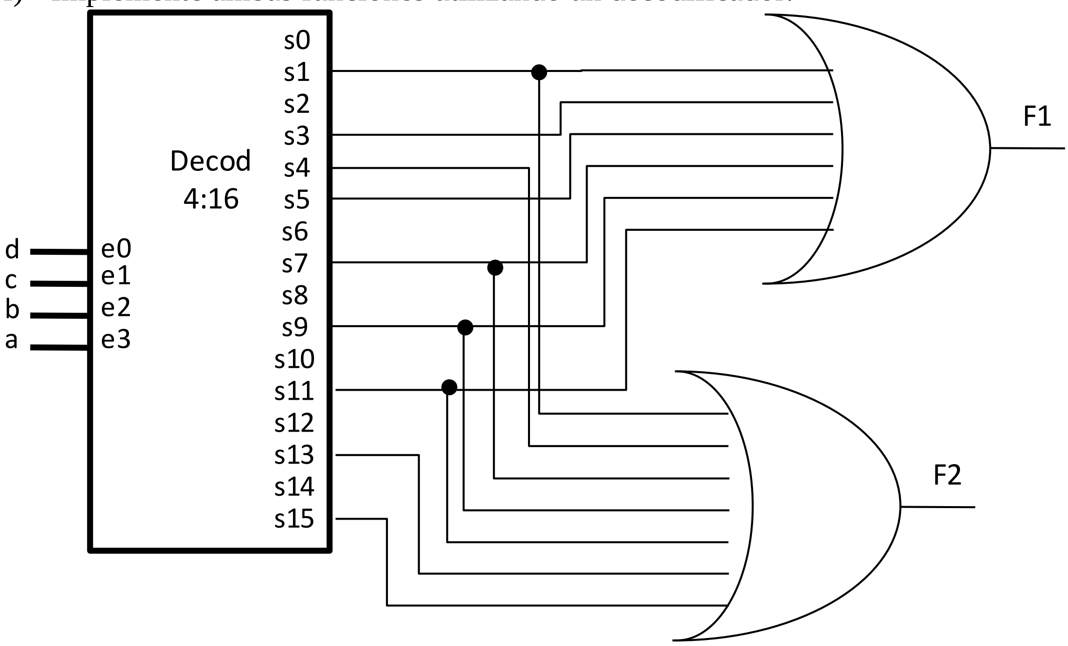
Universidad Carlos III de Madrid
Grado en Ingeniería Informática.
Tecnología de Computadores. Enero de 2010

e) Implemente la función f_2 utilizando un multiplexor 8:1.

A B C D	F2	MUX8:1
0 0 0 0	0	d
0 0 0 1	1	
0 0 1 0	0	0
0 0 1 1	0	
0 1 0 0	1	1
0 1 0 1	X	
0 1 1 0	0	d
0 1 1 1	1	
1 0 0 0	0	d
1 0 0 1	1	
1 0 1 0	0	d
1 0 1 1	1	
1 1 0 0	0	d
1 1 0 1	1	
1 1 1 0	0	d
1 1 1 1	1	



f) Implemente ambas funciones utilizando un decodificador.



TECNOLOGÍA DE COMPUTADORES ENERO 2010

CUESTIÓN 2

$A = 10101100$

$B = 12F$

a) A en binario natural $A_2 = \overset{7\,6\,5\,4\,3\,2\,1\,0}{10101100_2} = 2^7 + 2^5 + 2^3 + 2^2 = 128 + 32 + 8 + 4$

$= 172_{10}$

A en Complemento a 1: $A_{C_1} = 10101100_{C_1} = (-1)\cdot 2^7 + 2^5 + 2^3 + 2^2 + 1 =$

$= -128 + 32 + 8 + 4 + 1 = -128 + 45$

$= -83_{10}$

A está expresado en signo magnitud

$A = \underbrace{1}_{\text{SIGNO } (-)}\underbrace{0101100}_{\text{Magnitud}}$

$\overset{5\,4\,3\,2\,1\,0}{0101100} = 32 + 8 + 4 = 44$

luego $A = -44_{10}$

b) A está escrito en Gray expresarlo en Binario Natural

$A = 10101100$

Gray → Binario

1 0 1 0 1 1 0 0 GRAY

1 1 0 0 1 0 0 0_2

¿Puede representar A un número en código BCD?

$A = \underbrace{1010}_{>9}\ \underbrace{1100}_{>9}$. No, el código BCD (Decimal codificado en Binario) se utiliza para representar los dígitos decimales (del 0 al 9) codificados en binario por lo que las representaciones válidas son del 0 (0000) al 9 (1001). En este caso

$1010 > 9$
$1100 > 9$ ⇒ No puede representar un nº codificado en BCD

~~c)~~ B se considera que está escrito en hexadecimal

$B = 12F_{16}$

$12F_{16} = 1\cdot 16^2 + 2\cdot 16 + 15 = (2^4)^2 + 2\cdot 2^4 + 15 = 2^8 + 2^5 + 15 =$

$= 256 + 32 + 15 = 303_{10}$

c) $35_{16} = 65_X$ ¿Cuánto vale la base X?

$$35_{16} = 3\cdot 16+5 = 48+5 = 53_{10}$$
$$65_X = 6\cdot X+5$$
} igualando

$$53 = 6X+5 \rightarrow X = \frac{53-5}{6} = 8 \rightarrow \text{base Octal}$$

d) $C = +35_{10}$
$D = -123_{10}$

Realice las operaciones $C+D$ y $-C+D$ en complemento a 2 utilizando 8 bits
¿Se produce desbordamiento y acarreo?

$C = +35_{10} = 0010\ 0011_{C2}$
$-D = +123_{10} = 0111\ 1011_{C2}$

$-C = -35_{10} = 1101\ 1101_{C2}$
$D = -123_{10} = 1000\ 0101_{C2}$

-35

$$\begin{array}{r} 0010\ 0011 \\ 1101\ 1100 \\ +\qquad\quad 1 \\ \hline 1101\ 1101 \end{array}$$
$0 \leftrightarrow 1$

-123

$$\begin{array}{r} 0111\ 1011 \\ 1000\ 0100 \\ +1 \\ \hline 1000\ 0101 \end{array}$$
$0 \leftrightarrow 1$

operación $C+D$

$$\begin{array}{lr} C & 0010\ 0011 \\ +\ D & +\ 1000\ 0101 \\ \hline & 1010\ 1000 \end{array} \qquad \begin{array}{r} 35 \\ +\ -123 \\ \hline -88 \end{array}$$

No se puede producir desbordam. al sumar un positivo y un negativo
No se produce acarreo

operación $-C+D$

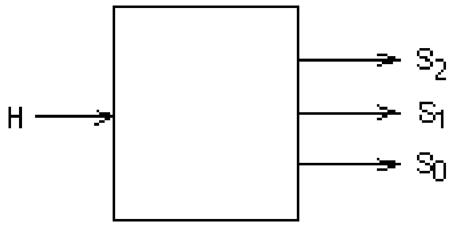
$$\begin{array}{lr} -C & 1101\ 1101 \\ +\ D & 1000\ 0101 \\ \hline & \cancel{1}\ 0110\ 0010 \end{array} \qquad \begin{array}{r} -35 \\ +\ -123 \\ \hline -158 \end{array}$$

↳ signo (positivo)

Se produce desbordamiento
Se suma un número negativo (-35) con otro negativo (-123) y el resultado que se obtiene es positivo → error.
Se produce acarreo $\cancel{1}$ que se desprecia al trabajar en C2

2009-2010. 1er Cuat. TC. 2ª Parte. Problema.

Diseñe una máquina de estados por Moore que disponga de una entrada H y de tres salidas S_2 S_1 S_0 .



Esta máquina será capaz de dar, de forma secuencial, 5 valores de 3 bits cada uno.
La secuencia de valores será:

1er valor		S_2 S_1 S_0 = 1 1 1
2º	“	S_2 S_1 S_0 = 1 1 0
3er	“	S_2 S_1 S_0 = 1 0 1
4º	“	S_2 S_1 S_0 = 1 0 0
5º	“	S_2 S_1 S_0 = 0 1 1

Al llegar al 5º valor se volverá a repetir la misma secuencia, es decir: S_2 S_1 S_0 = 111, 110, 101, 100, 011, 111, 110, ……..

La entrada actuará de la siguiente manera: si H = 0 la secuencia se detendrá y si H = 1 la secuencia continuará.

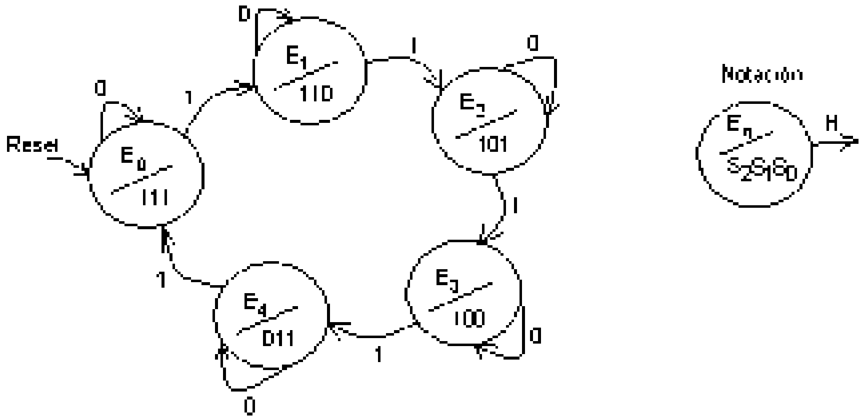
Se usarán biestables D y las puertas lógicas necesarias.

Se pide:

1) Diagrama de estados (con indicación del estado inicial o de reset).
2) Asignación de estados. Justifique el nº de biestables necesarios.
3) Tabla de transiciones.
4) Funciones de estado y de salida simplificadas.
5) Esquema del diseño con las líneas de reloj y reset.

SOLUCIÓN:

1) Diagrama de estados (con indicación de estado de reset).



2) Asignación de estados. Justificación del nº de biestables necesarios.

Q_2	Q_1	Q_0	Estado
0	0	0	E_0
0	0	1	E_1
0	1	0	E_2
0	1	1	E_3
1	0	0	E_4

Para 5 estados necesitaremos 3 biestables (Q_2, Q_1, Q_0) ya que 3 será la menor potencia entera de 2 que sea mayor o igual que 5 ($2^3 \geq 5$).

3) Tabla de transiciones. Funciones de estado y de salida.

				Estado siguiente			Funciones de estado			Salidas		
Q_2	Q_1	Q_0	H	Q_2^+	Q_1^+	Q_0^+	D_2	D_1	D_0	S_2	S_1	S_0
0	0	0	0	0	0	0	0	0	0	1	1	1
0	0	0	1	0	0	1	0	0	1	1	1	1
0	0	1	0	0	0	1	0	0	1	1	1	0
0	0	1	1	0	1	0	0	1	0	1	1	0
0	1	0	0	0	1	0	0	1	0	1	0	1
0	1	0	1	0	1	1	0	1	1	1	0	1
0	1	1	0	0	1	1	0	1	1	1	0	0
0	1	1	1	1	0	0	1	0	0	1	0	0
1	0	0	0	1	0	0	1	0	0	0	1	1
1	0	0	1	0	0	0	0	0	0	0	1	1
1	0	1	0				X	X	X	X	X	X
1	0	1	1				X	X	X	X	X	X
1	1	0	0				X	X	X	X	X	X
1	1	0	1				X	X	X	X	X	X
1	1	1	0				X	X	X	X	X	X
1	1	1	1				X	X	X	X	X	X

4) Funciones de estado (D_2, D_1 y D_0) y salida simplificadas (S_2, S_1 y S_0).

Funciones de estado simplificadas por Karnaugh:

D_2

Q_2Q_1 / Q_0H	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	X	X	X	X
10	1	0	X	X

$$D_2 = Q_2 \overline{H} + Q_1 Q_0 H$$

D_1

Q_2Q_1 / Q_0H	00	01	11	10
00	0	0	1	0
01	1	1	0	1
11	X	X	X	X
10	0	0	X	X

$$D_1 = Q_1 \overline{Q_0} + Q_1 \overline{H} + \overline{Q_1} Q_0 H$$

D_0

Q_2Q_1 / Q_0H	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	X	X	X	X
10	0	0	X	X

$$D_0 = \overline{Q_2}\, \overline{Q_0}\, H + Q_0 \overline{H}$$

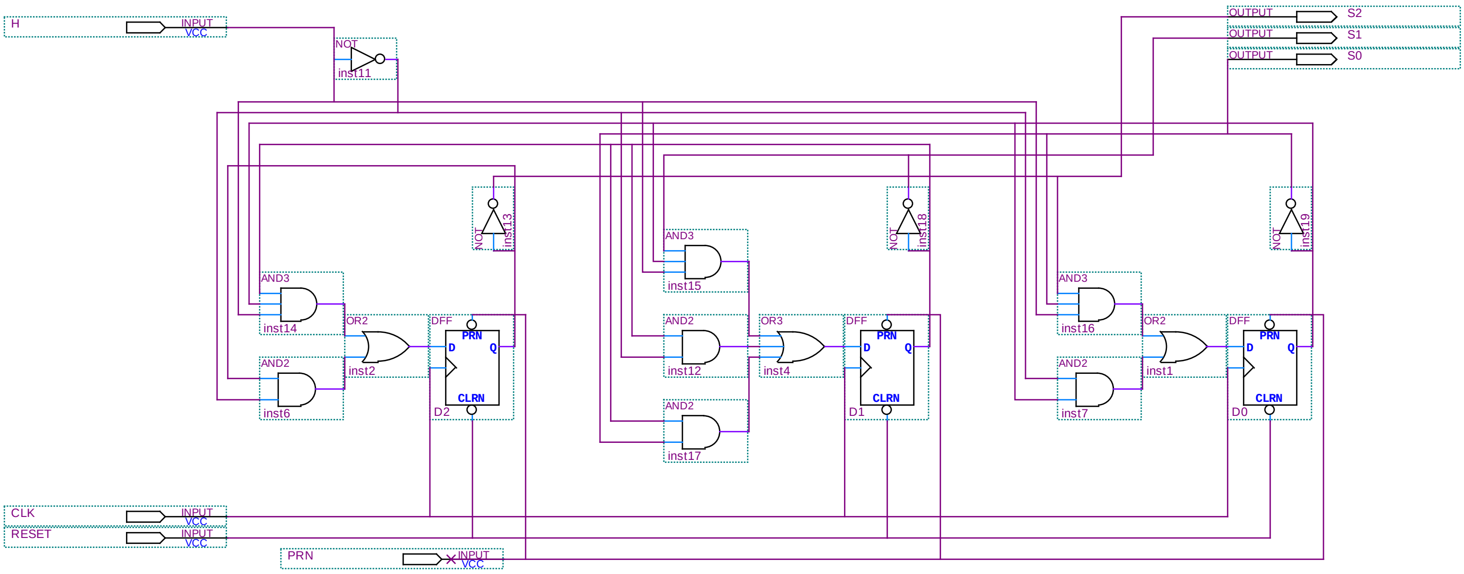
Las funciones de salida (S_2, S_1 y S_0) se pueden obtener directamente de la tabla del apartado 3:

$$S_2 = \overline{Q_2}$$

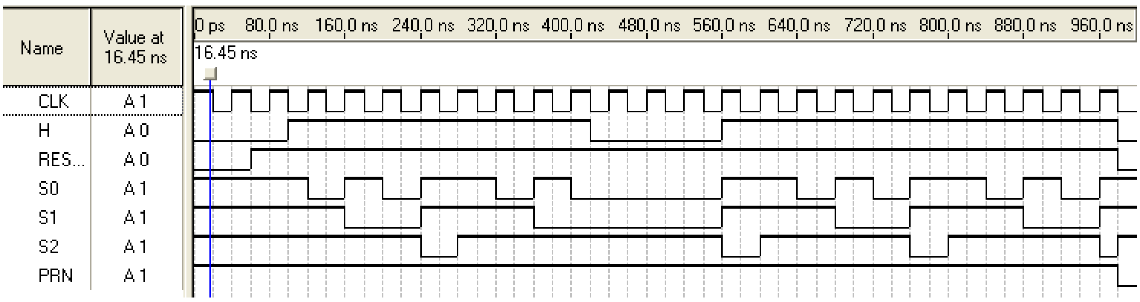
$$S_1 = \overline{Q_1}$$

$$S_0 = \overline{Q_0}$$

5) Esquema del diseño con las líneas de reloj y reset.



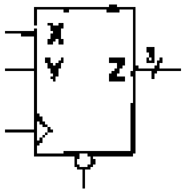
Siendo su simulación:

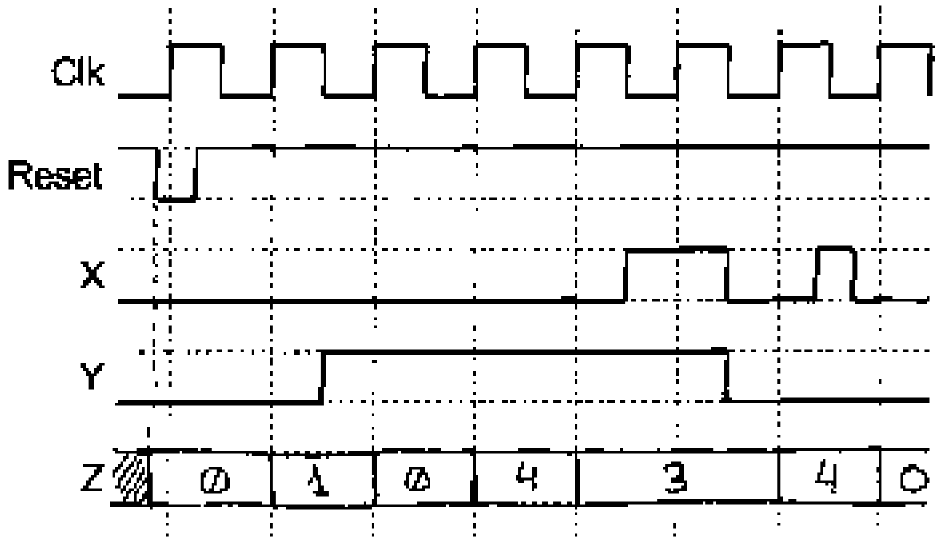


Cuestión 2.2 (0,75 puntos)

Determine la secuencia de salida Z del contador módulo-5 (cuenta de 0 a 4) de la figura en función de la evolución de las entradas. Expresar Z como un número entero.

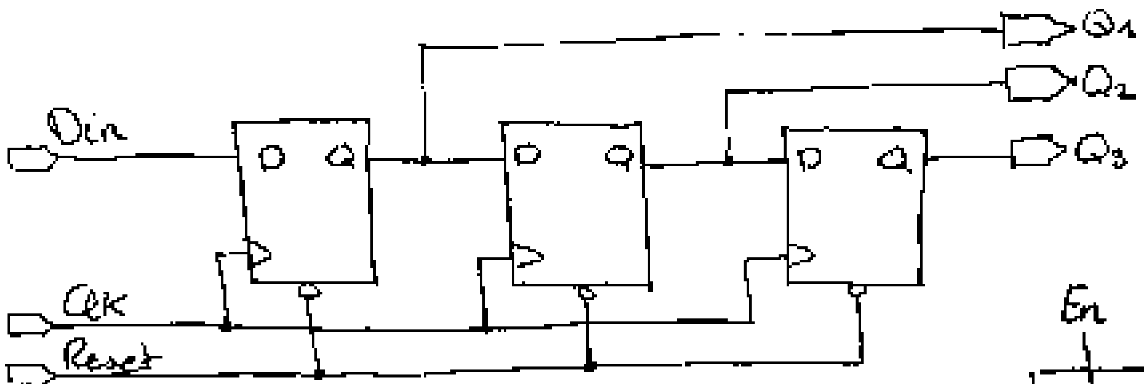
X	Y	Operación
0	0	Subir (up)
0	1	Bajar (down)
1	0	Clear síncrono
1	1	Inhibición

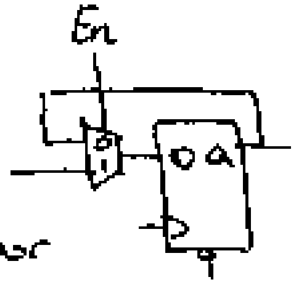




Cuestión 2.3 (0,75 puntos)

Dibuje el esquemático de puertas y biestables de un registro de desplazamiento de tres bits, de tipo SIPO (Serial Input Parallel Output).



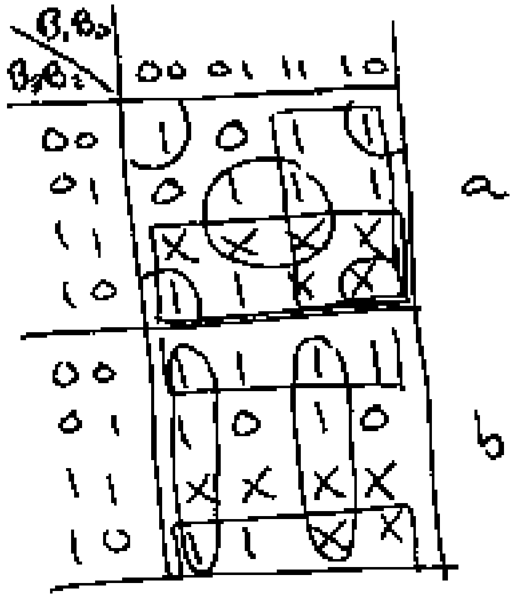


No se pide señal de habilitación.
Se puede incluir sustituyendo los biestables por

Cuestión 3.2

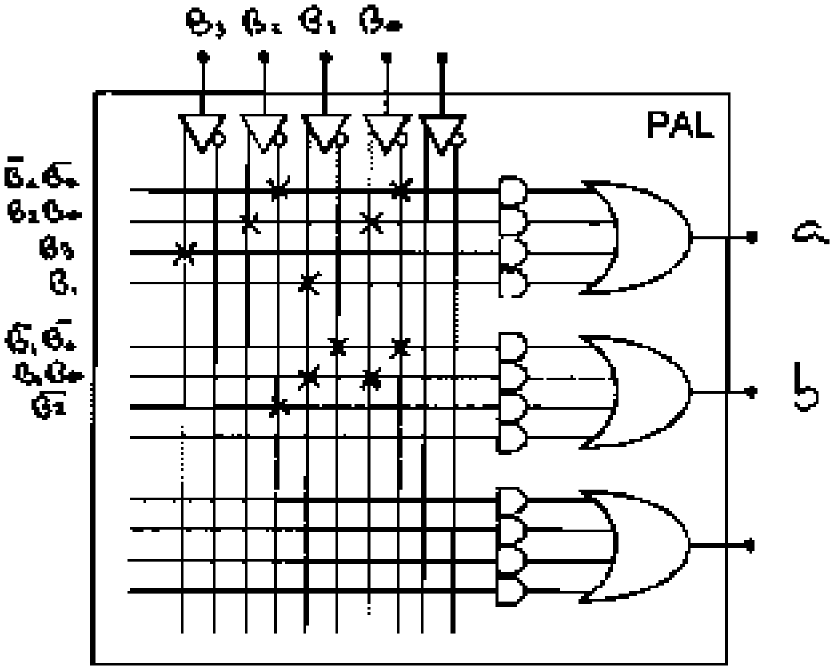
B_3	B_2	B_1	B_0	a	b
0	0	0	0	1	1
0	0	0	1	0	1
0	0	1	0	1	1
0	0	1	1	1	1
0	1	0	0	0	1
0	1	0	1	1	0
0	1	1	0	1	0
0	1	1	1	1	1
1	0	0	0	1	1
1	0	0	1	1	1
Resto				X	X

Las dos funciones tienen demasiados unos. Hay que simplificar



$$a = \bar{B}_2\bar{B}_0 + B_2B_0 + B_3 + B_1$$

$$b = \bar{B}_1\bar{B}_0 + B_1B_0 + \bar{B}_2$$



Cuestión 3.3

a) Bus de direcciones: 16 bits

Bus de datos: 16 bits

b) 16 bits de direcciones $\Rightarrow 2^{16} = 2^{6} \cdot 2^{10} = 64k$

Espacio de direccionamiento: 64k

c) Hay 3 bloques de memoria de 16k×16, uno de ellos formado por dos chips de 16k×8.

Tamaños en hexadecimal:

$$64k = 2^{16} = 1 \cdot (2^4)^4 \Rightarrow 10000_{16}$$
$$16k = 2^4 \cdot 2^{10} = 2^{14} = 4 \cdot (2^4)^3 \Rightarrow 4000_{16}$$