

# Solution

1

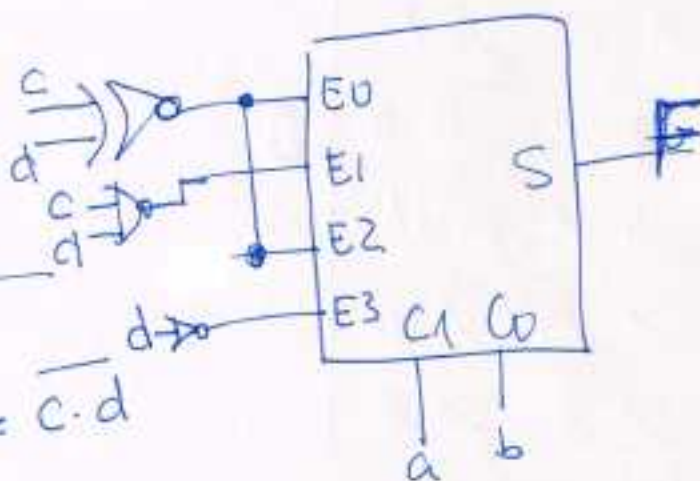
a)

ab \ cd	00	01	11	10
00	1	0	1	0
01	1	1	0	1
11	1	0	0	1
10	1	0	1	0

$$F(a, b, c, d) = (b + c + \bar{d}) \cdot (b + \bar{c} + d) \cdot (\bar{b} + \bar{c} + \bar{d}) \cdot (\bar{a} + \bar{b} + \bar{d})$$

b)

a	b	c	d	f	$F(c, d)$
0	0	0	0	1	$\overline{c \oplus d}$
0	0	0	1	0	
0	0	1	0	0	
0	0	1	1	1	
0	1	0	0	1	$\overline{c \oplus d}$
0	1	0	1	1	
0	1	1	0	1	
0	1	1	1	0	
1	0	0	0	1	$\overline{d}$
1	0	0	1	0	
1	0	1	0	1	
1	0	1	1	1	
1	1	0	0	1	
1	1	0	1	0	
1	1	1	0	1	
1	1	1	1	0	



$$\bar{c} + \bar{d} = \overline{c \cdot d}$$

c)

2

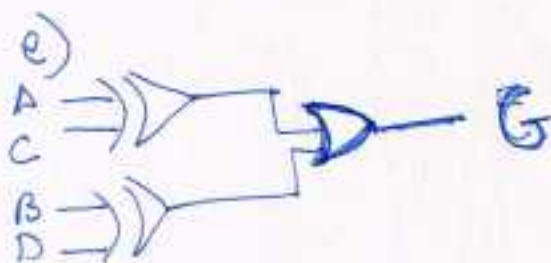
A	B	C	D	S0	S1	S2	S3	G
0	0	0	0	0	1	1	1	0
0	0	0	1	1	0	1	1	1
0	0	1	0	1	1	0	1	1
0	0	1	1	1	1	1	0	1
0	1	0	0	0	1	1	1	1
0	1	0	1	1	0	1	1	0
0	1	1	0	1	1	0	1	1
0	1	1	1	1	1	1	0	1
1	0	0	0	0	1	1	1	1
1	0	0	1	1	0	1	1	1
1	0	1	0	1	1	0	1	0
1	0	1	1	1	1	1	0	1
1	1	0	0	0	1	1	1	1
1	1	0	1	1	0	1	1	1
1	1	1	0	1	1	0	1	1
1	1	1	1	1	1	1	0	0

d)

AB \ CD	00	01	11	10
00		1	1	1
01	1		1	1
11	1	1		1
10	1	1	1	

$$G = B \oplus D + A \cdot \bar{C} + \bar{B} \cdot D + \bar{A} \cdot C$$

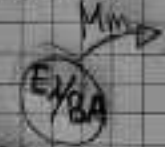
$$= (B \oplus D) + (A \oplus C)$$



Solución:

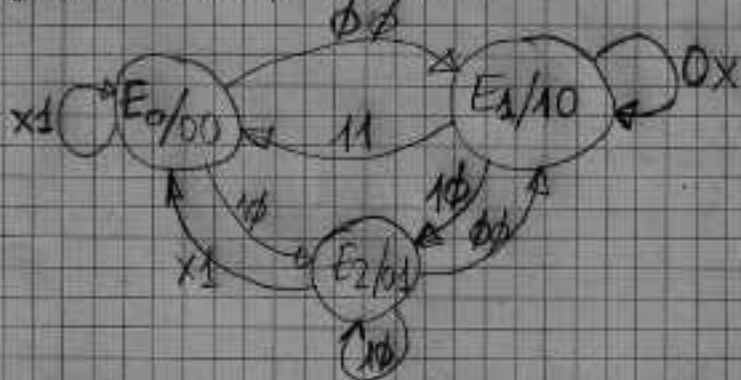
a) Programa de transiciones entre estados

Leitura:



Ei - Estados:

E0 - Bomba Parada  
E1 - " en Marcha  
E2 - Avenha



b) N° estados = 3;  $2^1 \leq 3 \leq 2^2 \Rightarrow$  se necesitan dos biestables

Tabla de cod. de estados: (1/4) Tabla de salidas/F. de Salida:

Estado	Q1	Q0
E0	0	0
E1	0	1
E2	1	0

Q1	Q0	B	A
0	0	0	0
0	1	1	0
1	0	0	1
1	1	X	X

B = Q0

A = Q1

(directamente de la tabla)

c) Tabla de transiciones:

Q1	Q0	M	m	Q1+	Q0+
0	0	0	0	0	1
0	0	0	1	0	0
0	0	1	0	1	0
0	0	1	1	0	0
0	1	0	0	0	1
0	1	0	1	0	1
0	1	1	0	1	0
0	1	1	1	0	0
1	0	0	0	0	1
1	0	0	1	0	0
1	0	1	0	1	0
1	0	1	1	0	0
1	1	X	X	X	X

d) F. de estado simplif.:

$D_i = Q_i^+$  (i=0,1)

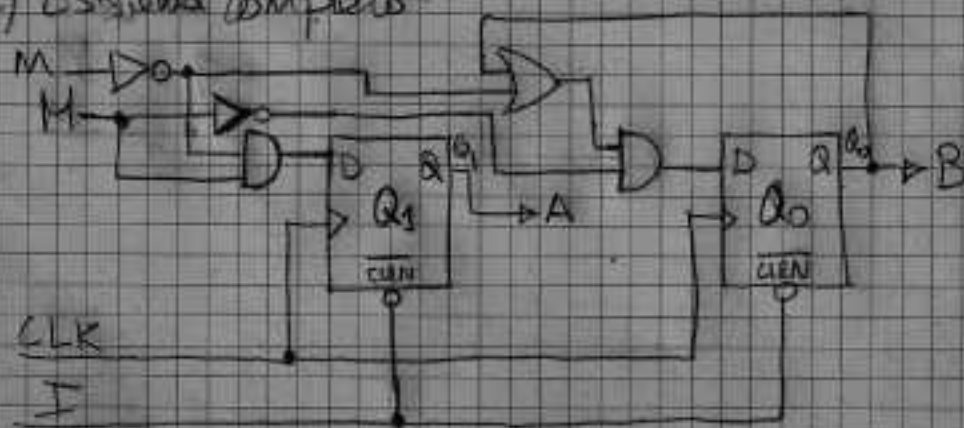
Q1	Q0	D1
0	0	0
0	1	1
1	0	1
1	1	X

Q1	Q0	D0
0	0	1
0	1	0
1	0	0
1	1	X

$D_1 = Mm$

$D_0 = \overline{M}m + Q_0\overline{M} = \overline{M}(Q_0 + m)$

e) Esquema completo



### SOLUCIÓN PROBLEMA 3:

a) (1,5 puntos)

MEMORIA PROM:

Como las direcciones van desde 0000 hasta 3FFF:

0000 0000 0000 0000

0011 1111 1111 1111

Se usan 14 líneas de dirección (A13... A0). Esto son **16K** de posiciones

MEMORIA RAM:

En este caso las direcciones van desde la 5000 hasta la 6FFF,

Desde 5000 hasta 5FFF son 12 líneas de dir. 4K

0101 0000 0000 0000

0101 1111 1111 1111

Desde 6000 hasta 6FFF son 12 líneas de dir. 4K

0110 0000 0000 0000

0110 1111 1111 1111

TOTAL **8K** de posiciones.

MEMORIA ROM:

Las direcciones van desde la E000 hasta la EFFF,

1110 0000 0000 0000

1111 1111 1111 1111

Se usan 13 líneas de dirección (A12...A0). Esto son **8K** de posiciones.

b) (1 punto)

ZONA LIBRE 1:

Como las direcciones van desde 4000 hasta 4FFF:

0100 0000 0000 0000

0100 1111 1111 1111

Se usan 12 líneas de dirección. Esto son **4K** de posiciones

ZONA LIBRE 2:

POSICIONES = TOTAL – PROM - ZONA LIBRE 1 – RAM - ROM

= 64k – 16k – 4k – 8k – 8k = **28K** de posiciones

c) (0,5 puntos)

MEMORIA PROM (16Kx8): Con 2 Chips de 16Kx4. Mismo CS => CS1

MEMORIA RAM (8Kx8): Con 2 Chips de 4Kx8. CS2 y CS3

MEMORIA ROM (8Kx8): Con 1 Chips de 8Kx8. CS4



d) (4 puntos)

### Direcciones binarias:

[illegible]

Ecuaciones:

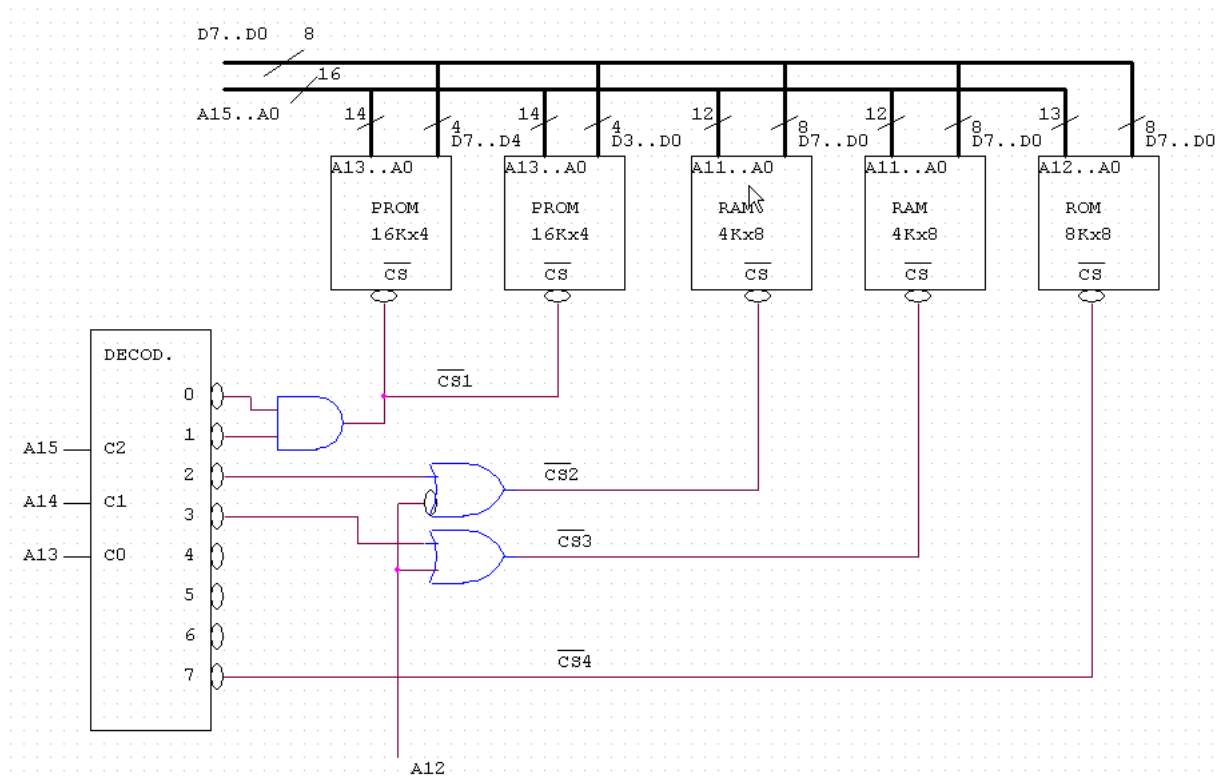
$$\overline{CS1} = A15 + A14$$

$$\overline{CS2} = A15 + \overline{A14} + A13 + \overline{A12}$$

$$\overline{CS3} = A15 + \overline{A14} + \overline{A13} + A12$$

$$\overline{CS4} = \overline{A15} + \overline{A14} + \overline{A13}$$

e) (3 puntos)





**Soluciones del examen Extraordinario del 19 Junio de 2013. Elect. Dig. Sistemas Digitales.**

**Nombre:** \_\_\_\_\_

**Apellidos:** \_\_\_\_\_

**Grupo:** \_\_\_\_\_

**Cuestión (2 puntos). Tiempo (30 min.)**

**Esta cuestión consta de 10 preguntas con 4 respuestas posibles. Únicamente una de las respuestas será la correcta.**

**Todas las preguntas se puntuarán con el mismo valor. Cada respuesta incorrecta restará la tercera parte del valor de la pregunta. La cuestión no contestada no puntúa.**

1. La ruta de datos (datapath) es:
  - a) Un conjunto de unidades funcionales combinacionales que procesan datos.
  - b) Un conjunto de unidades funcionales secuenciales que procesan datos.
  - c) Un conjunto de unidades funcionales, tanto combinacionales como secuenciales, que procesan datos.
  - d) Ninguna de las anteriores.
2. ¿Qué componente no pertenece a una estructura de ruta de datos?:
  - a) ALU (arithmetic logic unit).
  - b) Buses.
  - c) Registros.
  - d) Decodificador de instrucciones.
3. La unidad de control (control unit):
  - a) Coordina el comportamiento de los periféricos externos garantizando la secuencia correcta de sus operaciones.
  - b) Coordina el comportamiento de los periféricos internos garantizando la secuencia correcta de sus operaciones.
  - c) Coordina el comportamiento de la ruta de datos proporcionando las señales de temporización y control que garanticen la secuencia correcta de sus operaciones.
  - d) Ninguna de las anteriores.
4. ¿Qué elemento no pertenece a la unidad de control?:
  - a) FSMs (máquinas de estados).
  - b) Registros.
  - c) ALU.
  - d) Ninguna de las anteriores.
5. La unidad de control:
  - a) Es una parte del microprocesador.
  - b) No es una parte del microprocesador.
  - c) Tiene una parte interna y otra externa al microprocesador.
  - d) Ninguna de las anteriores.

6. Un ASIC (application specific integrated circuit):
  - a) Es un circuito integrado diseñado y desarrollado para satisfacer una aplicación específica, como por ejemplo un circuito de control en un teléfono móvil.
  - b) Es un circuito integrado basado en lógica programable.
  - c) Las dos anteriores son ciertas.
  - d) Las dos primeras no son ciertas.
7. Un CPLD (complex programmable logic device):
  - a) Es un circuito integrado que se puede configurar para implementar únicamente dispositivos digitales combinacionales.
  - b) Es un circuito integrado que se puede configurar para implementar únicamente dispositivos digitales secuenciales.
  - c) Es un circuito integrado que se puede configurar para implementar dispositivos digitales combinacionales y secuenciales.
  - d) Ninguna de las anteriores.
8. ¿Qué elemento formaría parte de un microprocesador?:
  - a) Decodificador de instrucciones.
  - b) Contador de programa (PC).
  - c) Registro de instrucción (IR).
  - d) Todos los anteriores forman parte de un microprocesador.
9. Un ciclo de instrucción de un microprocesador:
  - a) Se puede procesar en una fase: decodificación de la instrucción, configurando la ruta de datos adecuadamente.
  - b) Se puede procesar en dos fases: carga de la instrucción en el IR y decodificación de la instrucción, configurando la ruta de datos adecuadamente.
  - c) Se puede procesar en tres fases: carga de la instrucción en el IR, decodificación de la instrucción e inicialización del contador de programa (PC).
  - d) Ninguna de las anteriores.
10. Una instrucción de salto y bifurcación:
  - a) Modifica el PC (contador de programa).
  - b) Modifica el PC y la dirección más baja de memoria.
  - c) Modifica el IR y la dirección más alta de memoria.
  - d) Ninguna de las anteriores.
11. Una instrucción de transferencia de datos:
  - a) Puede transferir datos entre registros.
  - b) Transfiere únicamente datos entre dos particiones de disco duro.
  - c) Sirve para la encriptación de datos que van a ser transferidos.
  - d) Ninguna de las anteriores.
12. Una instrucción aritmético-lógica:
  - a) Realiza operaciones con la ALU.
  - b) Realiza únicamente operaciones AND, OR y NOT.
  - c) Realiza únicamente operaciones de suma en complemento a 2.
  - d) Ninguna de las anteriores.



13. Los operandos de una instrucción:

- a) Indican los datos sobre los que se aplica un código de operación (opcode).
- b) Indican los datos sobre los que se aplica únicamente operaciones aritméticas.
- c) Indican los datos sobre los que se aplica únicamente operaciones lógicas.
- d) Ninguna de las anteriores.

14. El lenguaje ensamblador de un microprocesador:

- a) Permite la programación a alto nivel sobre una arquitectura conocida del microprocesador.
- b) Permite la programación a bajo nivel sobre una arquitectura conocida del microprocesador.
- c) Permite la programación a bajo nivel sin ser necesario el conocimiento de la arquitectura del microprocesador.
- d) Permite la programación de un microprocesador sin ser necesario el conocimiento de su arquitectura.