



### **PRIMERA PARTE**

#### **Cuestión 1.1 (0.75 p.)**

- a) Obtenga la tabla del *código Gray* de 4 bits
- b) Obtenga la representación *hexadecimal* y *decimal* de las siguientes codificaciones Gray:
  - 1. 1001000110<sub>Gray</sub>
  - 2. 1111111110<sub>Gray</sub>
- c) Obtenga la *codificación Gray* de los siguientes números naturales:
  - 1. 78h
  - 2. 432<sub>8</sub>
- d) Obtenga la representación en *Complemento a dos* de los siguientes números enteros:
  - 1. -78h
  - 2. +432<sub>8</sub>

#### **Problema 1.2( 2.25 p.)**

Dadas las siguientes funciones lógicas:

$$f_1(a,b,c,d) = \sum (0,1,3,5,7,8,9,11) + \Delta (6,14)$$
$$f_2(a,b,c,d) = \sum_4 (2,5,6,8,10,14) + \Delta_4 (1,3,7)$$

Se pide:

- a) Obtenga la expresión lógica simplificada de f1 como producto de sumas
- b) Obtenga la expresión lógica simplificada de f2 como suma de productos
- c) Implemente la función lógica f1 utilizando el menor número posible de puertas NAND de dos entradas.
- d) Implemente la función lógica f2 utilizando un decodificador 3:8 con salidas activas a nivel alto y la lógica adicional que considere necesaria.
- e) Implemente la función lógica f1 utilizando un multiplexor de tres entradas de selección de dato y lógica adicional que considere necesaria.

**DURACIÓN: 1h 15m**



## SEGUNDA PARTE

Nombre: \_\_\_\_\_

Grupo: \_\_\_\_\_

Apellidos: \_\_\_\_\_

### Cuestión 2.1 (1 p.)

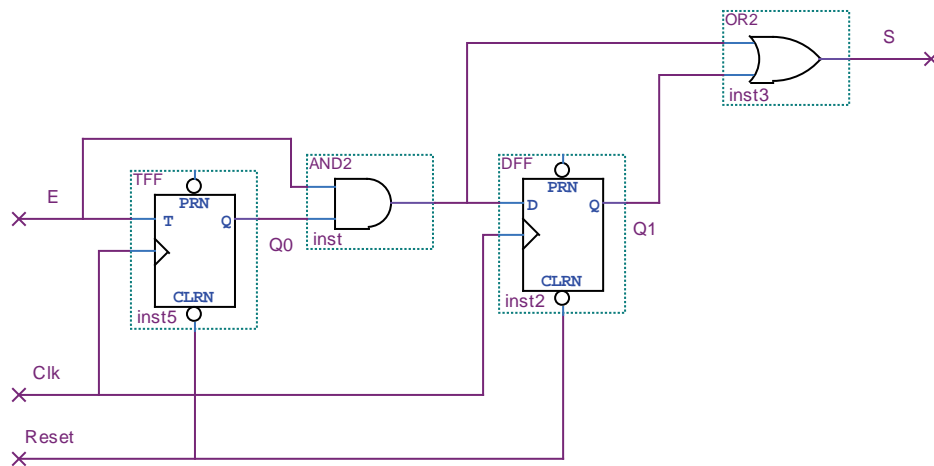
Dado el circuito de la figura:

a) Determine las funciones de excitación y de salida:

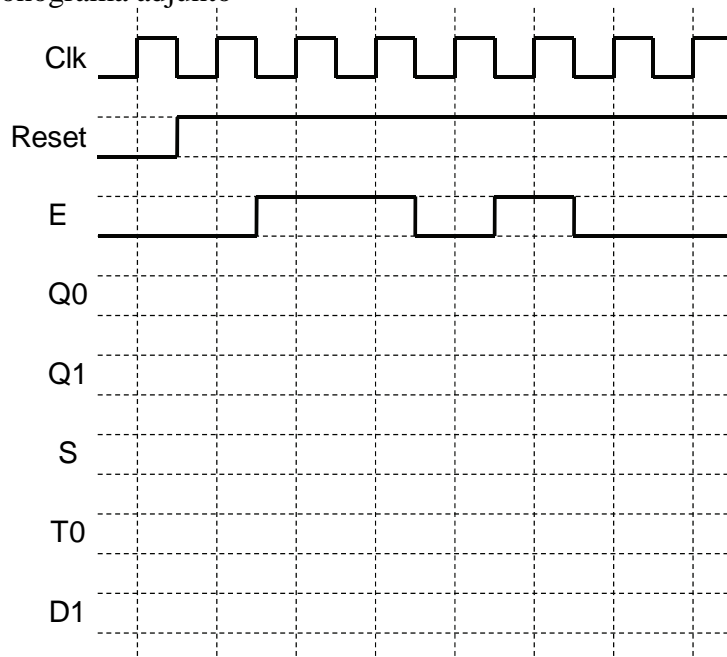
T0 =

D1 =

S =



b) Rellene el cronograma adjunto

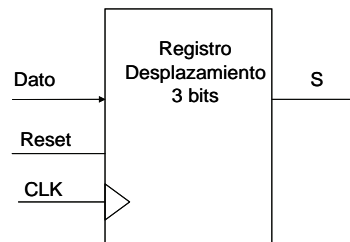




**Cuestión 2.2 (1 p.)**

El circuito de la figura es un registro de desplazamiento serie a la derecha de tres bits diseñado con biestables D. La salida es el bit situado más a la derecha. El circuito tiene las siguientes entradas y salidas:

- Entradas: Dato (1 bit), Clk, Reset.
- Salida: S (1 bit).

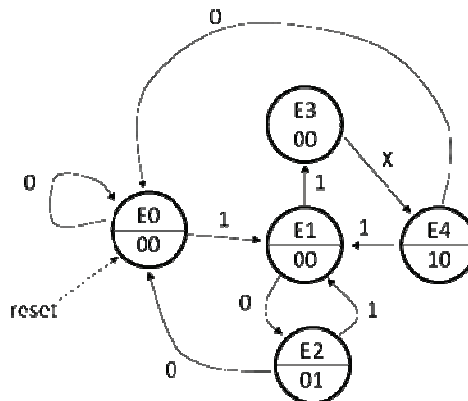


Se pide:

- Dibuje el diagrama de estados del circuito. Indique de forma clara la codificación utilizada para cada uno de los estados.
- Suponga ahora que el registro de desplazamiento del apartado anterior se implementa con biestables T en lugar de biestables D. ¿Se modificaría el diagrama de estado? Justifique de forma razonada su respuesta.

**Problema 2.3 (1.5 p.)**

Dado un circuito con el siguiente diagrama de transición de estados:



- Responda a las siguientes preguntas:
  - ¿Es una máquina de estados de Moore?, o ¿es una máquina de estados de Mealy?
  - ¿Cuántas entradas y cuántas salidas tiene este circuito?
  - ¿Cuál es el menor número de biestables necesario para implementar el circuito?
- Se quiere implementar el circuito utilizando biestables D con entradas asíncronas de inicialización, *preset* y *clear*, y puertas lógicas adicionales:
  - Obtenga las funciones lógicas de la/s salida/s del circuito.
  - Obtenga las funciones lógicas de las entradas a los biestables
  - Implemente el circuito: dibuje el esquema completo del circuito, indicando claramente todas las señales necesarias para el correcto funcionamiento del circuito.

**DURACIÓN: 1h 30m**



**TERCERA PARTE**

**Nombre:** \_\_\_\_\_

**Grupo:** \_\_\_\_\_

**Apellidos:** \_\_\_\_\_

**Cuestión 3.1 (1,25 p.)**

1. Entre las memorias RAM:
  - a) La DRAM es volátil y la SRAM no.
  - b) La DRAM se puede escribir y la SRAM no.
  - c) La DRAM requiere refresco dinámico y la SRAM requiere refresco estático.
  - d) La DRAM requiere refresco y la SRAM no.
  
2. La última posición de una memoria de 16Kx12 es:
  - a) 7FFFH
  - b) 3FFFH
  - c) 3000H
  - d) 8000H
  
3. Un dispositivo lógico programable tipo PAL implementa una suma de productos en la que:
  - a) La suma es fija y los productos son programables.
  - b) La suma es programable y los productos son fijos.
  - c) Tanto la suma como los productos son programables.
  - d) Ninguna de las anteriores.
  
4. Una FPGA de SRAM es:
  - a) Reprogramable y volátil
  - b) Reprogramable, pero no volátil
  - c) No reprogramable y volátil
  - d) No reprogramable y no volátil
  
5. Los dispositivos programables que tienen mayor capacidad son:
  - a) Las PLAs
  - b) Los CPLDs de fusibles
  - c) Las FPGAs de SRAM
  - d) Las FPGAs de antifusibles



6. Una memoria Flash es:
  - a) una memoria reprogramable mediante fusibles
  - b) una memoria programable por luz UV
  - c) una memoria reprogramable electricamente
  - d) una memoria no reprogramable
  
7. Una LUT es:
  - a) Un tipo de memoria RAM
  - b) Un tipo de memoria ROM
  - c) Una memoria que se utiliza para almacenar la tabla de verdad de una función lógica
  - d) Un tipo de dispositivo programable
  
8. En una PAL, una salida de polaridad programable
  - a) Incorpora un biestable para poder realizar circuitos secuenciales
  - b) Incorpora un buffer triestado para utilizar la salida también como entrada
  - c) Permite poner el biestable de salida a 0 o a 1
  - d) Da más flexibilidad, porque permite negar la salida
  
9. En un sistema digital, el componente fundamental de la unidad de control es
  - a) Una ALU
  - b) Una memoria
  - c) Un registro de instrucción
  - d) Una máquina de estados
  
10. El vector o registro de estado en un microprocesador:
  - a) Almacena la instrucción
  - b) Indica el estado de ejecución de cada instrucción
  - c) Proporciona información relativa al resultado de la última instrucción ejecutada
  - d) Está formado por las señales que controlan la ruta de datos

**DURACIÓN: 1h**



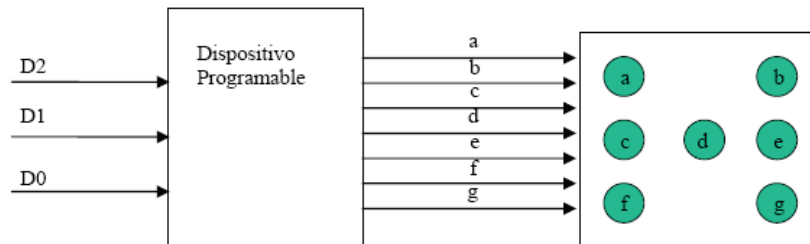
**Nombre:** \_\_\_\_\_

**Grupo:** \_\_\_\_\_

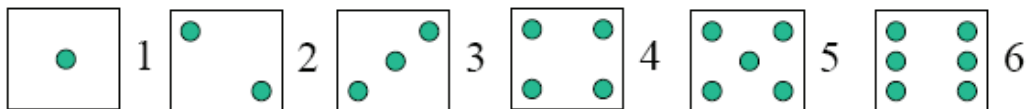
**Apellidos:** \_\_\_\_\_

**Cuestión 3.2 (0,75 p.)**

Por un bus de datos de 3 bits (D2, D1, D0), se recibe un número en modo binario comprendido siempre entre el 1 y el 6, correspondiente a la generación aleatoria de un dado electrónico. Se pide implementar en un dispositivo programable la lógica necesaria para que se iluminen los puntos del display de la figura, activo a nivel alto. Se valorará el mínimo número de conexiones posibles.



Utilícese la siguiente referencia:



Márquese sobre la figura como quedaría el dispositivo grabado.

