

Solución Ejercicio 1

1) (1 punto)

Capacidad memoria = $(16K+16K+32K)\times16$ bits = $64K\times16$ bits

Se necesitan <u>16 líneas</u> de direcciones: $64K = 2^6 \cdot 2^{10} = 2^{16}$

2) (1 punto)

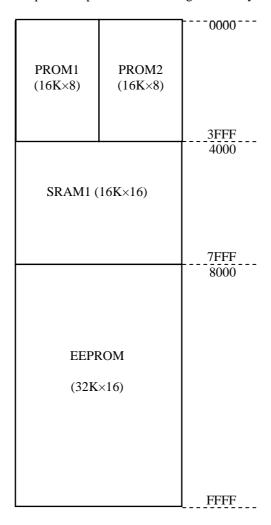
PROM (16K×16) → 2 chips de 16K×8 para ampliar la longitud de palabra

(PROM1 y PROM2)

SRAM $(16K\times16) \rightarrow 1$ chip de $16K\times16$

EEPROM $(32K\times16) \rightarrow 1$ chip de $32K\times16$

3) (2 puntos) Para 64K direcciones (16 líneas en el bus de direcciones) se necesitan 4 dígitos hexadecimales para nombrar todas las direcciones. Las líneas del bus de direcciones son A15, A14, A13,..., A0, siendo A15 la que corresponde al bit más significativo y A0 la del menos significativo.



4) (2 puntos)

El bloque de memoria de menor tamaño es de 16K

 $64K/16K = 4 \rightarrow la$ memoria se puede dividir en 4 bloques de 16K.

Para poder seleccionar cada uno de estos bloques se necesitan 2 líneas del bus de direcciones $(4=2^2)$. Estas líneas corresponden a los bits más significativos de las direcciones (A_{15}, A_{14})

En la tabla adjunta se indican los valores de estos bits para cada una de las cinco memorias de nuestro sistema:

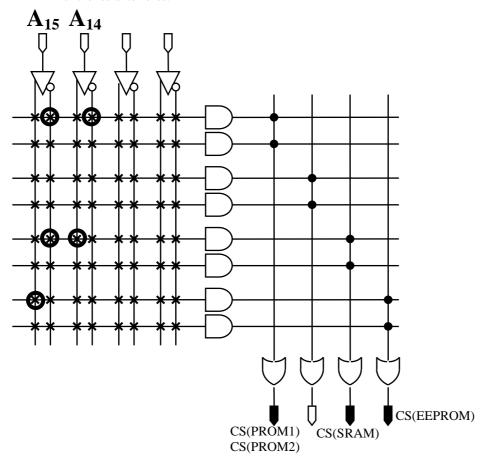
	A_{15}	A_{14}
PROM1 y PROM2	0	0
SRAM	0	1
EEPROM	1	X

A partir de la tabla anterior se pueden deducir las entradas de selección de las memorias (CS) en función de los bits de las direcciones:

$$CS(PROM1) = CS(PROM2) = \overline{A_{15}} \cdot \overline{A_{14}}$$

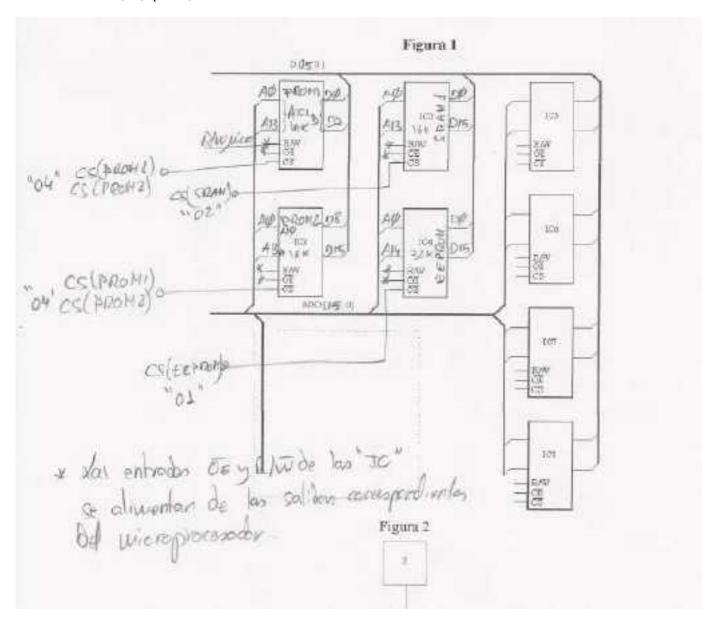
 $CS(SRAM) = \overline{A_{15}} \cdot A_{14}$
 $CS(EEPROM) = A_{15}$

5) (2 puntos) Para utilizar la PAL como sistema de decodificación se han de conectar a sus entradas los bits del bus de direcciones A₁₅, A₁₄, A₁₃. El sistema de decodificación tiene que implementar las funciones anteriores.

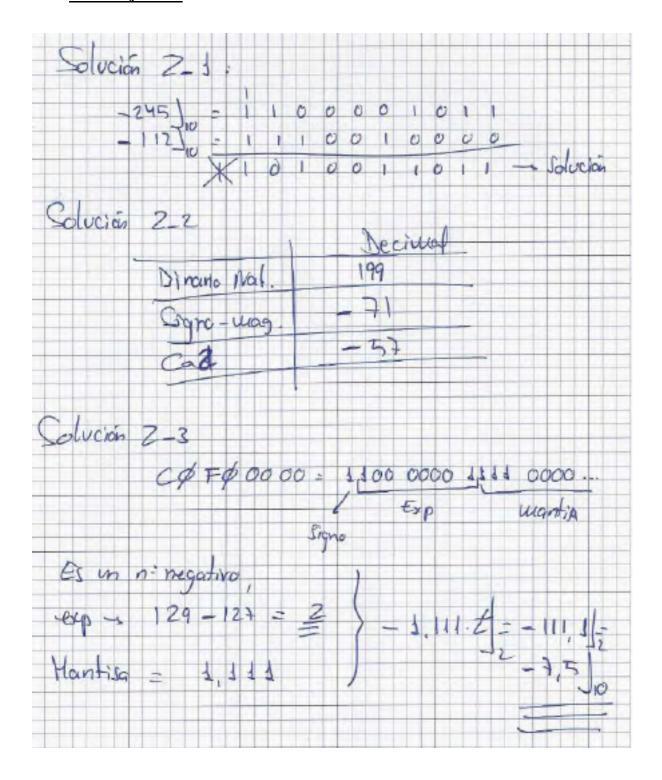




6) (2 puntos):

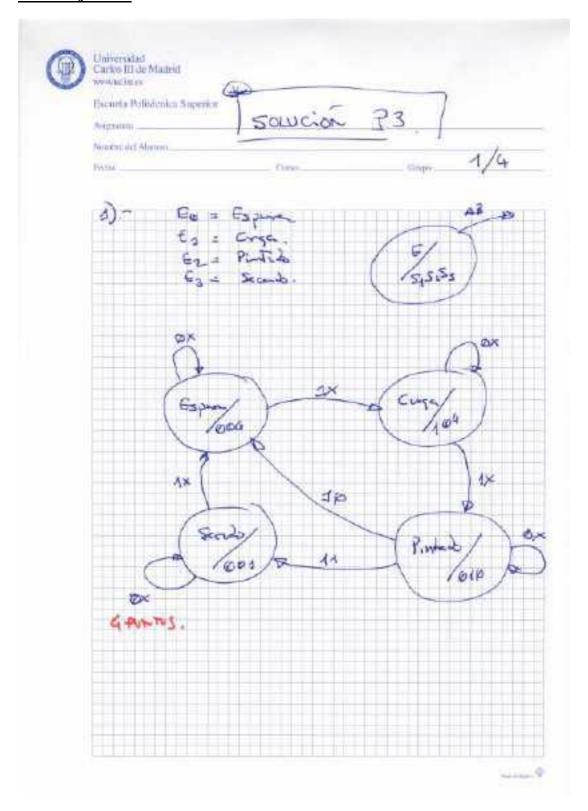


Solución Ejercicio 2

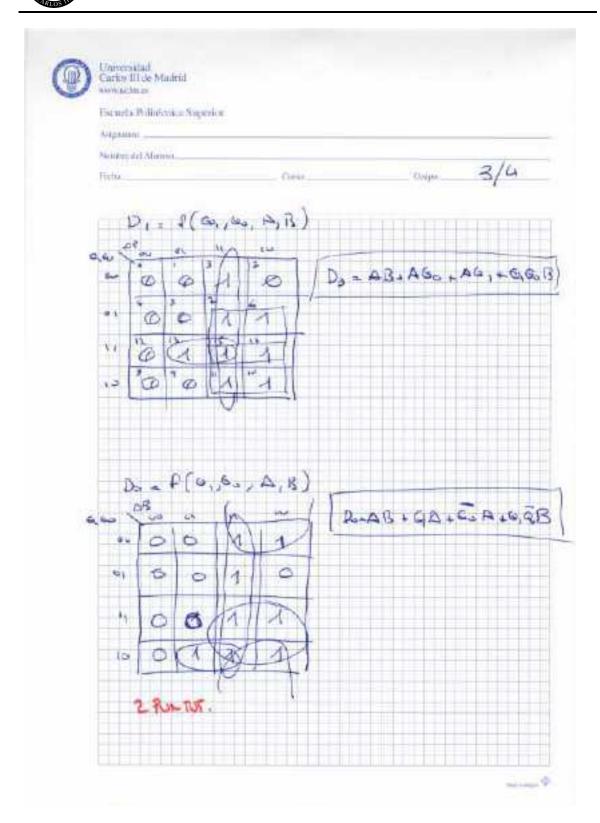




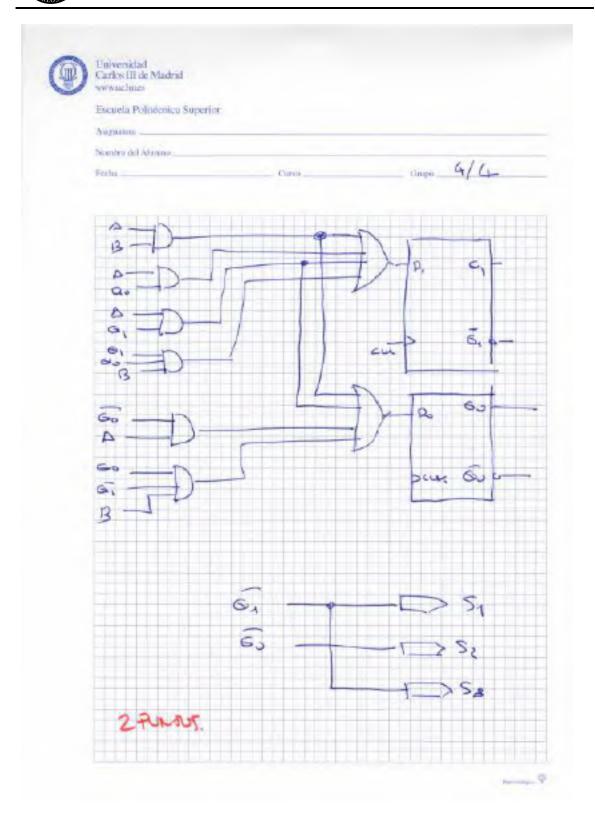
Solución Ejercicio 3



encucacionan.		D.			
	idadia Soperio	t e			
Avaprens	autes				
Nombre del Al			Service Control	Tar	2/1
Fishe			Mari	- 0	·/
-					
2)					
E	stil 6	1 50	Si	22 27	
	Eφ	00	4	11	
	€1	03	1	0 1	
	E.	10	The Marie	10	
	The state of the s		110		
	€3	11	10	0 0	
1,400	0.4		4.1X		
- 4	न्त्रापितः =	2 21	ddtees	· e .	
	-		-		_ G,
5,	= 6,		= Go		. e.,
51 27	E SA	j Se	_ = G .	; S ₃	1
5,	E SA	j Se	-	: S ₃	
51 27	ENL) Se	_ = 6. A B	; S ₃	1
51 27	E SA	, Se	_ = €. △ 13	, 53	000
51 27	ENL	S. S.	Δ 13 0 0 1 0	, 53 00 00 00 00	يم وو ا
51 27	ENL	500000	△ 33 ○ 0 ○ 1	, S3	000
51 27	= G ₁ UNIVE. USALD Ex	S. S.	Δ 13 0 0 1 0	, 53 00 00 00 00	D 0 0 - 0
51 27	ENL	500000000	△ 3 △ 3 ○ 0 1 0 1 1	, S ₃	000
51 27	= G ₁ UNIVE. USALD Ex	500000000000000000000000000000000000000	- G.	; S ₃	00-00
51 27	= G _A UN TUT. GSALA E0	Se 000000000000000000000000000000000000	- G. A 13 A 10	, S ₃	200-000-00
51 27	= G ₁ UNIVE. USALD Ex	Se 000000000000000000000000000000000000	- G. A B D C C C C C C C C C C C C C C C C C C	, S3	200-000-00
51 27	= G _A UN TUT. GSALA E0	50000000000000000000000000000000000000	- G. A B D C C C C C C C C C C C C C C C C C C	, S3	200-000-00-
51 27	= G _A UN TUT. GSALA E0	Se 000000000000000000000000000000000000	- G. A B D C C C C C C C C C C C C C C C C C C	, S3	200-000-00





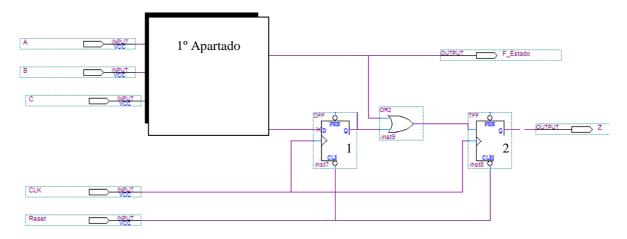




Ejercicio 4 (2 puntos sobre 10 puntos)- DEBE UTILIZAR LA HOJA DEL ENUNCIADO

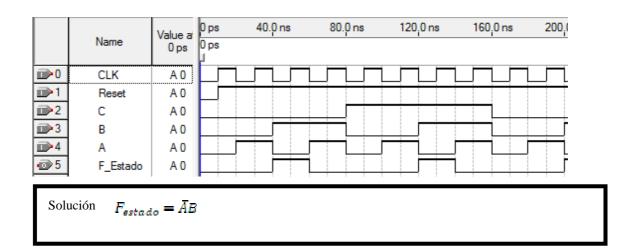
Una empresa desea analizar un producto de la competencia, realizando ingeniería inversa. El producto se trata de un circuito síncrono y dispone de 5 entradas y una salida como se observa en la figura:



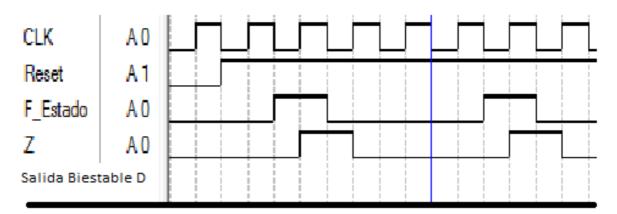


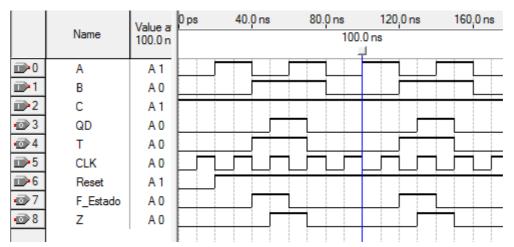
El biestable 1, es 'tipo D'. Nota: el circuito total no es exactamente igual que este (falta alguna conexión).

1º) Se logra capturar la señal de la función del estado (F_Estado) del primer biestable. Indique cual es la función de estado del primer biestable



2º) Complete el cronograma del primer biestable (tipo D). Siendo F_Estado su entrada.:

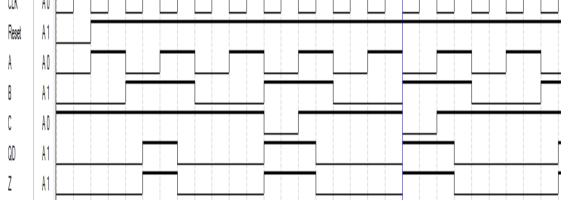




3) Indique qué tipo de biestable es el segundo justificadamente a la vista de su resultado y el cronograma del apartado 2

El segundo biestable es tipo 'T'. Se observa que es "Toogle" viendo la señal 'Z' como salida y la entrada como conviación de F_E stado y D





Solución:

Es una señal asíncrona que activa el PRESET del circuito. Se observa que hay cambio en 'Z' en los flancos de bajada.