

SEGUNDA PARTE (1h30)

Cuestión 3 (0,75 puntos) (15 min)

Dada la Tabla de Funcionamiento de un biestable denominado FG, obtenga el biestable FG a partir de un biestable D.

F	G	Q_{t+1}
0	0	0
0	1	1
1	0	\overline{Q}_t
1	1	1

Problema 2 (3,25 puntos) (1h 15min)

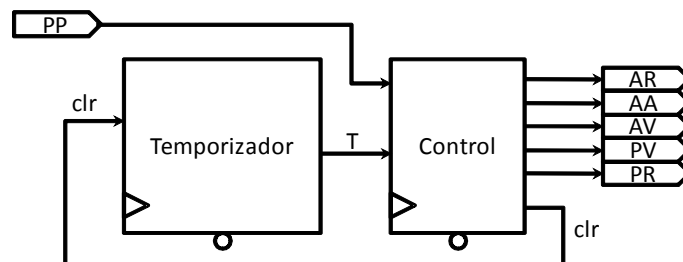
Se pretende diseñar un circuito de control de un semáforo para una carretera poco transitada por los peatones, que normalmente estará verde para los coches, y los peatones deberán apretar un pulsador para poder pasar.

El semáforo dispone de tres luces para los automóviles, roja (AR), amarilla (AA), y verde (AV) y dos para los peatones, roja (PR) y verde (PV). Las luces se encenderán cuando el circuito ponga un valor lógico alto. Asimismo, el semáforo dispone de un pulsador (PP) para que los peatones puedan pedir paso.

El funcionamiento del circuito será el siguiente:

- Normalmente, el semáforo estará verde para los coches y rojo para los peatones.
- Cuando un peatón pulse el botón de paso (PP=1), el semáforo se pondrá amarillo para los coches y permanecerá rojo para los peatones. El semáforo se mantendrá así durante 5s.
- Pasados 5s, el semáforo se pondrá verde para los peatones y rojo para los coches, manteniéndose así durante 15s.
- Tras los 15s, se pondrá rojo para los peatones y los coches durante 5s, en espera de que los peatones terminen de pasar.
- Transcurridos los 5s, se volverá al estado inicial.

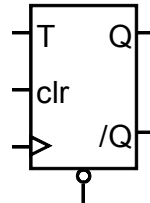
El circuito será síncrono y para construirlo es necesario diseñar un contador que realice la labor de temporización, y un circuito de control mediante una máquina de estados. El diagrama de bloques del circuito completo es el siguiente (para no complicar el diagrama, no se han dibujado las señales de reloj y reset):





El contador debe tener una entrada (clr) de puesta a cero síncrona, y una salida T que dará un pulso cuando se hayan alcanzado 5s y 20s desde el inicio de la cuenta. Para diseñar el contador se pide:

- Dibujar el esquema de un contador síncrono utilizando biestables T con señal de puesta a cero síncrona, como el de la figura. Dibujar el esquema de un contador de 4 bits.
- Suponiendo que el reloj del sistema es de 200Hz, calcule cuánto debe contar el contador para temporizar 5s y 20s. Determine el número de bits que debe tener dicho contador.
- Para que el contador se comporte como un temporizador y generar la salida T, es necesario añadirle lógica combinacional que genere un pulso que dure un ciclo de reloj a los 5s de comenzar la cuenta y otro al llegar a los 20s. Determine qué circuito o circuitos hay que añadir para generar la salida T. Considere que las señales de la cuenta del contador se denominan C_{N-1}, \dots, C_0 , donde N es el número de bits del contador.



El circuito de control es una máquina de estados que tiene como entradas el pulsador de los peatones PP y la señal T del temporizador, que toma valor '1' cuando el temporizador ha contado 5s y 20s sucesivamente. Como salidas tiene las distintas luces del semáforo y la señal de puesta a cero del temporizador (clr). El contador se pondrá a cero cuando "clr" valga '1'.

Se pide implementar el circuito síncrono con biestables D:

- Dibujar el diagrama de estados del circuito. Especificar claramente el convenio de señales utilizado en el diagrama.
- Especificar la asignación de estados y determinar la tabla de transiciones.
- Simplificar las funciones de estado y de salida del circuito.
- Dibujar el esquema del circuito resultante, incluyendo las señales de reloj y reset.



TERCERA PARTE (45 min)

Nombre: _____ **Grupo:** _____

Apellidos: _____

Cuestión 4 (0,75 puntos)

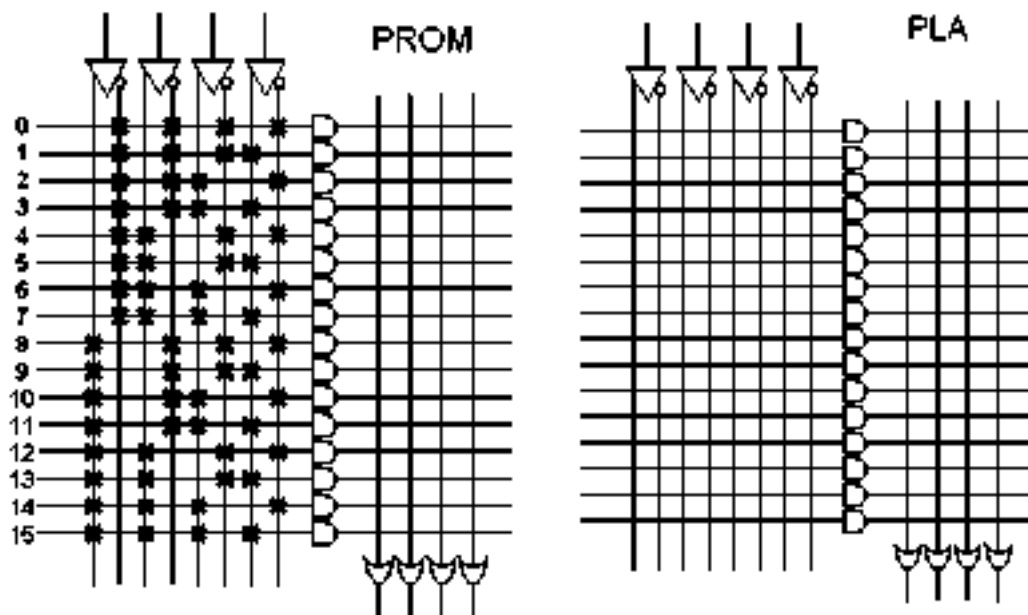
Esta cuestión se responderá en esta misma hoja.

Dada las funciones lógicas siguientes :

$$F_1(C, B, A) = \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC$$

$$F_2(C, B, A) = A + BC + \overline{A}\overline{B}\overline{C}$$

Implemente ambas funciones en las PLD tipo PROM y PLA siguientes, realizando las conexiones necesarias. (No se considerará válido replicar las conexiones de la PROM en la PLA).





Problema 3 (1,75 puntos)

Un microprocesador tiene un espacio de direccionamiento de 128M y tamaño de palabra 16 bits. Se quiere construir una memoria y para ello se dispone de los siguientes bloques de memoria:

- 4 RAM de capacidad 8Mx8 bits
- 2 EPROM de capacidad 16Mx8 bits
- 4 PROM de capacidad 8Mx16bits

En la memoria total las RAM deben ocupar las posiciones más bajas de memoria, a continuación las EPROM y en las posiciones más altas de memoria se ubicarán las PROM, quedando un hueco entre la EPROM y la PROM para futuras ampliaciones.

Se pide:

- a) Mapa de esta memoria, con la dirección inicial y final de cada bloque en hexadecimal.
- b) Esquema de la memoria total utilizando un decodificador con salidas activas a nivel bajo para la implementación de las funciones de selección de cada chip de memoria. Suponga que los chips se activan por nivel bajo.



PRIMERA PARTE (1h)

Cuestión 1 (0,75 puntos) (15 min)

Obtenga razonadamente el número decimal 89 en :

- a) Binario Natural
- b) Octal
- c) Hexadecimal
- d) Complemento a 1 (representar 89 y -89)
- e) Complemento a 2 (representar 89 y -89)
- f) BCD Natural

Cuestión 2 (0,75 puntos) (15 min)

Dada la función lógica:

$$F(D, C, B, A) = m_2 + m_3 + m_6 + m_7 + \overline{DB} + CA$$

simplificar mediante mapa de Karnaugh (Nota : m_i = minitérmino)

Problema 1 (2 puntos) (30 min)

Se quiere organizar un torneo de fútbol este verano con 3 ó 4 equipos a elegir entre: At. Madrid, R. Madrid, Valencia y Barcelona. Se cree interesante que si se invita al Barcelona se deberá invitar al R. Madrid, y viceversa.

Para saber si es correcta una determinada elección de equipos se utilizará lógica combinacional. Se usarán las variables binarias de elección de equipo: 'A' para el At. Madrid, 'B' para el Barcelona, 'R' para el R. Madrid y 'V' para el Valencia.

La función lógica de elección correcta de equipos será 'S(A,B,R,V)'.

Se pide:

- a) Escribir la tabla de verdad para las variables A,B,R y V y la función lógica S.
- b) Simplificar al máximo la función S.
- c) Circuito con puertas lógicas de S(A,B,R,V) y circuito equivalente con sólo puertas NAND.
- d) Circuito con un decodificador de 4 entradas.
- e) Circuito con un multiplexor de 8 entradas.