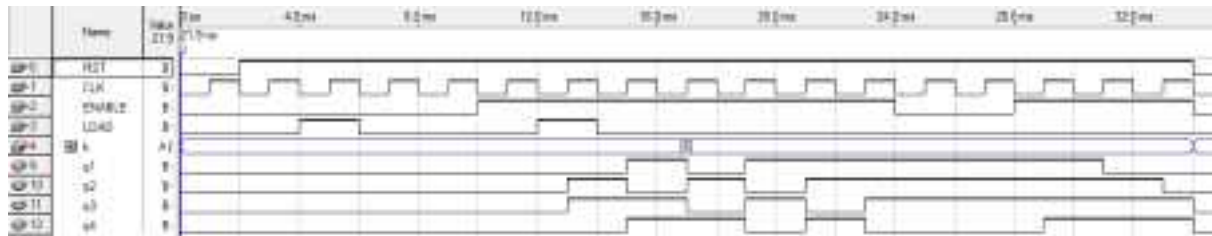


Sesión 3: LFSR

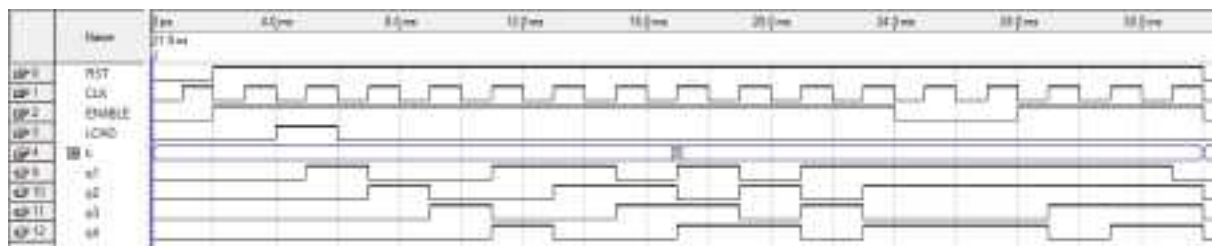
Mario Arias Espinosa
Jorge Rodríguez Fraile

Pregunta 1:

El cronograma obtenido al simular el circuito es el siguiente:

**Pregunta 2:**

La simulación del LFSR con la carga del valor 8:



BCD(1000)=LSB DNI

Pregunta 3:

El periodo de nuestro reloj son 2ms, por lo que la frecuencia al ser la inversa de este, sería 0,5kHz=500Hz.

Pregunta 4:

ENABLE Pin 16

LOAD Pin 41

RST Pin 1

Claves

k4 Pin 37

k3 Pin 17

k2 Pin 40

k1 Pin 18

CLK Pin 43

Todos los pines.

Pin Name/Usage	Location	Dir.	I/O Standard	Voltage	I/O Bank	User Assignment
RST	1	Input	TTL	1	0	N
GND+	2	0		+	+	
VCC	3	power		0	0	
RESERVED	4			+	+	
RESERVED	5			0	0	
RESERVED	6			+	+	
T01	7	Input	TTL	+	+	N
Q1	8	output	TTL	+	+	N
Q4	9	output	TTL	+	+	N
GND	10	gnd		+	+	
Q3	11	output	TTL	+	+	N
Q2	12	output	TTL	+	+	N
T05	13	Input	TTL	+	+	N
RESERVED	14			+	+	
VCC	15	power		+	+	
ENABLE	16	Input	TTL	+	+	N
K3	17	Input	TTL	+	+	N
K1	18	Input	TTL	+	+	N
RESERVED	19			+	+	
RESERVED	20			+	+	
RESERVED	21			+	+	
GND	22	gnd		+	+	
VCC	23	power		+	+	
RESERVED	24			+	+	
RESERVED	25			+	+	
RESERVED	26			+	+	
RESERVED	27			+	+	
RESERVED	28			+	+	
RESERVED	29			+	+	
GND	30	gnd		+	+	
RESERVED	31			+	+	
TCK	32	Input	TTL	+	+	N
RESERVED	33			+	+	
RESERVED	34			+	+	
VCC	35	power		+	+	
RESERVED	36			+	+	
K4	37	Input	TTL	+	+	N
T00	38	output	TTL	+	+	N
RESERVED	39			+	+	
K2	40	Input	TTL	+	+	N
LOAD	41	Input	TTL	+	+	N
GND	42	gnd		+	+	
CLK	43	Input	TTL	+	+	N
GND+	44			+	+	

Esquemático del circuito

