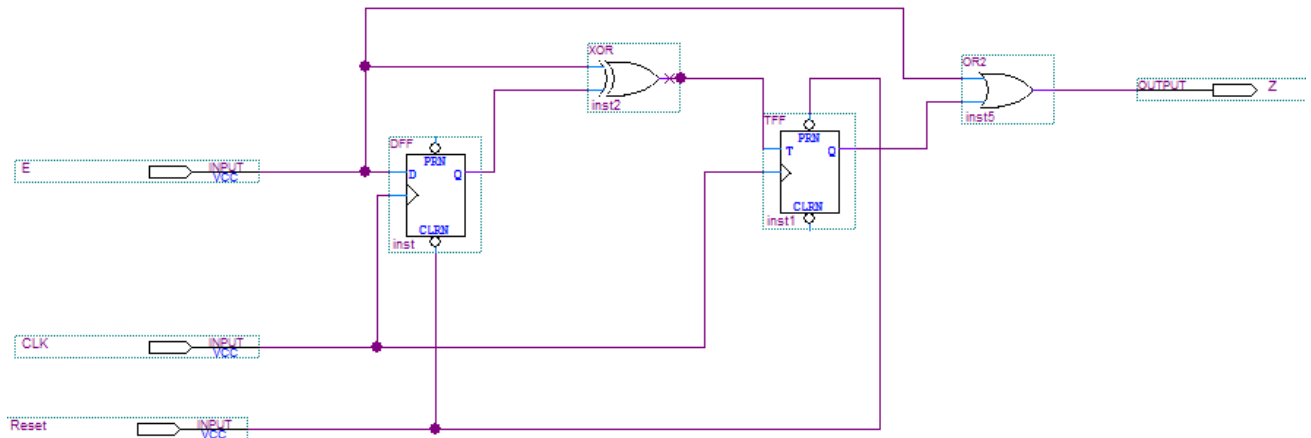


Problema 1 (2,5 pts)

Dado el siguiente esquema



1. Escribir las ecuaciones de estado y de salida (0,5 pts)

Ec de estado:

$$D=E$$

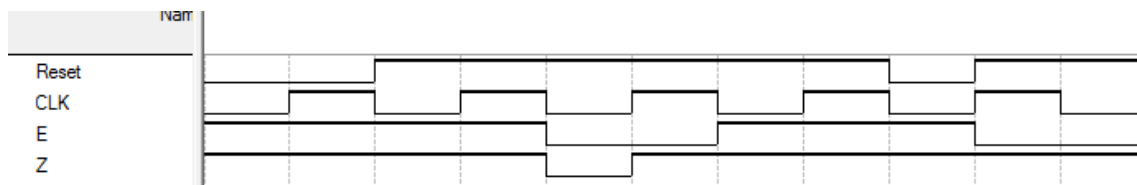
$$T= Q_0 \text{ xor } E$$

Ec de salida: $Z=Q_1+E$

2. Indicar si es un maquina de estados finitas de Moore o Mealy y justificarlo (0,5 pts)

Es una máquina de estados de Moore porque la salida depende de la entrada

3. Indicar el valor de 'Z' en el siguiente cronograma (1,5 pts)



Problema 2 (2,5 pts)

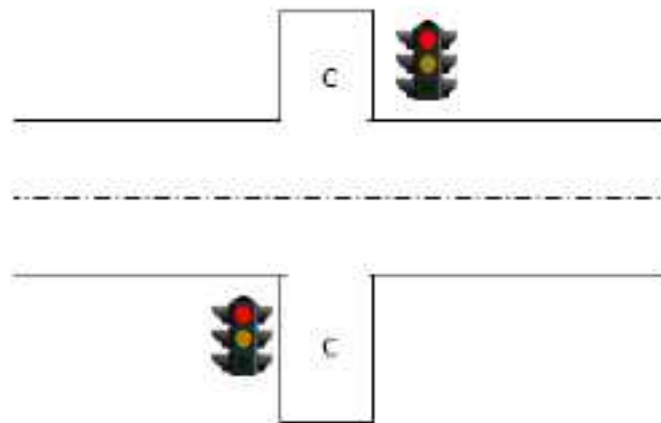
Una carretera muy transitada se cruza con una vía de servicio de uso agrícola. Para la gestión de tráfico se establecen dos detectores 'C' que detectan la presencia de automóviles que esperan en la carretera agrícola y siguen el siguiente comportamiento:

1. Si no se detecta presencia de coches en la carretera agrícola, la luz permanece verde en la dirección de la carretera muy transitada;
2. Si se detecta un vehículo en la carretera agrícola, las luces del semáforo_1 de la carretera transitada van de verde → amarillo → rojo y finalmente se pone en verde el semáforo_2 de la carretera agrícola;
3. La duración, en verde, del semáforo_2 de la carretera agrícola permanecerá en verde mientras se detecte un automóvil, pero nunca más largo que ese intervalo;
4. Cuando ese intervalo se cumplen, las luces del semáforo_2 de la de la carretera agrícola pasan verde → amarillo → rojo, lo que permite que el semáforo_1 de la carretera transitada regrese a verde;
5. Incluso si existe vehículos agrícolas esperando, la carretera transitada tendrá un intervalo establecido como verde

Adicionalmente se tiene un temporizador de intervalo que genera, en respuesta a una señal de conjunto (ST):

- Un pulso de tiempo corto (TS)
- Un pulso de tiempo largo (TL),

TS se usa para la temporización de las luces amarillas y TL para luces verdes



Cuestiones:

1. Indicar todas las entradas y salidas que tiene que tener nuestro sistema (1 pts)

Entradas: (0,5 pts)

Reset

CLK

C :sensor de carretera

TS: fin de intervalo corto

TL Fin de intervalo largo

Salidas (0,5 pts)

Semaforo_1_verde,

Semaforo_1_amarillo,

Semaforo_1_rojo,

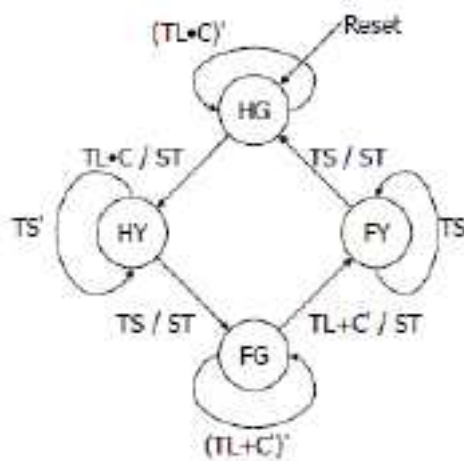
Semaforo_2_verde,

Semaforo_2_amarillo,

Semaforo_2_rojo,

ST_comiendo de intervalo corto o largo

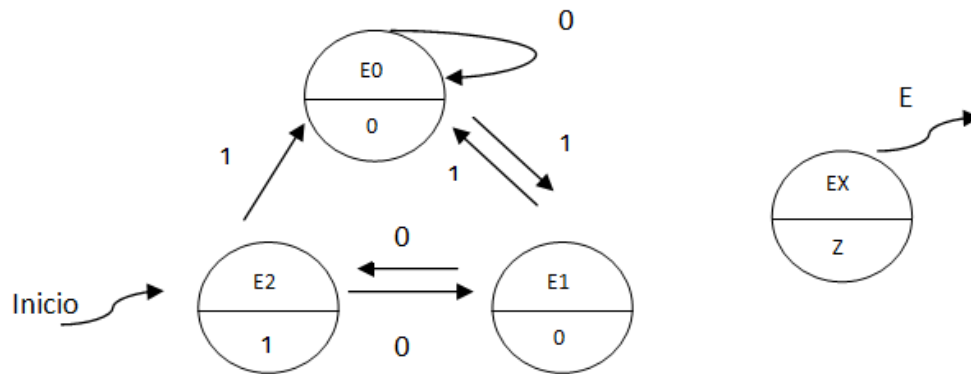
2. Dibujar el diagrama de estados de Mealy (1,5 pts)



Estado	Descripción
HG	Carretera transitada verde, agrícola rojo.
HY	Carretera transitada amarillo, agrícola rojo.
FG	Carretera agrícola verde, transitada rojo.
FY	Carretera agrícola amarillo, transitada rojo.

Problema 3 (2,5 pts)

Dado el siguiente diagrama de estados y codificación de estados



Estados	Q1	Q0
E0	0	0
E1	0	1
E2	1	0

1. Completar la tabla de transición, excitación y salida utilizando biestables T (1,25 pts)

Q1	Q0	E	Q1*	Q0*	T1	T0	Z
0	0	0	0	0	0	0	0
0	0	1	0	1	0	1	0
0	1	0	1	0	1	1	0
0	1	1	0	0	0	1	0
1	0	0	0	1	1	1	1
1	0	1	0	0	1	0	1
1	1	0	X	X	X	X	X
1	1	1	X	X	X	X	X

2. Implementar el circuito 1,25 pts)

1,25 2. Implementar el circuito

Q_1

$Q_0 \backslash Q_1$	00	01	11	10
0				1
1	1	1	X	X

$Q_1 = Q_0 \bar{E} + Q_1$ 0,25

Q_0

$Q_1 \backslash Q_0$	00	01	11	10
0		1	1	1
1	1	X	X	X

$Q_0 = \bar{Q}_1 \bar{E} + Q_0 + Q_1 \bar{E}$ 0,25

$Z = Q_1$ 0,25

$\bar{Q}_1 = D$
 $\bar{E} = D$
 $Q_0 = D$
 $Q_1 = D$

clk
rst

0,5

Problema 4 (2,5 pts)

La memoria de microprocesador de 16 bits y de 32k consta de un módulo de ROM 8K situada en la parte más alta de la memoria. Un modulo Ram de 16K situado en la parte más baja de la memoria y 8K para futuras ampliaciones.

Se disponen los siguientes chips de memoria con el siguiente nombre y características:

Nombre	características
ROM1	8Kx16 bits de ROM
RAM_A_1	8Kx8 bits de RAM
RAM_A_2	8Kx8 bits de RAM
RAM_B_1	4Kx16 bits de RAM
RAM_B_2	4Kx16 bits de RAM

1. Dibuje el mapa de memoria completo indicando en hexadecimal la dirección de inicio y fin de cada uno de los módulos de memoria. (1,25 pts)

Nombre del chip	Dirección Fin	Dirección inicio
ROM1	7FFF	6000
Libre	5FFF	4000
RAM_A_1 y RAM_A_2	3FFF	2000
RAM_B_1	1FFF	1000
RAM_B_2	0FFF	0000

2. Implementar el sistema de decodificación utilizando un solo decodificador y el número mínimo de puertas lógicas adicionales. Tenga en cuenta que los CS de estos módulos son activos a nivel bajo. (1,25 pts)
- 3.

