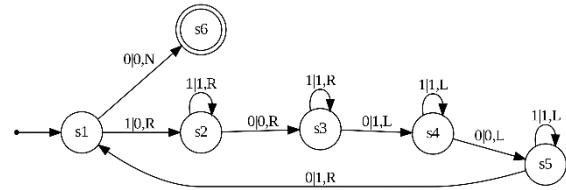


Prozessoren

Deterministische Turingmaschine

- » Deterministische Arbeitsweise eines Prozessors
- » Determinismus ist die eindeutige Überführung eines Zustandes in einen Folgezustand
- » Besitzt ein Band (Speicherregister)



Von – Neumann – Zyklus / – Architektur

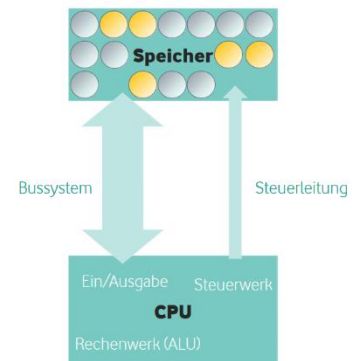
- » Realisierung einer deterministischen Turingmaschine
- » Gemeinsamer Befehls- und Datenspeicher (Cache)
- » ALU, Control Unit, BUS-System, Memory Unit, I/O-Unit

Vorteile

- » Sequentieller Ablauf
- » Deterministischer Ablauf
- » Geringe Deadlock – Gefahr

Nachteile

- » Geringe Datenkonsistenz



Harvard – Architektur

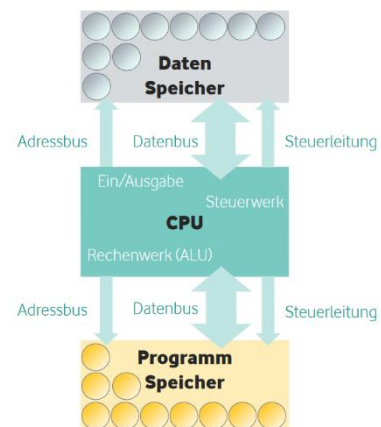
- » Realisierung einer deterministischen Turingmaschine
- » Getrennter Befehls- und Datenspeicher (Cache)
- » ALU, Control Unit, BUS-Systeme, Memory Units, I/O-Unit

Vorteile

- » Paralleler Ablauf
- » Deterministischer Ablauf
- » Hohe Datenkonsistenz

Nachteile

- » Hohe Deadlock – Gefahr



Threads, Prozesse, Tasks und Befehle

- » Thread
 - » undefinierter Platzhalter für Prozesse
 - » bereitgestellt von dem Prozessor
 - » sequentieller Ablauf von Prozessen
 - » hardwareseitig
- » Prozess
 - » undefinierter Platzhalter für Tasks
 - » kann aus mehreren Tasks bestehen
 - » sequentieller oder paralleler Ablauf von Tasks
 - » Einstieg in die Assemblerebene
- » Task
 - » undefinierter Platzhalter für Befehle
 - » kann mehrere Befehle ausführen
 - » sequentieller Ablauf von Befehlen
 - » meist in Assemblersprache geschrieben
- » Befehl
 - » einfache Assemblerbefehle (MOV, INC, DEC, ADD, ...)
 - » kann auf Komponenten des Prozessors zugreifen

Prozessoren

arithmetic logic unit (ALU)

- » Addierer, Flipflops, logische Schaltnetze
- » Mögliche Rechenoperationen
 - » Addition
 - » Subtraktion
 - » Vergleich
 - » Multiplikation
 - » Division
- » Mögliche logische Verknüpfungen
 - » AND, OR, XOR
 - » Bitverschiebung

floating point unit (FPU)

- » Gleitkommazahlen
- » Höhere Genauigkeit als ALU
- » Hoher Speicherbedarf (bspw. 128 Bit)
- » IEEE Standard for Binary Floating-Point Arithmetic for microprocessor systems (ANSI / IEEE Std 754-1985)

memory management unit (MMU)

- » Speicherverwaltungseinheit
- » doppelt vorhanden in Harvard-Rechnern
- » virtuelle Prozessoradresse \Leftrightarrow physische Speicheradresse
- » Standardregisteradresse und Offset (Versatz)
- » Wird bei jedem Befehl zwischen Prozessor und Speicherregister benötigt

theoretical peak performance

- » Einheit = FLOPS
- » Berechnung:
 - Taktfrequenz · Anzahl der Sockel*
 - Kerne pro Sockel*
 - angefangene Befehle pro Takt*
 - Datenworte pro Register*
 - numerische Operationen pro Befehl*

Cache

1st Level Cache	2nd Level Cache	3rd Level Cache
Taktet mit der Prozessorfrequenz	mittelschnelle Speichereinheit	langsamste Speichereinheit
bis $0,256 \cdot 10^{-3} \text{ MiB}$	bis 12 MiB	bis 256 MiB
besteht aus SDRAM	kann aus SDRAM bestehen	meist normaler DRAM
im Prozessor vorhanden	im Prozessor vorhanden	im Prozessor oder auf dem Mainboard vorhanden
Speicherung von Befehlen und Prozessdaten	Zwischenspeicherung von RAM-Daten	Datenkonsistenz zwischen L1 und L2 Cache

Assembler (-sprache)

- » hardwarenahe Programmierung durch direkten Zugriff auf den Prozessor
- » Befehle sind abhängig von dem Prozessorhersteller und der Architektur (bspw. x86)
- » alle Programme werden in Assemblersprache transformiert
- » Assemblersimulation: <http://schweigi.github.io/assembler-simulator/>

SMT / Hyperthreading

- » Simultaneous Multithreading (SMT)
- » Physische Prozessorkerne (Core)
- » Bereitstellung von logischen Prozessorkernen (Threads)
- » Alternative: Mehrkernprozessoren