

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.04 Программная инженерия**

## по лабораторной работе № 3

**Название:** Исследование дешифраторов

Дисциплина: Архитектура ЭВМ

Преподаватель		А.Ю. Попов
	(Подпись, дата)	(И.О. Фамилия)

Москва, 2022

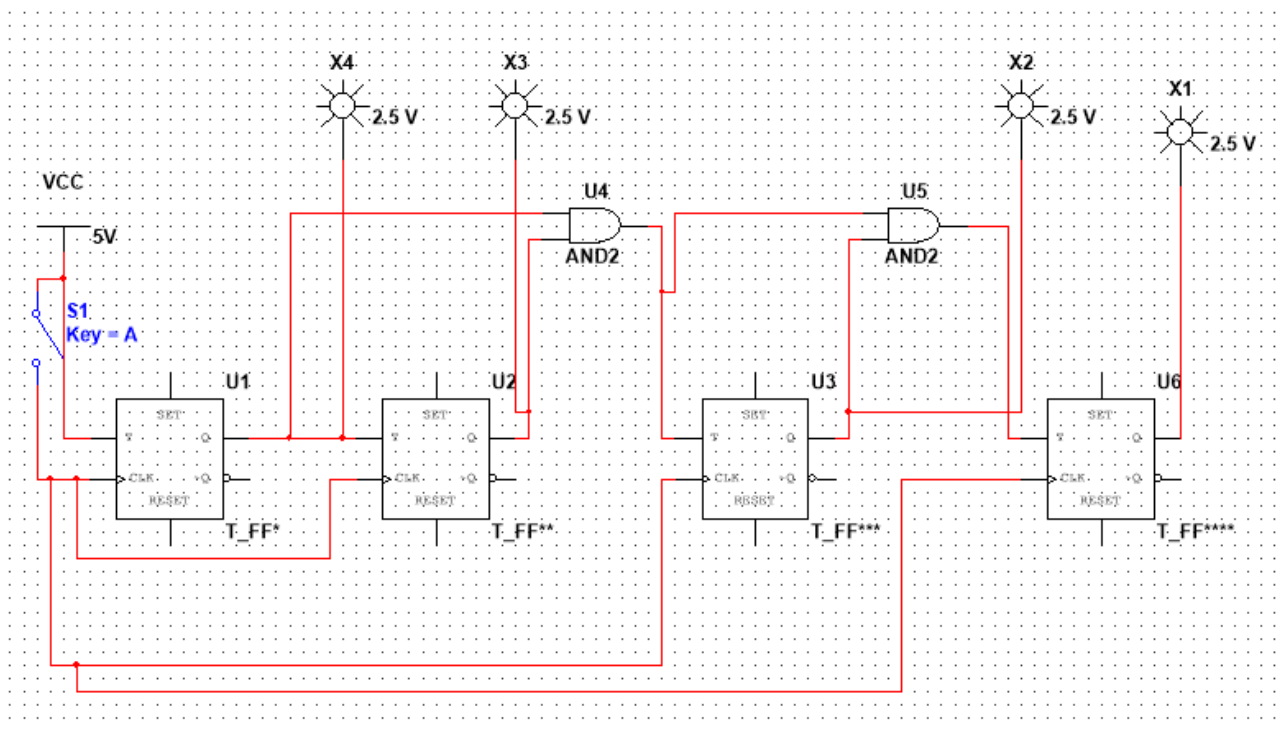
## 0. Цель Работы

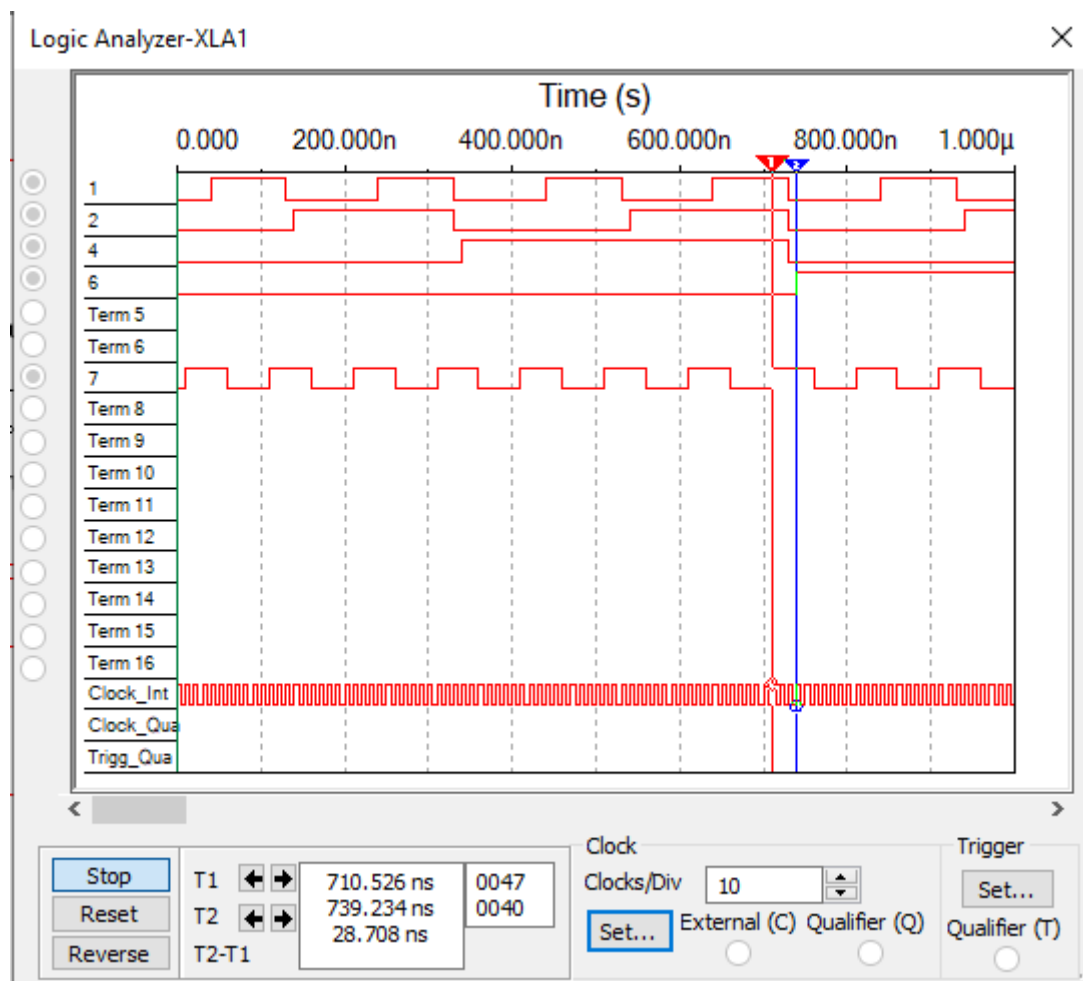
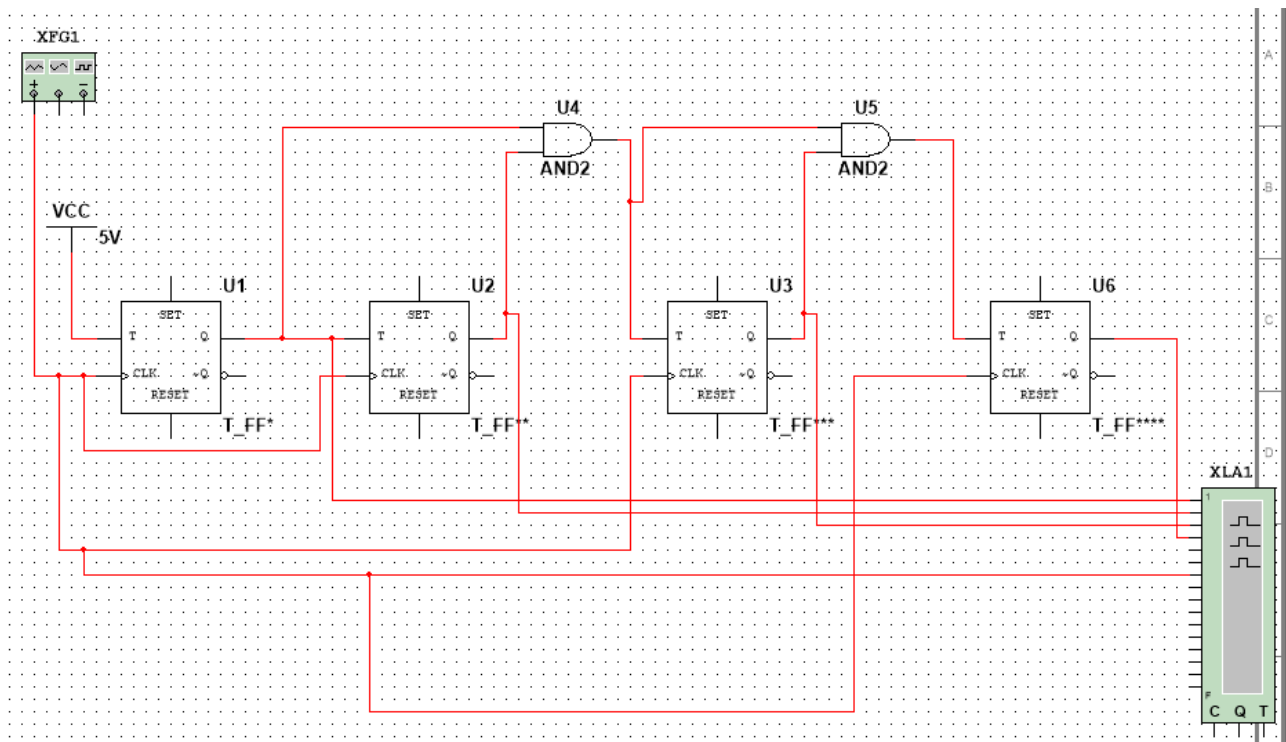
Изучение принципов построения методов синтеза дешифраторов; макетирование и экспериментальное исследования дешифраторов

### 1. Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом на T-триггерах. Проверить работу счётчика:

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,
- от импульсов генератора.

Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.





Задержка: 28.7 нс. Время, через которое закончатся все переходные процессы в триггере, и он будет готов к очередному импульсу, составляет удвоенное время

задержки, т.е.  $\sim 57$  ns. Максимальная частота счета, таким образом, составляет  $1/(20 \text{ ns}) = 17 \text{ МГц}$ .

**2. Синтезировать двоично-десятичный счётчик с заданной последовательностью состояний. Начертить схему счётчика на элементах интегрального базиса (И-НЕ; И, ИЛИ, НЕ), синхронных JK-триггерах.**

**Вариант: 8: 0,1,2,3,4,8,9,10,11,12**

N <sub>2</sub>	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	J <sub>3</sub>	K <sub>3</sub>	J <sub>2</sub>	K <sub>2</sub>	J <sub>1</sub>	K <sub>1</sub>	J <sub>0</sub>	K <sub>0</sub>
					*	*	*	*								
0	0	0	0	0	0	0	0	1	0	*	0	*	0	*	1	*
1	0	0	0	1	0	0	1	0	0	*	0	*	1	*	*	1
2	0	0	1	0	0	0	1	1	0	*	0	*	*	0	1	*
3	0	0	1	1	0	1	0	0	0	*	1	*	*	1	*	1
4	0	1	0	0	1	0	0	0	1	*	*	1	0	*	0	*
8	1	0	0	0	1	0	0	1	*	0	0	*	0	*	1	*
9	1	0	0	1	1	0	1	0	*	0	0	*	1	*	*	1
10	1	0	1	0	1	0	1	1	*	0	0	*	*	0	1	*
11	1	0	1	1	1	1	0	0	*	0	1	*	*	1	*	1
12	1	1	0	0	0	0	0	0	*	1	*	1	0	*	0	*

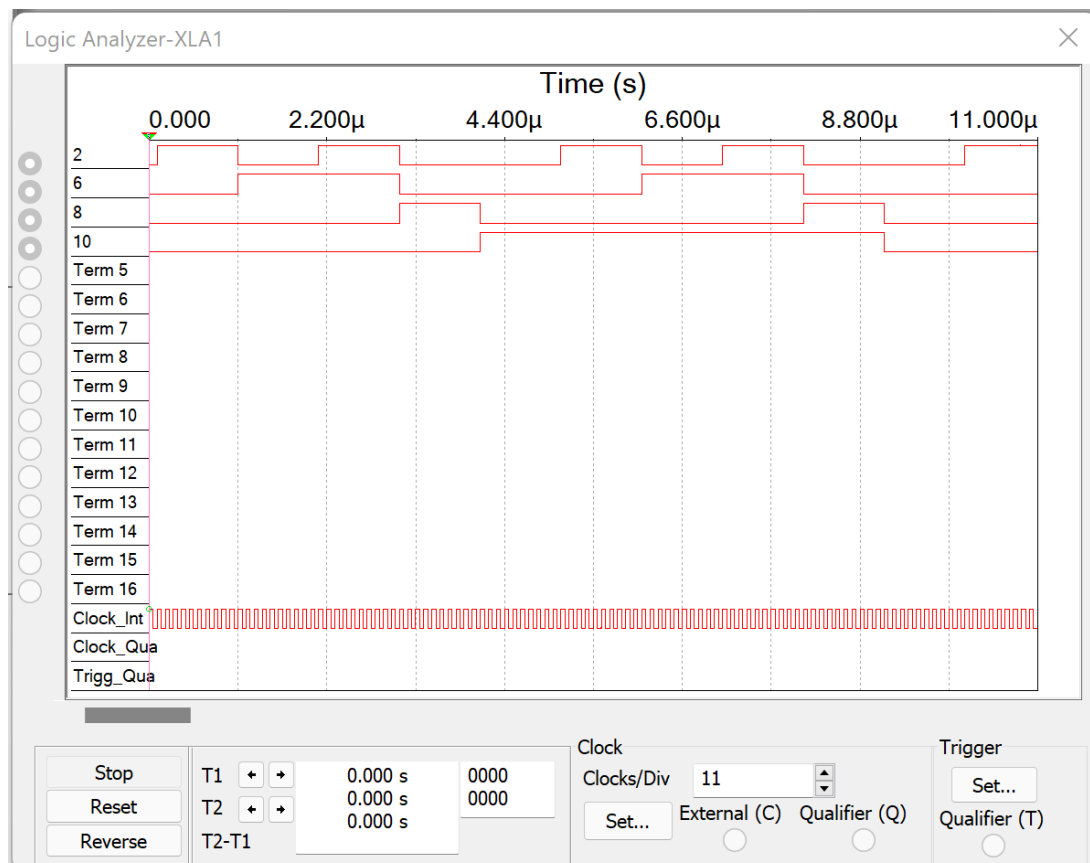
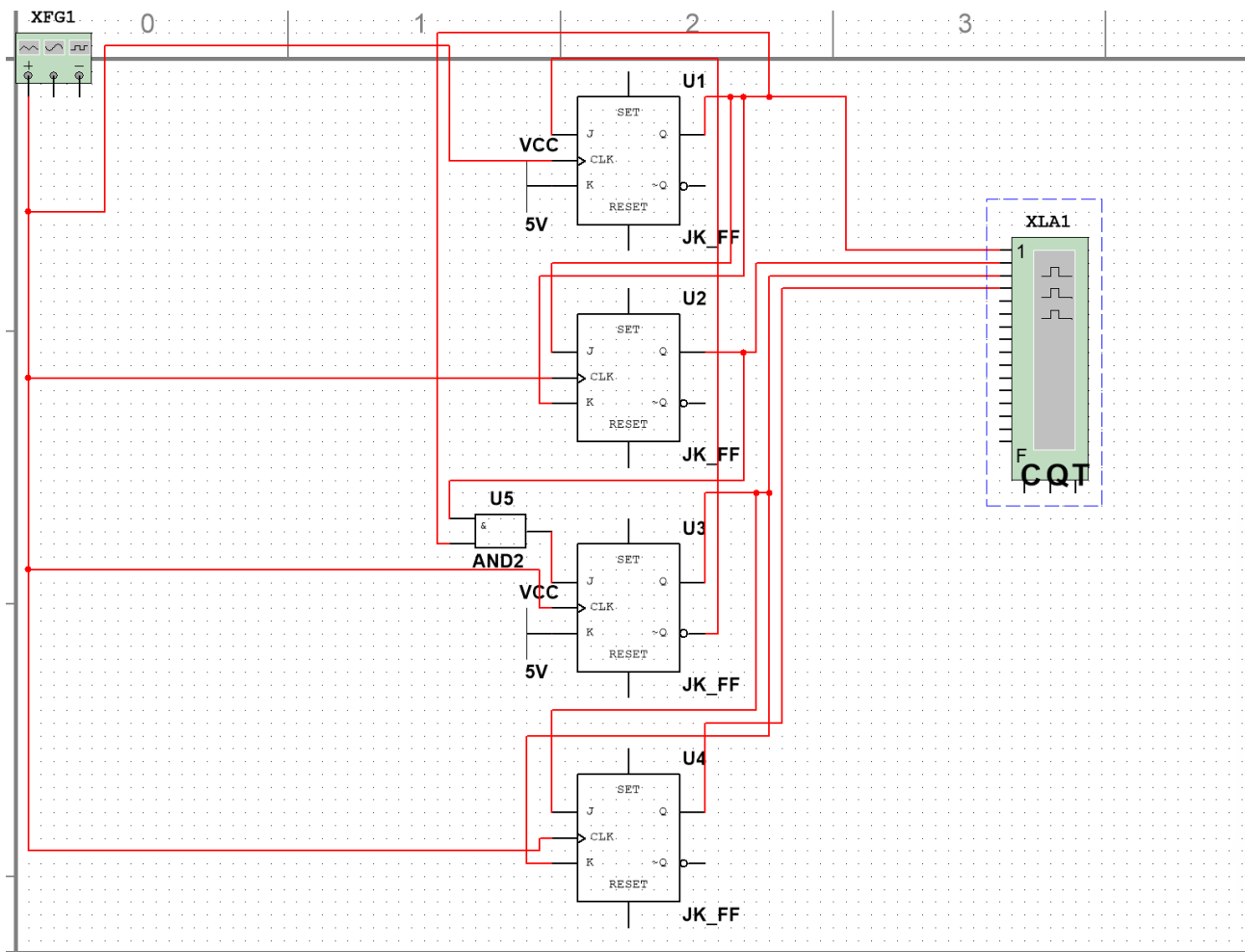
J<sub>3</sub> = Q<sub>2</sub>, K<sub>3</sub> = Q<sub>2</sub>

J<sub>2</sub> = Q<sub>1</sub>\*Q<sub>0</sub>, K<sub>2</sub> = 1

J<sub>1</sub> = Q<sub>0</sub>, K<sub>1</sub> = Q<sub>0</sub>

J<sub>0</sub> = -Q<sub>2</sub> K<sub>0</sub> = 1

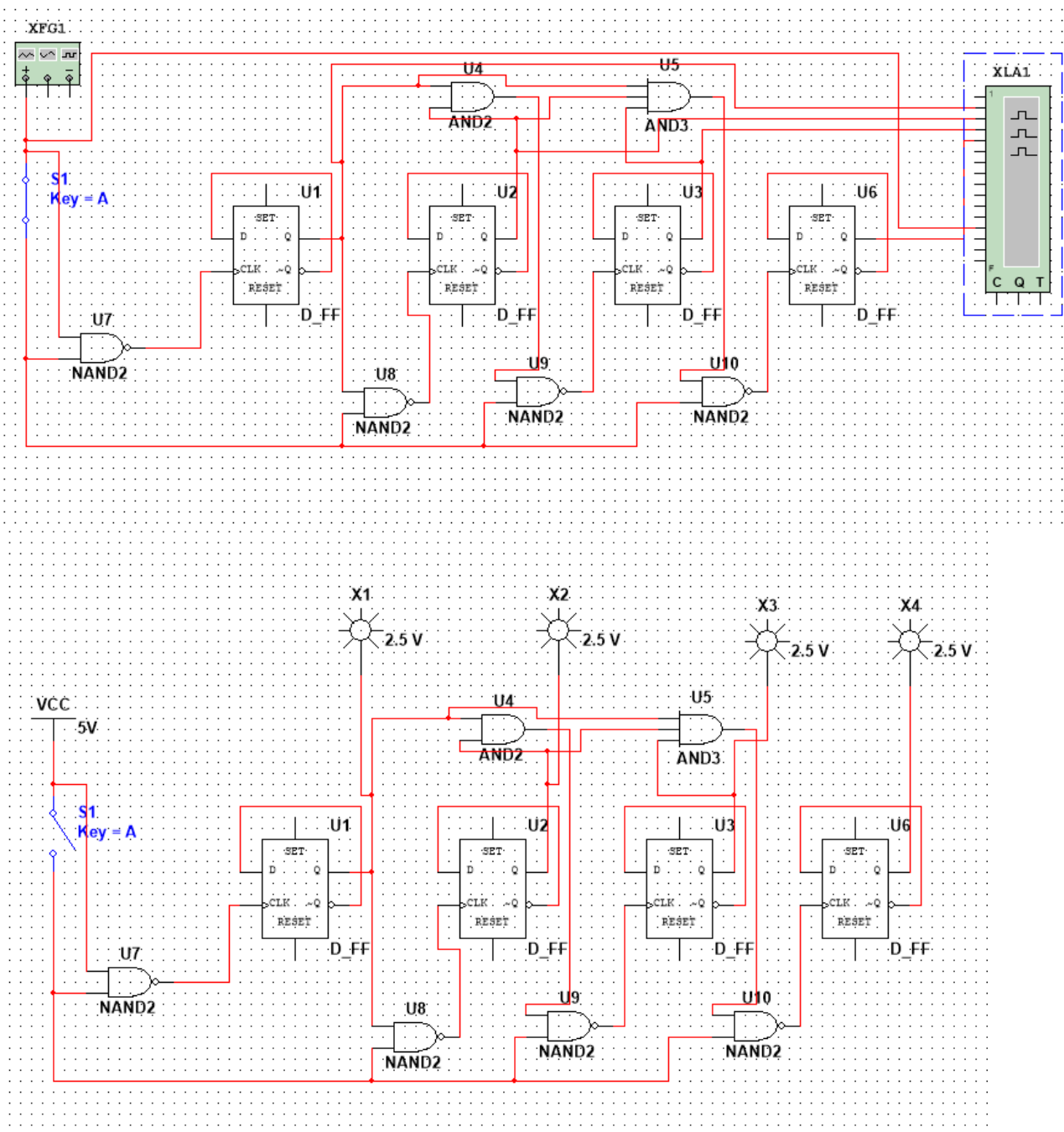
**3. Собрать десятичный счётчик, используя элементную базу приложения Multisim или учебного макета. Установить счётчик в начальное состояние, подав на установочные входы R соответствующий сигнал.**

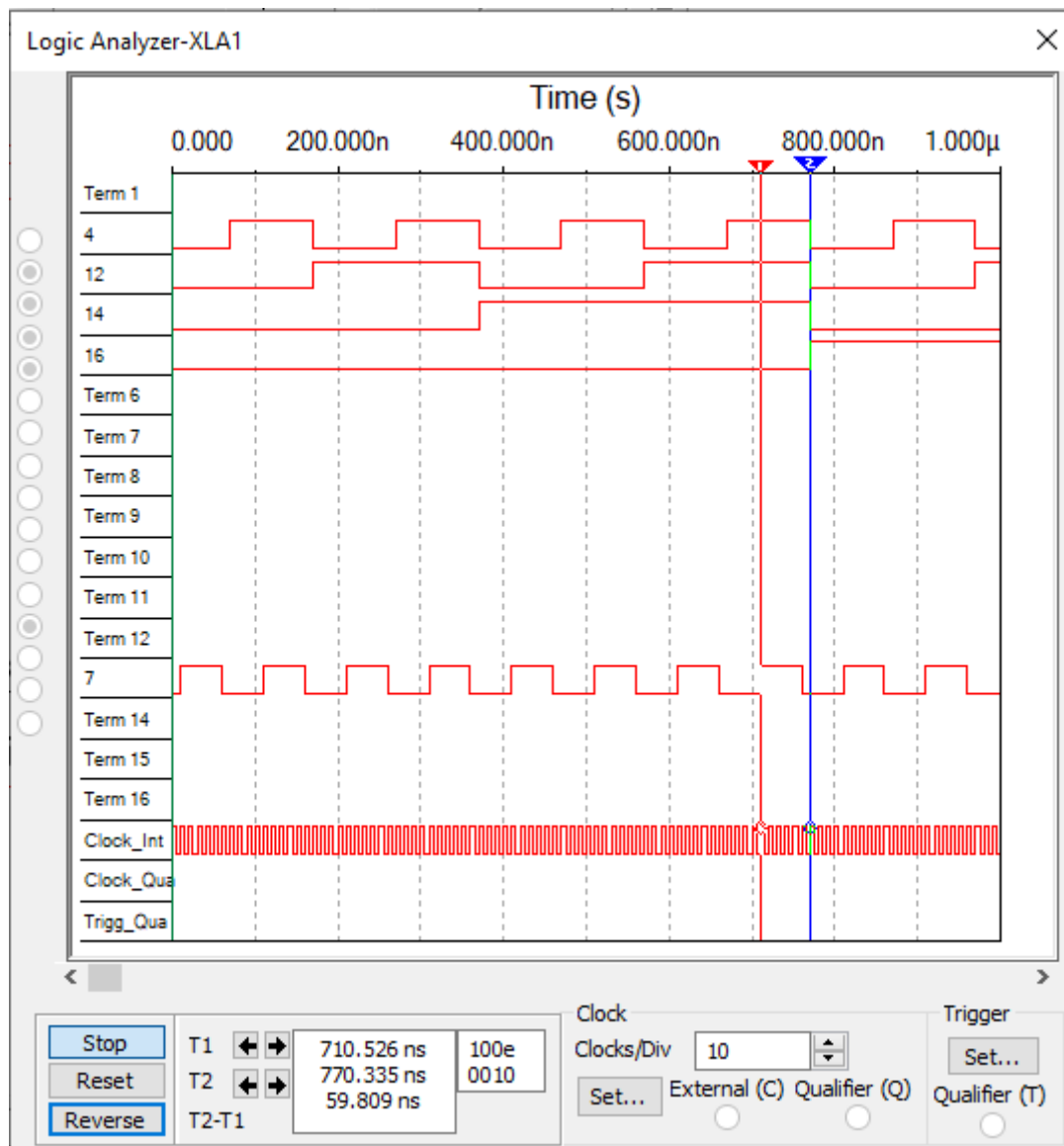


**4. Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом. Проверить работу счётчика:**

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,
- от импульсов генератора.

**Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.**



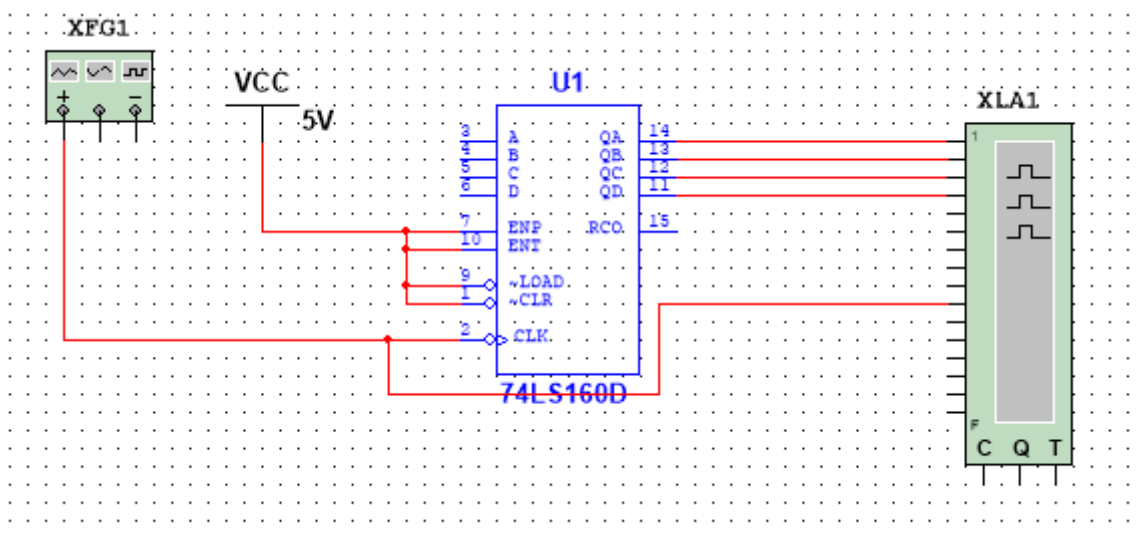
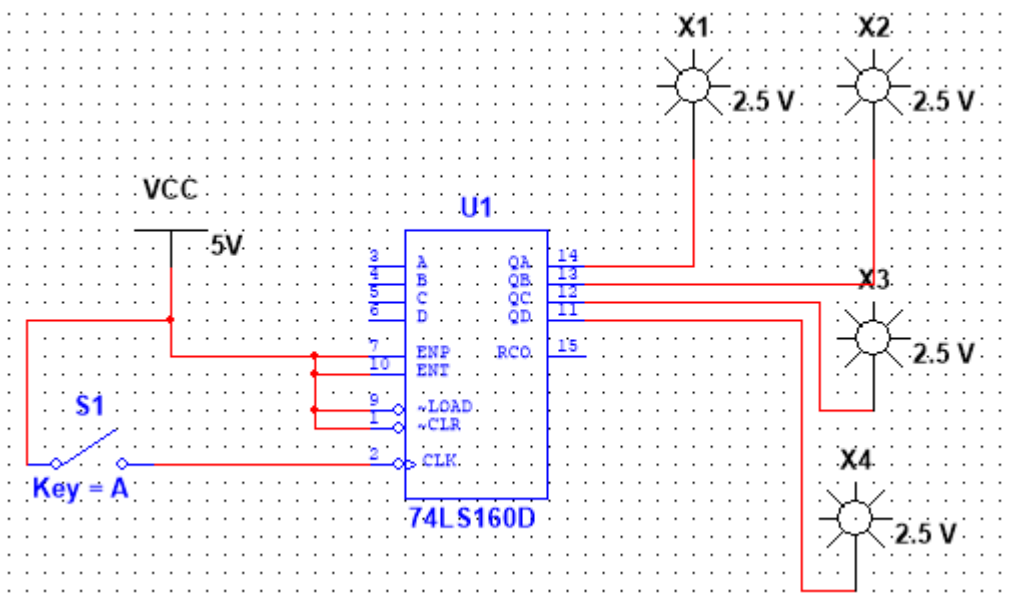


Полученная задержка равна 59.8 ns. Время, через которое закончатся все переходные процессы в триггере, и он будет готов к очередному импульсу, составляет удвоенное время задержки, т.е. ~100 ns. Максимальная частота счета, таким образом, составляет  $1/(100 \text{ ns}) = 0.5 \text{ МГц}$ .

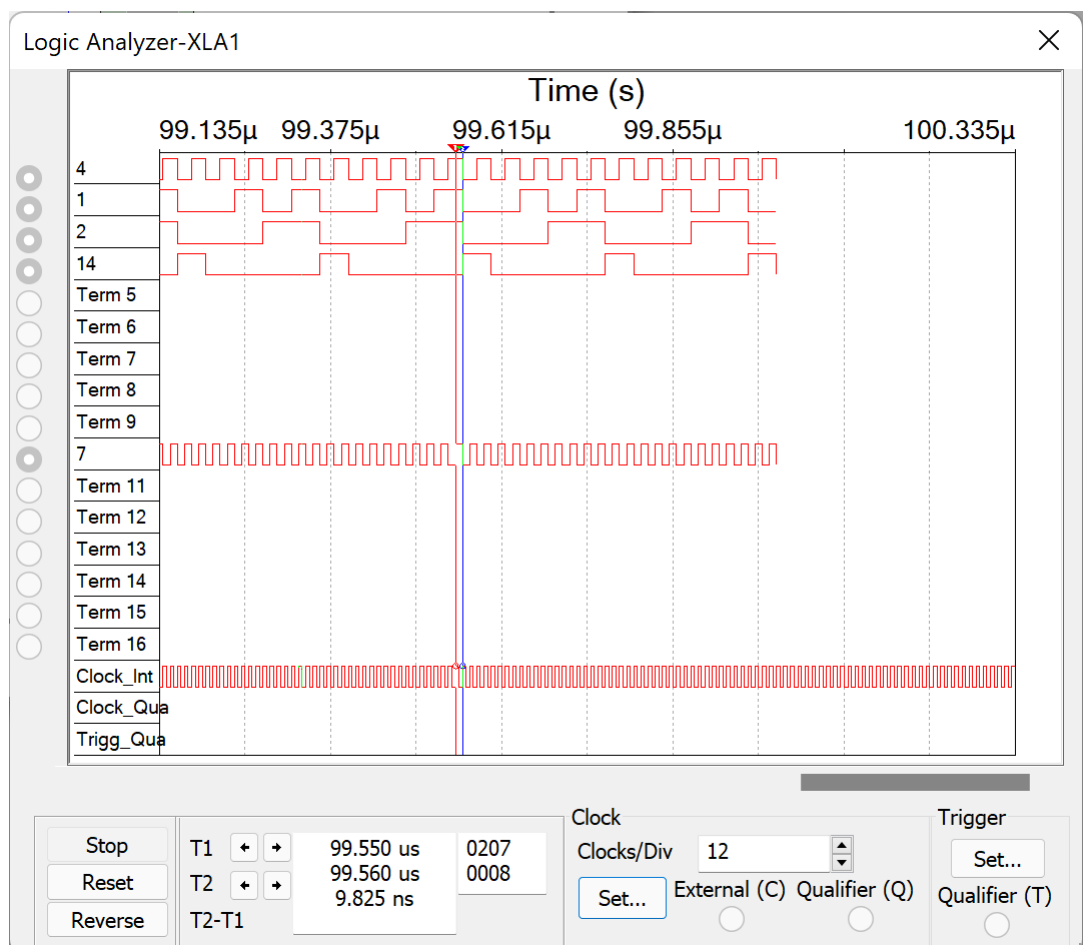
**5. Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом ИС K555ИЕ9, аналог ИС 74LS160. Проверить работу счётчика:**

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,
- от импульсов генератора.

Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.





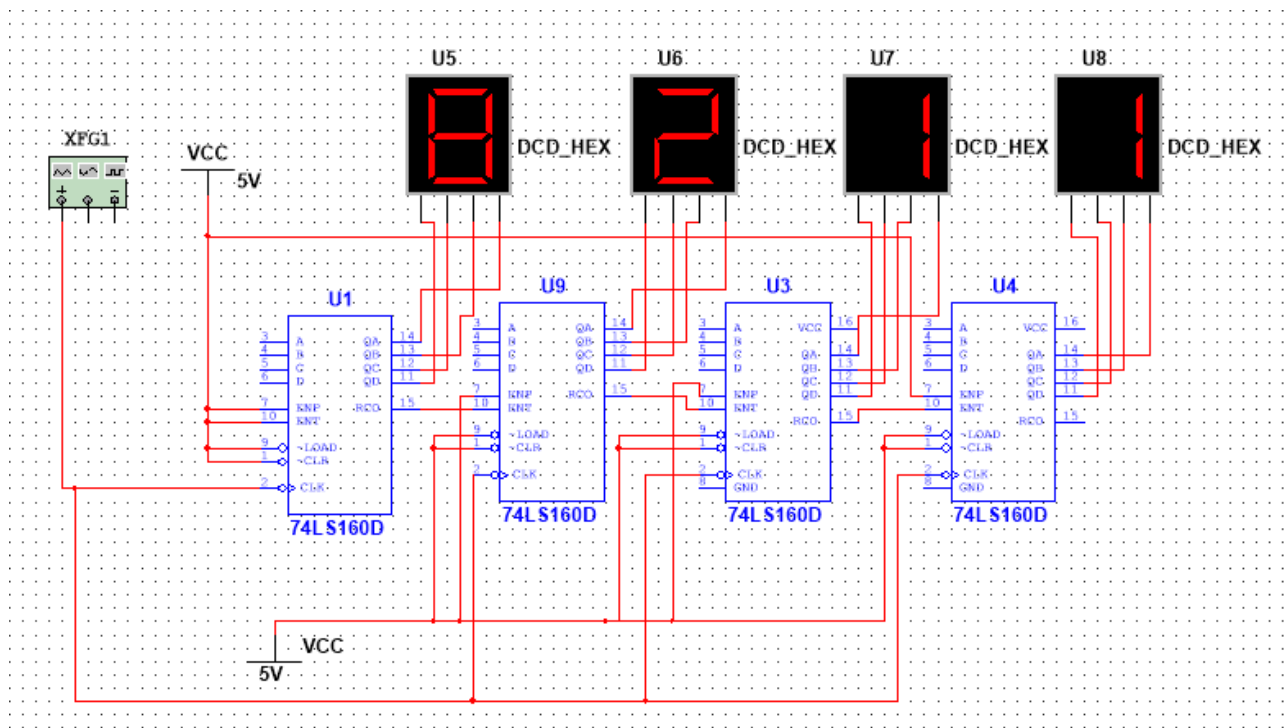


Задержка: 9.8 нс.

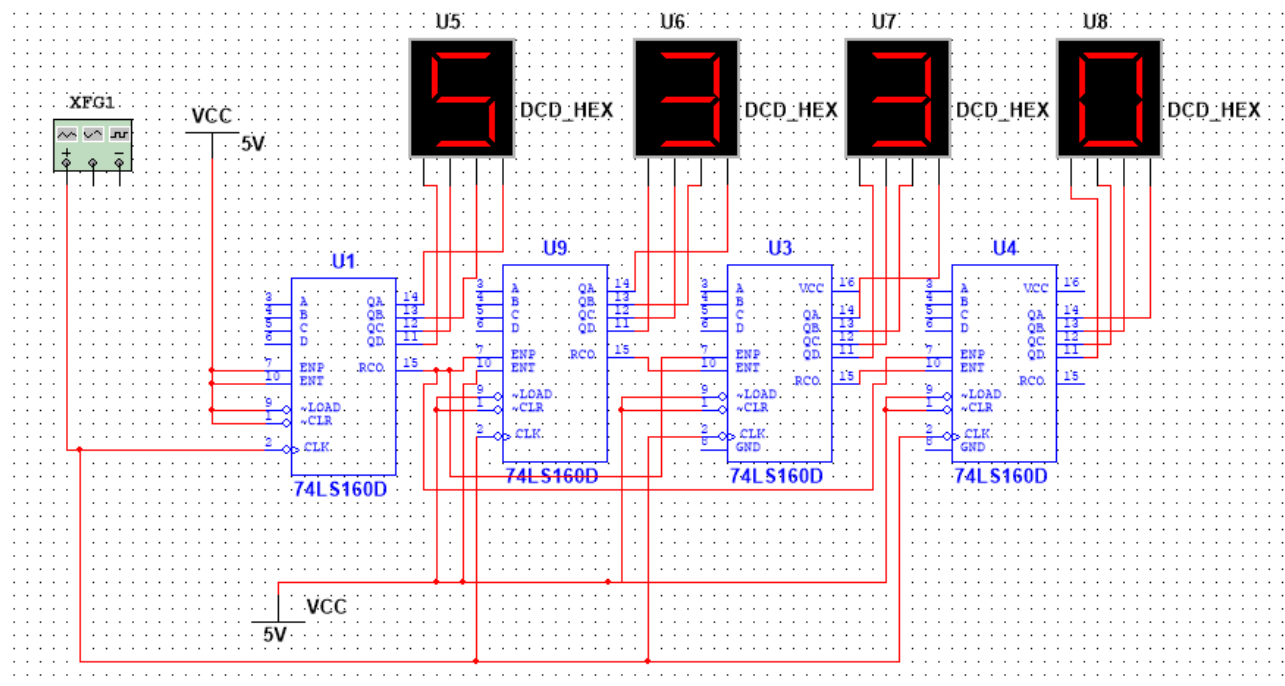
Частота: 5 МГц

**6. Исследование схем наращивания разрядности счетчиков ИЕ9 до четырех секций с последовательным переносом между секциями и по структуре «быстрого» счета.**

1. Схема наращивания разрядности счетчиков ИЕ9 до четырех секций с последовательным переносом между секциями



2. Схема наращивания разрядности счетчиков ИЕ9 до четырех секций по структуре «быстрого» счета



**Вывод по схеме наращивания:** Для ускорения счета нужно подавать напряжение не из источника, а из выхода первого счетчика.

**Вывод:** в результате выполнения работы были изучены принципы построения счетчиков, получены навыки синтеза синхронных счетчиков, были экспериментально оценены динамические параметры счетчиков, изучены способы наращивания разрядности синхронных счетчиков.

## Контрольные вопросы

1. Что называется счётчиком?

Счетчик - операционный узел ЭВМ, предназначенный для выполнения счета, кодирования в определенной системе счисления и хранения числа сигналов импульсного типа, поступающих на его счетный вход.

2. Что называется коэффициентом пересчёта?

Модуль счета или коэффициент пересчета пересчетной схемы – это число входных сигналов, которое возвращает пересчетную схему в начальное состояние, в качестве которого может быть принято любое ее состояние.

3. Перечислить основные классификационные признаки счётчиков.

- По значению модуля счёта (двоичные, двоично-кодированные, с одинарным кодированием)
- По направлению счёта (суммирующие, вычитающие, рекурсивные)
- По способу организации переноса (последовательные, сквозные, параллельные, групповые)
- По порядку изменения состояний (естественные, произвольные)
- По способу управления переключением триггеров (синхронные, асинхронные)

4. Указать основные параметры счётчиков.

- Модуль счета
- Емкость счётчика
- Максимальная частота счёта
- времена задержек распространения трактов: счетный вход - выход  $Q_i$ , счетный вход - выход переноса (заема), вход параллельной записи - выход  $Q_i$ , вход R - выход  $Q_i$ .
- минимальные длительности импульсов счета, установки в 0, параллельной записи.

5. Что такое время установки кода счётчика?

Время задержки распространения сигнала от счетного входа счетчика до выходов его триггеров, на которых формируется новое состояние

счетчика, равно времени задержки распространения сигнала любого триггера счетчика от С- входа до его выхода

6. Объяснить работу синхронного счётчика с параллельным переносом, оценить его быстродействие.

В синхронном двоичном суммирующем счетчике с параллельным переносом, построенном на JK-триггерах, функции возбуждения (они же функции переносов) формируются независимо друг от друга одновременно, т.е. параллельно

7. Объяснить методику синтеза синхронных счётчиков на двухступенчатых JK- и D-триггерах

- Определяем количество триггеров  $n_1$ .
- Составляем обобщенную таблицу функционирования счетчика (табл. 1), пользуясь матрицами переходов (они называются также характеристическими таблицами) для JK- и D-триггеров
- Минимизация функций возбуждения выполняется с помощью известных методов, например, по методу Квайна с применением карт Карно. При минимизации следует учитывать неиспользуемые состояния счетчика.
- Реализуем комбинационную часть счетчика в базисе И, ИЛИ, НЕ.