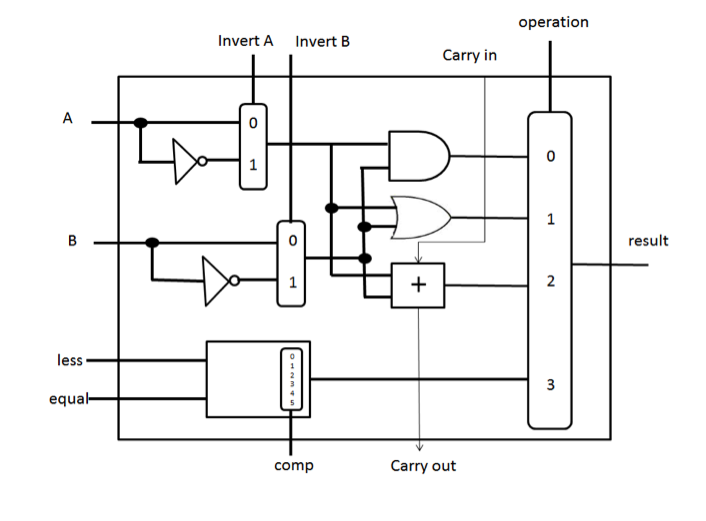
**Computer Organization**

**架構圖:**

**Alu\_top 就是基本的 one bit 運算單位，Alu 把 32 個串起來就變成 32 bits Alu.**

**主要就和助教給的一模一樣，底下 compare 沒有作 bonus 之外就都一樣了。**

****

**設計模組分析:**

**One bit alu 是依照 operation 的值去分 mux, 把 and/or/add/slt結果餵給 one bit result, 並把 full adder carry pass 給下一個 edge.**

**完成部分:**

**基本 Alu**

**遇到問題及解決方法:**

**ModelSim 無法下載 license，軟體安裝完後，會跳出輸入資料拿到學生 license 的頁面，填妥資料後發現無法收到 mail. 嘗試多個 email 帳號後發現都收不到 license key ，跟室友借的似乎也無法啟用。**

**隔天換 10min mail 就可以成功收到信了 。**

**心得收穫:**

**隔了很久沒有寫 Verilog ，只好找強者隊友救援。一開始不是很懂每個 bit 代表的意思，助教給的參考價構圖的 Inverse A Inverse B 看起來像是一個可以從 Mux 拿 A/A’, B/B’ 的區塊，但是 operation 需要四個 bit 不知道從何處來。和隊友討論許久後才發現，原來是 operation 前兩個 bit 就是。**

**本次作業複習了幾乎忘光的 Verilog 語法，順便找出上學期和強者工程師朋友學到的 best practice 筆記複習。同時也學到了一個簡單的 Alu 設計大概是怎樣的運作。**