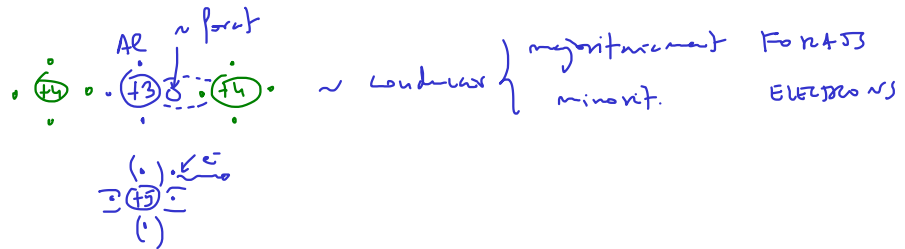


no us espanteu, he escollit els problemes i qüestions que m'ha semblat que podien ser més exigents (no totes! algunes són fàcils).
 ho resoldré (no sé si tot) a la classe de tallers que farem el divendres 11 a dos quarts de dotze

T1) L'alumini (Al), que té tres electrons de valència, es pot utilitzar per a la substitució d'un àtom de silici (Si), que té quatre electrons de valència, a la xarxa cristal·lina d'un semiconductor. Quina afirmació sobre el semiconductor resultant és **INCORRECTA?**

- a) L'àtom d'alumini és un àtom acceptor. *d'electrons* → 3 electrons a la tercera capa
- b) Aquest és un semiconductor extrínsec.
- c) La conducció elèctrica és ~~majoritàriament~~ deguda als electrons.
- d) El semiconductor dopat amb Al és de tipus p.



$$[\text{forats}] [\text{electrons}] = 4 \times 10^{17} \text{ cm}^{-3}$$

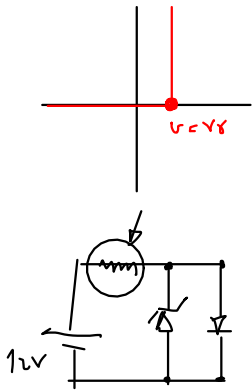
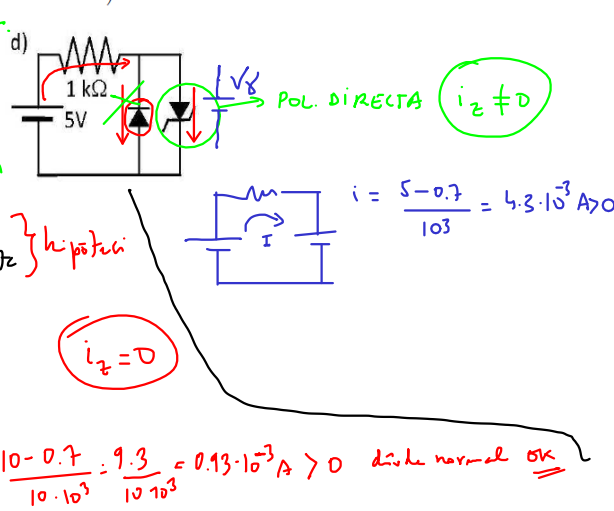
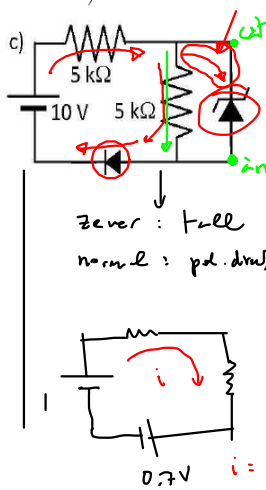
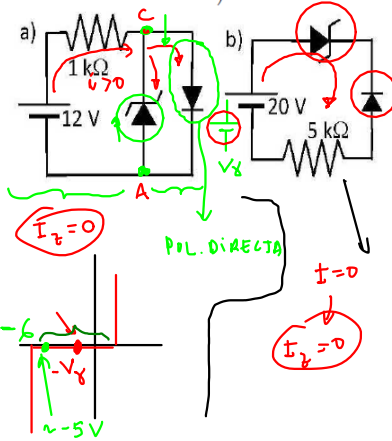
T1) En els quatre circuits dibuixats, tots els díodes es caracteritzen per una tensió llindar $V_\gamma = 0.7 \text{ V}$ i els Zener amb $V_Z = 6 \text{ V}$. En quin circuit passa corrent pel díode Zener?

a) Circuit c.

b) Circuit b.

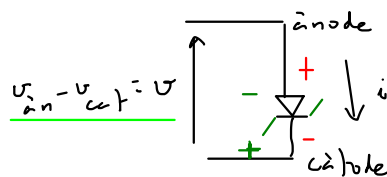
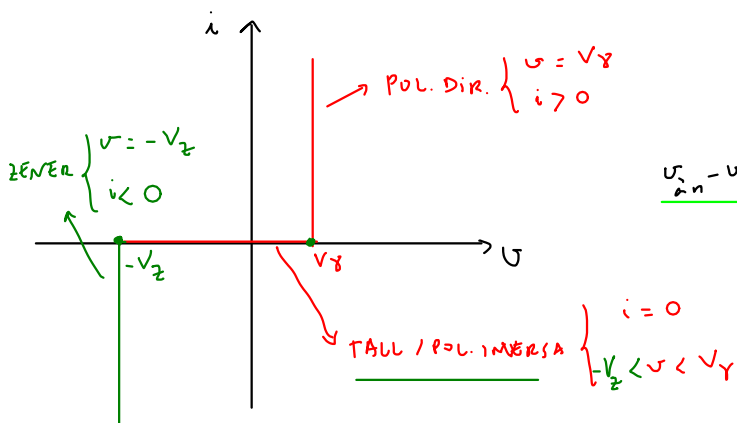
c) Circuit a.

d) Circuit d.



$$V_A - V_C = -5 \cdot 10^3 \cdot 0.93 \cdot 10^{-3} \lesssim -5 \text{ V}$$

↑ del Zener



Al circuit de la Figura 13, $R_1 = 100 \Omega$, $R_2 = R_3 = 200 \Omega$ i $R_4 = 50 \Omega$, i les tensions característiques del Zener són $V_Z = 6 \text{ V}$ i $V_F = 0.6 \text{ V}$

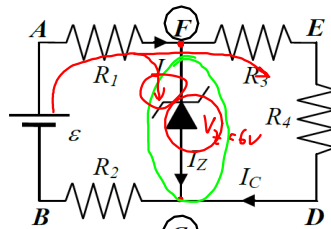
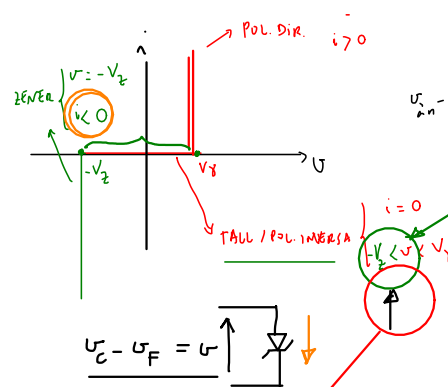


Figura 13

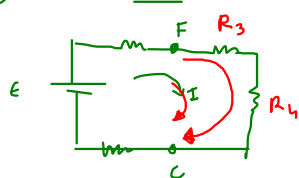


a) Quin és valor de $\varepsilon_{\min Z}$ a partir del qual el díode Zener comença a conduir?

b) Determineu V_{FC} , I , I_C i I_Z per als valors de $\varepsilon = 10 \text{ V}$ i $\varepsilon = 20 \text{ V}$. Comproveu que en cada cas la potència subministrada pel generador és igual a la dissipada al díode més la dissipada a les resistències.

c) Si $\varepsilon = 30 \text{ V}$, quins dels valors de V_{FC} , I , I_C i I_Z canvien respecte al cas $\varepsilon = 20 \text{ V}$?

a) zone full



$$I = \frac{\varepsilon}{\sum R_i} \Rightarrow V_C - V_F = -R_3 I - R_4 I = - (R_3 + R_4) I = - \frac{R_3 + R_4}{\sum R_i} \varepsilon > +V_Z$$

$$\frac{R_3 + R_4}{\sum R_i} \varepsilon < V_Z \Rightarrow \varepsilon < \frac{\sum R_i}{R_3 + R_4} V_Z = 13.2 \text{ V} \Rightarrow \varepsilon < 13.2 \text{ V} \Rightarrow \text{TALL}$$

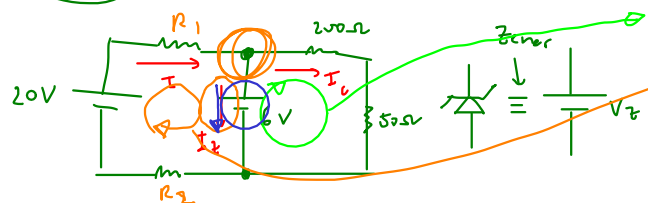
$\varepsilon_{\min Z} = 13.2 \text{ V}$

b) $\varepsilon = 10 \text{ V} < 13.2 \text{ V} \rightarrow$ Zener full $\rightarrow I_Z = 0 \text{ A} \rightarrow I = \frac{10}{550} = 0.018 \text{ A} \rightarrow V_{FC} = +4.55 \text{ V} \rightarrow V_{CF} = -4.55 \text{ V} > -6 \text{ V}$

TALL

$P_{\text{gen}} = \varepsilon \cdot I = 10 \cdot 0.018 = 0.18 \text{ W}$, $P_Z = 0 \text{ W}$, $P_R = R_{\text{tot}} \cdot I^2 = 0.18 \text{ W}$

$\varepsilon = 20 \text{ V} \rightarrow$ Zener



$$-I_C \cdot 250 + 6 = 0 \rightarrow I_C = \frac{6}{250} = 0.024 \text{ A}$$

$$+20 - I(R_1 + R_2) - 6 = 0 \rightarrow I = \frac{20 - 6}{R_1 + R_2} = 0.047 \text{ A}$$

$$I = I_Z + I_C \Rightarrow I_Z = I - I_C = 0.0227 \text{ A} > 0$$

$$P_{\varepsilon} = \varepsilon \cdot I = 0.93 \text{ W}$$

$$P_{R_1 + R_2} = (R_1 + R_2) I^2 = 0.65 \text{ W}$$

$$P_{R_3 + R_4} = (R_3 + R_4) \cdot I_C^2 = 0.144 \text{ W}$$

$$P_{\text{Zs}} = V_Z \cdot I_Z = 0.136 \text{ W}$$

c) $\varepsilon = 30 \text{ V}$

$$I = \frac{30 - 6}{R_1 + R_2} = 0.04 \text{ A}$$

$$I_Z = I - I_C = 0.056 \text{ A}$$

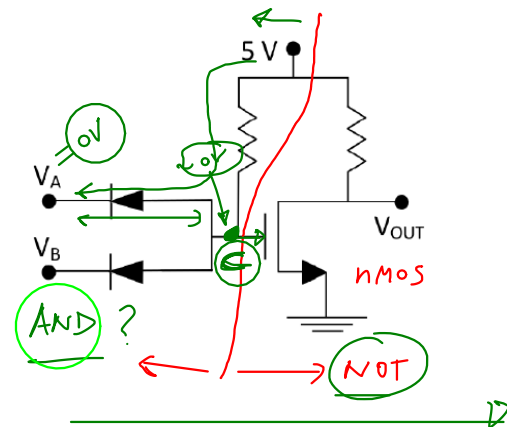
T2) Tenint en compte que el circuit de la figura s'ha dissenyat de forma que el transistor treballa o bé a la zona òhmica o a la de tall, determineu quina porta lògica implementa aquest circuit quan les tensions a les entrades valen 0 o 5 V.

a) NAND.

b) NOR.

c) AND.

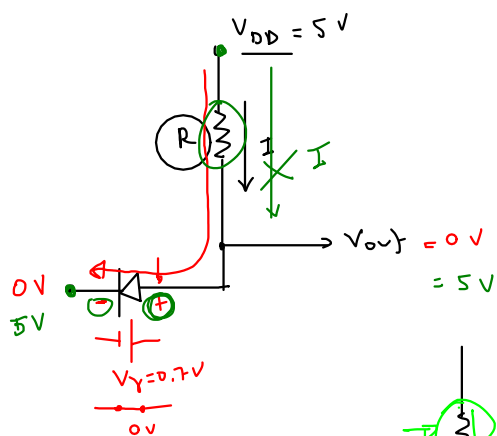
d) OR.



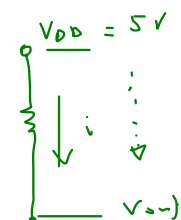
A	B	C	OUT
0	0	0	5
0	5	0	5
5	0	0	5
5	5	5	0

$$I_{\text{leak}} \equiv V_0 = 0V$$

NAND



IN	OUT
0	0
5	5

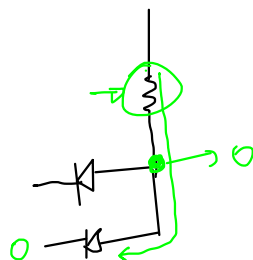


$$V_{\text{out}} - V_{\text{DD}} = -i \cdot R$$

$$V_0 = V_{\text{DD}} - i \cdot R$$

$$i = 0 \rightarrow V_0 = V_{\text{DD}}$$

$$i \neq 0 \rightarrow V_0 \sim 0V$$



A	B	OUT
0	0	0
0	5	0
5	0	0
5	5	5

AND

El circuit de la figura està format per quatre resistències ($R_1 = 1.5 \text{ M}\Omega$, R_2 , R_3 i R_4) i un transistor NMOS de paràmetres característics $\beta = 25 \mu\text{A}/\text{V}^2$ i $V_T = 1 \text{ V}$.

a) Pel cas $R_4 = 0$, determineu el valor de R_2 a partir del qual el transistor deixa d'estar en tall (2.5p).

b) Si $R_2 = 1 \text{ M}\Omega$ i $R_4 = 0$, determineu el valor màxim de R_3 perquè el transistor estigui en saturació (2.5p).

$$a) \quad V_{GS} > V_T \quad \text{ON}$$

$$V_G - V_S > V_T$$

$$V_G > V_T$$

$$I \cdot R_2$$

$$I = \frac{10 - 0}{R_1 + R_2}$$

$$10 R_2 > \widehat{V_T} \cdot (R_1 + \widehat{R_2}) \rightarrow 10 R_2 - V_T R_2 > V_T R_1 \rightarrow R_2 \frac{(10 - V_T)}{1} > V_T R_1$$

$$R_2 > \frac{V_T \cdot R_1}{10 - V_T} = 0.17 \text{ M}\Omega$$

$$b) \quad R_2 = 1 \text{ M}\Omega > 0.17 \text{ M}\Omega \Rightarrow \text{ON}$$

$$(1N) \quad I = \frac{10 \text{ V}}{1.5 \cdot 10^6 + 10^6} \Rightarrow V_G = R_2 \cdot I = 10^6 \cdot \frac{10}{1.5 \cdot 10^6 + 10^6} = \frac{10}{2.5} = 4 \text{ V} \rightarrow V_{GS} = 4 \text{ V} > 1 \text{ V} = V_T$$

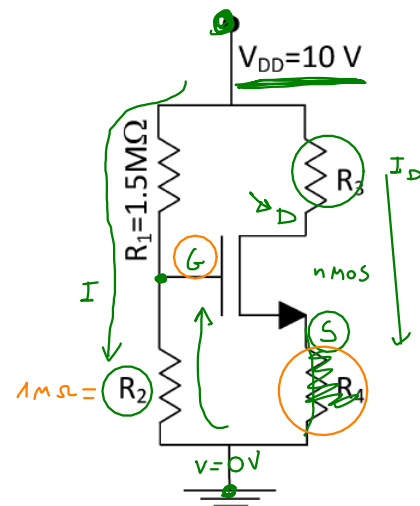
$$\text{sat} \begin{cases} V_{DS} > V_{GT} \\ I_D = \frac{\beta}{2} V_{GT}^2 \end{cases} \rightarrow I_D = \frac{\beta}{2} V_{GT}^2 = ?$$

$$V_{DS} > V_{GT} \Rightarrow V_D > V_{GT} \Rightarrow V_{DD} - I_D \cdot R_3 > 3$$

$$10 - I_D R_3 > 3$$

$$10 - 3 > I_D \cdot R_3$$

$$62 \cdot 10^3 \Omega = \frac{7}{I_D} > R_3$$



21. Determineu els valors de les resistències del circuit de la figura de forma que la intensitat de drenador sigui de 0.4 mA i $V_D = 1$ V. Els paràmetres del transistor són $V_T = 2$ V i $\beta = 800 \mu\text{A/V}^2$.

$$V_{DD} - V_D = I_D \cdot R_D \Rightarrow R_D = \frac{V_{DD} - V_D}{I_D} = \frac{5 - 1}{0.4 \text{ mA}} = 10 \text{ k}\Omega$$

Hipòtesi: SAT

$$I_D = \frac{\beta}{2} V_{GS}^2 = \frac{\beta}{2} [V_S + 2]^2$$

$$V_{GS} = V_{GS} - V_T = V_G - V_S - V_T = 0 - V_S - 2 = -V_S - 2$$

$$0.4 \cdot 10^{-3} = \frac{800 \cdot 10^{-6}}{2} [V_S + 2]^2$$

$$0.8 = 800 \cdot 10^{-6} [V_S + 2]^2$$

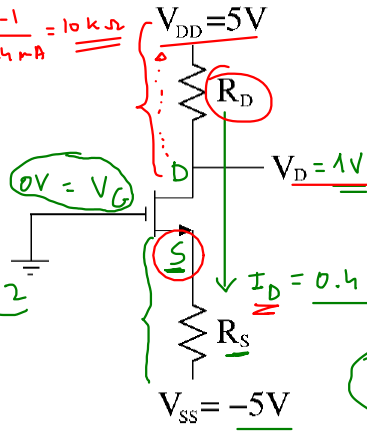
$$1 = [V_S + 2]^2$$

$$V_S + 2 = \pm 1 \Rightarrow \begin{cases} V_S = -2 + 1 = -1 \text{ V} \Rightarrow V_{GS} = 0 - (-1) = 1 \text{ V} < V_T = 2 \text{ V} \text{ (OFF NO!!)} \\ V_S = -2 - 1 = -3 \text{ V} \Rightarrow V_{GS} = 0 - (-3) = 3 \text{ V} > V_T \rightarrow \text{OK (ON)} \end{cases}$$

$$R_S = \frac{V_S - V_{SS}}{I_D} = \frac{-3 - (-5)}{0.4 \cdot 10^{-3}} = 5 \text{ k}\Omega$$

$$\text{SAT? } V_{DS} > V_{GS} = -V_S - 2 = -(-3) - 2 = 1 \text{ V}$$

$$V_D - V_S = 1 - (-3) = 4 \text{ V} \Rightarrow \text{SAT OK}$$



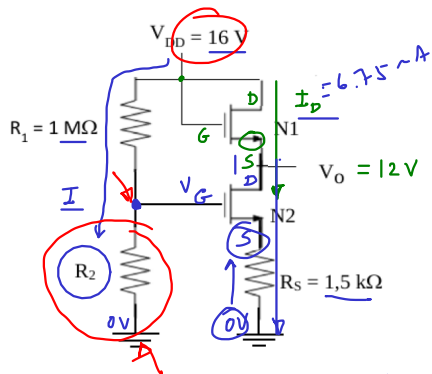
$$\text{OVM: } I_D = \beta \left[V_{GS} V_{DS} - \frac{V_{DS}^2}{2} \right] = \beta \left[(-V_S - 2) \cdot (1 - V_S) - \frac{(1 - V_S)^2}{2} \right]$$

OVM: SAT ← Hipòtesi

$$I_D = \frac{\beta}{2} (V_S - V_{SS})^2$$

En el circuit de la figura (esquerra) sabem que $V_o = 12\text{ V}$ i que els transistors NMOS, N1 i N2, es caracteritzen amb els paràmetres $\beta = 1.5\text{ mA/V}^2$ i $V_T = 1\text{ V}$.

- a) Trobeu V_{GS} i V_{DS} del transistor N1 i indiqueu quina és la seva regió de funcionament. Calculeu la intensitat de drenador.
- b) Calculeu V_{GS} i V_{DS} del transistor N2, i especifiqueu en quina regió treballa. Determineu R_2 .



$$I = \frac{V_{DD} - V_L}{R_1} = 1.5\text{ }\mu\text{A}$$

$$R_2 = \frac{V_L - 0}{I} = 9.4\text{ M}\Omega$$

$$V_{GT} = \left[\frac{I_D}{\beta} + \frac{V_{DS}^2}{2} \right] \frac{1}{V_{DS}} = 3.375\text{ V} > 0 \quad \text{ON}$$

$$V_L - V_S - V_T \Rightarrow V_L = 3.375 + V_S + V_T = 14.46\text{ V}$$

$$a) \quad V_D = 16\text{ V} = V_G \quad V_S = 12\text{ V}$$

$$(1N) \quad V_{GS} = 16 - 12 = 4\text{ V} > V_T \Rightarrow \text{ON}$$

$$(0VT) \quad V_{DS} = 16 - 12 = 4\text{ V} > V_{GT} \Rightarrow \text{SATURACIÓ}$$

$$I_D = \frac{\beta}{2} V_{GT}^2 = \frac{1.5 \cdot 10^{-3}}{2} [4 - 1]^2 = 6.75\text{ mA}$$

$$V_D = 12\text{ V}$$

$$V_S = + I_D \cdot R_S = 10.125\text{ V}$$

$$V_{DS} = V_D - V_S = 1.875\text{ V}$$

ohmic??

hipòtesi: ohmic

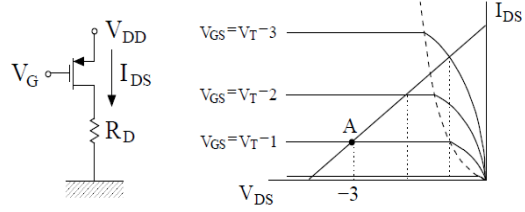
$$I_D = \beta \left[V_{GT} V_{DS} - \frac{V_{DS}^2}{2} \right]$$

$$V_{DS} < V_{GT}$$

ohmic OK

T4) Determineu el valor de R_D del circuit de la figura sabent que el transistor té $\beta = 8 \text{ mA/V}^2$, $V_{DD} = 5 \text{ V}$ i que aquest treballa en les condicions del punt A.

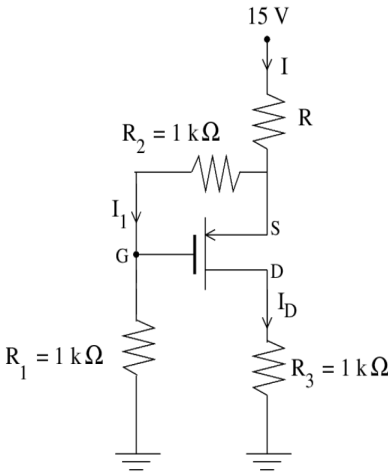
- a) 500Ω .
- b) 1000Ω .
- c) 2000Ω .
- d) 1500Ω .



Problema: 50% de l'examen

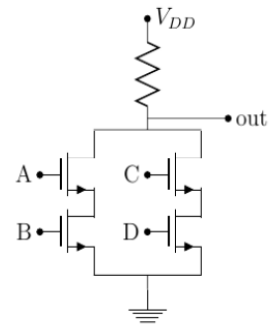
Considereu el circuit PMOS de la figura, amb característiques $\beta = 1.5 \text{ mA/V}^2$ i $V_T = -2 \text{ V}$.

- a) Sabent que $V_{GS} = -4 \text{ V}$, calculeu els valors de V_D , V_G , V_S , I_D , I_1 , I i R , suposant que el transistor està en saturació. Demostreu que aquest règim de treball és el correcte.
- b) Si en el mateix circuit fixem $R = 1 \text{ k}\Omega$ i modifiquem la resistència R_3 , trobeu quin és el valor de R_3 que farà que el transistor treballi amb $V_{GS} = -4.5 \text{ V}$, tot conduint en règim òhmic amb $I_D = 1.5 \text{ mA}$. Determineu els valors de V_G i V_S .



T5) Quina és la funció lògica corresponent al circuit indicat a la fi

- a) $(A \cdot B) + (C \cdot D).$
- b) $\overline{(A \cdot B) + (C \cdot D)}.$
- c) $(A + B) \cdot (C + D).$
- d) $\overline{(A + B) \cdot (C + D)}.$



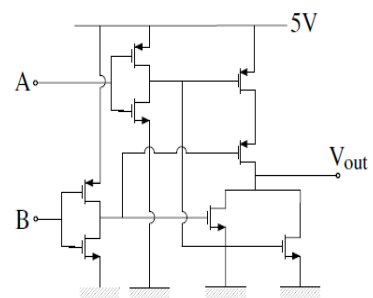
T5) El circuit CMOS de la figura, quan les entrades A i B poden ser de 0 V i 5 V, representa una porta lògica

a) NOR.

b) OR.

c) AND.

d) NAND.



32. La capacitat de càrrega efectiva d'un inversor CMOS és de 70 fF, i està connectat a una tensió $V_{DD} = 5$ V. Els paràmetres corresponents al NMOS i PMOS són: $\beta_P = \beta_N = 0.1 \text{ mA/V}^2$, $V_{TN} = 1$ V, $V_{TP} = -1$ V. Determineu:

- a) el valor dels temps de retràs t_{PHL} , t_{PLH} i t_P .
- b) si s'augmenta la capacitat en 0.1 pF, com canviaran els temps de retràs
- c) la potència dinàmica que dissipa en aquest cas si el rellotge va a una freqüència de 100 MHz?
- d) si l'entrada passa sobtadament de 0 a 5 V, el temps que trigarà la sortida a baixar a 0.1 V assumint el comportament típic d'un circuit RC ($t_P = \tau \ln 2$).