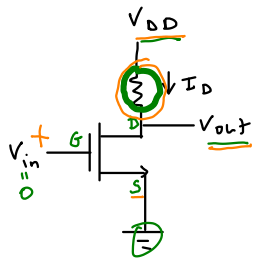
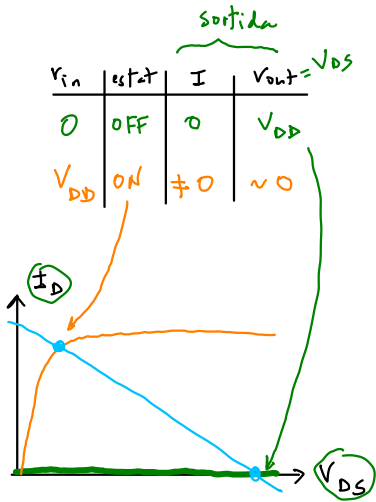


# LÒGICA CMOS

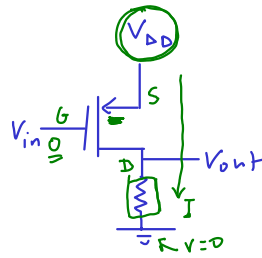
Inversor nMOS



ON cel  $V_{GS} > V_T$   
 $V_{GS} > 0 \equiv V_G > V_S$

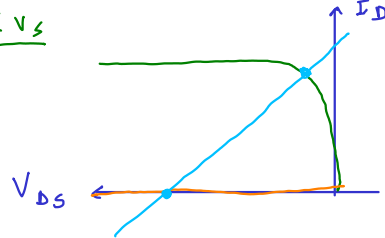


Inversor pMOS



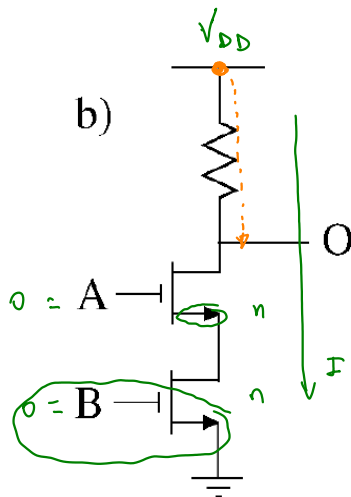
$V_{in}$	estat	I	$V_{out}$
0	ON	$\neq 0$	$\sim V_{DD}$
$V_{DD}$	OFF	$= 0$	0

ON  $\rightarrow V_G < V_S$



$\nwarrow$  p  
 $\searrow$  n

(p34)

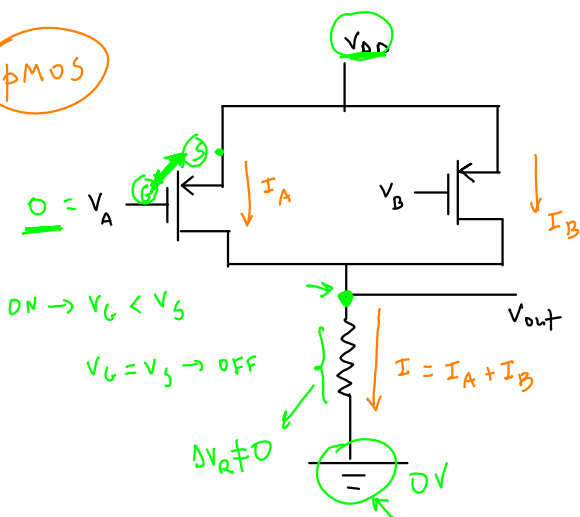


A	B	I	$\Delta V_R$	$V_{out}$
0	0	$= 0$	0	$V_{DD}$
0	$V_{DD}$	$= 0$	0	$V_{DD}$
$V_{DD}$	0	$= 0$	0	$V_{DD}$
$V_{DD}$	$V_{DD}$	$\neq 0$	$\neq 0$	$\sim 0$

$\uparrow$   
AND

NAND

pMOS



ON  $\rightarrow V_G < V_S$

$V_G = V_S \rightarrow$  OFF

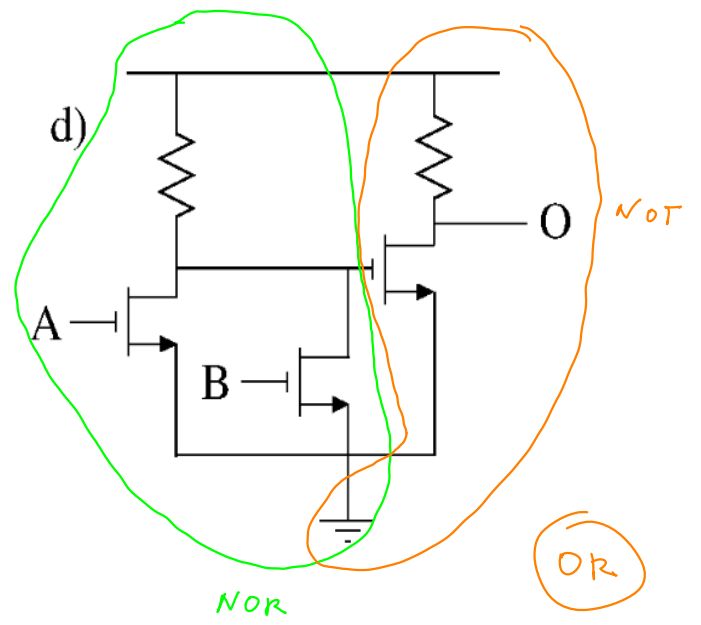
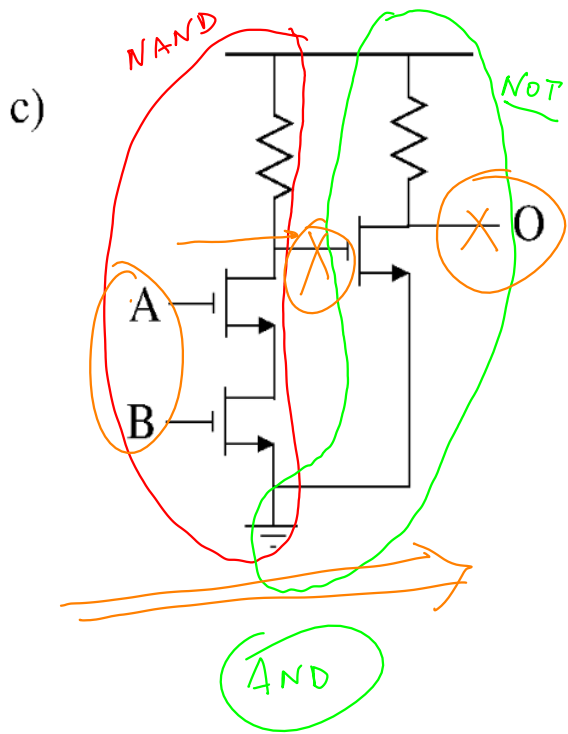
$\Delta V_R \neq 0$

$V_A$	$V_B$	$I_A$	$I_B$	I	$\Delta V_R$	$V_{out}$
ON 0	0	$\neq 0$	0	$\neq 0$	$\neq 0$	$\sim V_{DD}$
0	$V_{DD}$	0	$\neq 0$	$\neq 0$	$\neq 0$	$\sim V_{DD}$
$V_{DD}$	0	$\neq 0$	0	$\neq 0$	$\neq 0$	$\sim V_{DD}$
$V_{DD}$	$V_{DD}$	0	0	0	0	0

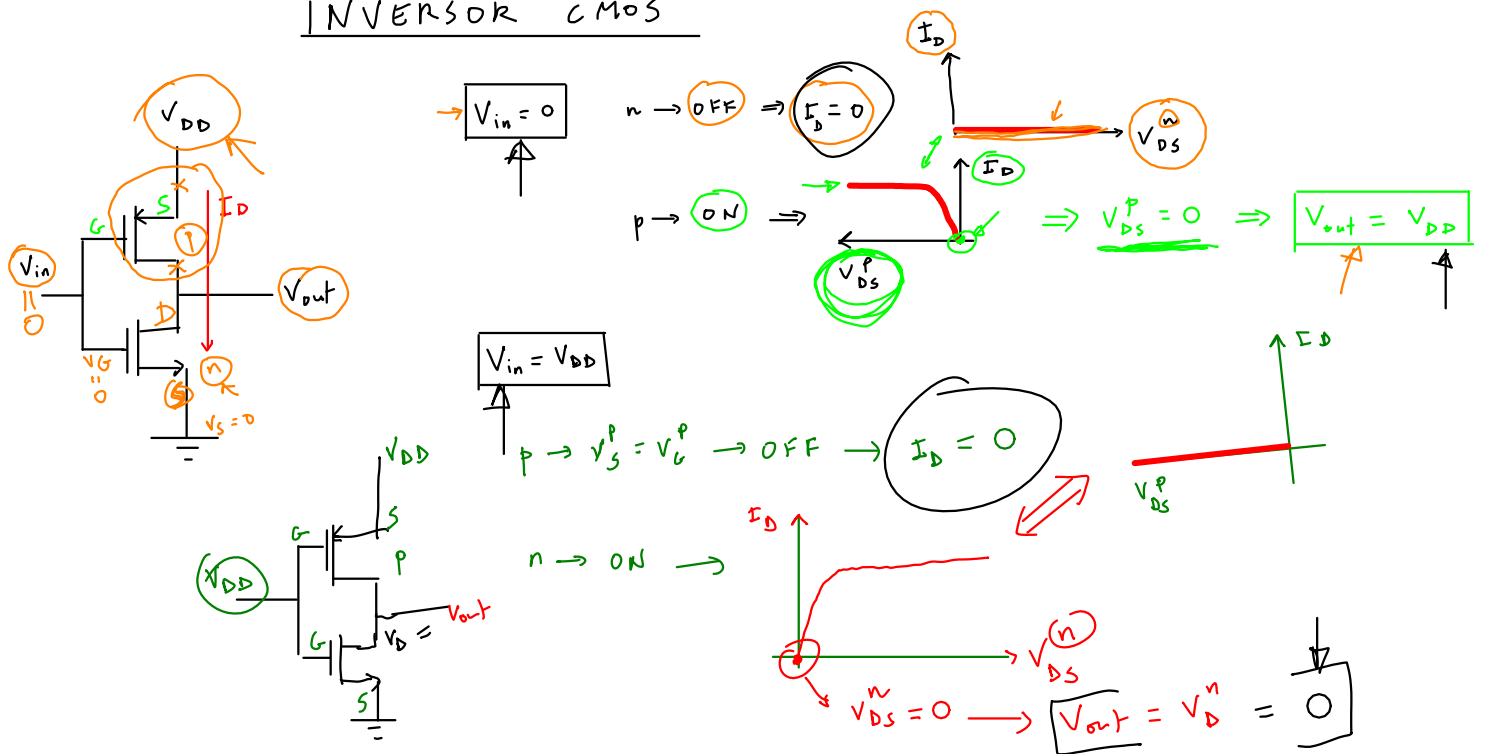
OFF  
 $V_G = V_S = V_{DD}$

NAND

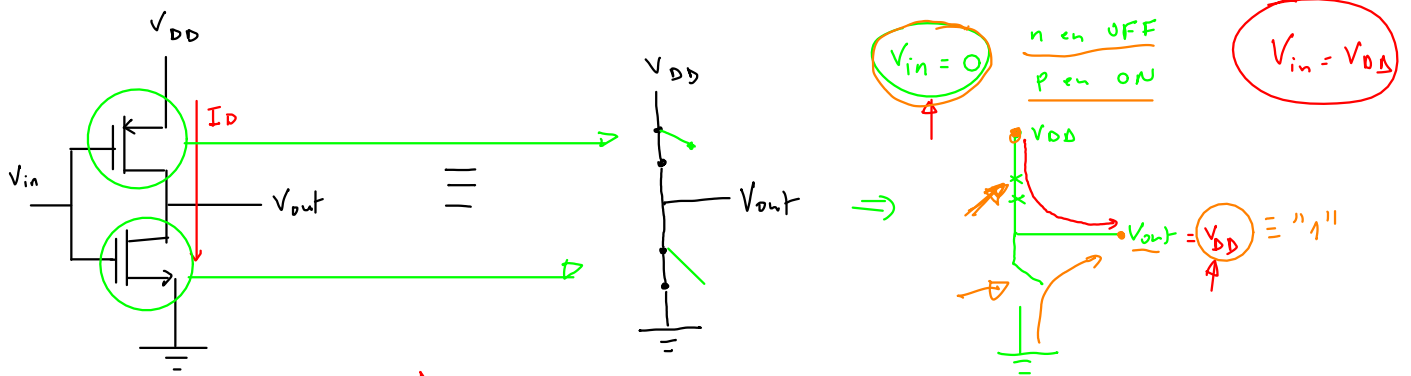
pMOS en sèrie  $\rightarrow$  NOR



# INVERSOR CMOS



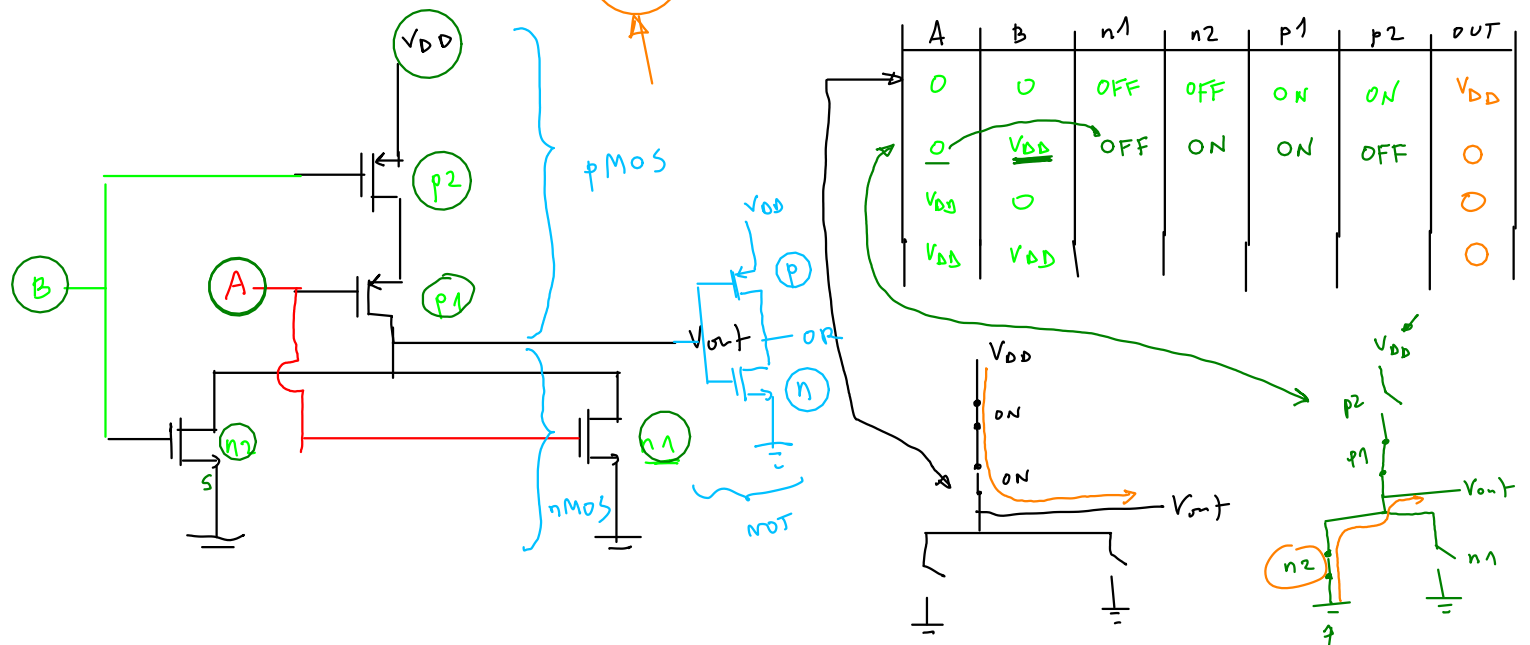
Per l'inversor CMOS podem pensar en els transistors com interruptors



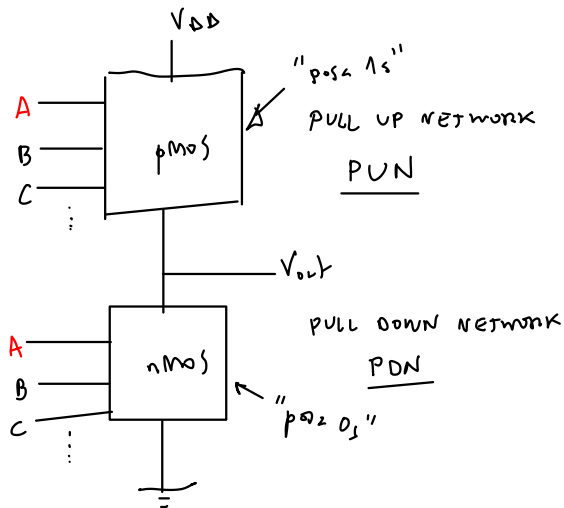
n "posar 0" quan és tancat

p "posar 1" quan és tancat

Com podem fer una porta NOR amb logica CMOS?



# ESTRUCTURA GENÈRICA DE PORTES CMOS



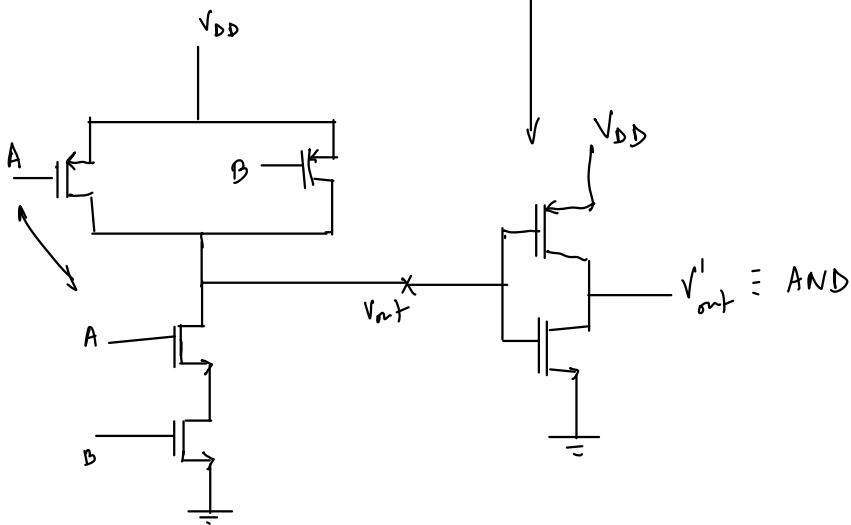
Com fa una porta qualsevol:

- ① Fem la porta amb lògica CMOS  
2 nmos parallel → NOR
- ② Complementem amb PMOS  
2 PMOS serie → NOR
- ③ nmos sota PMOS sota → inverte

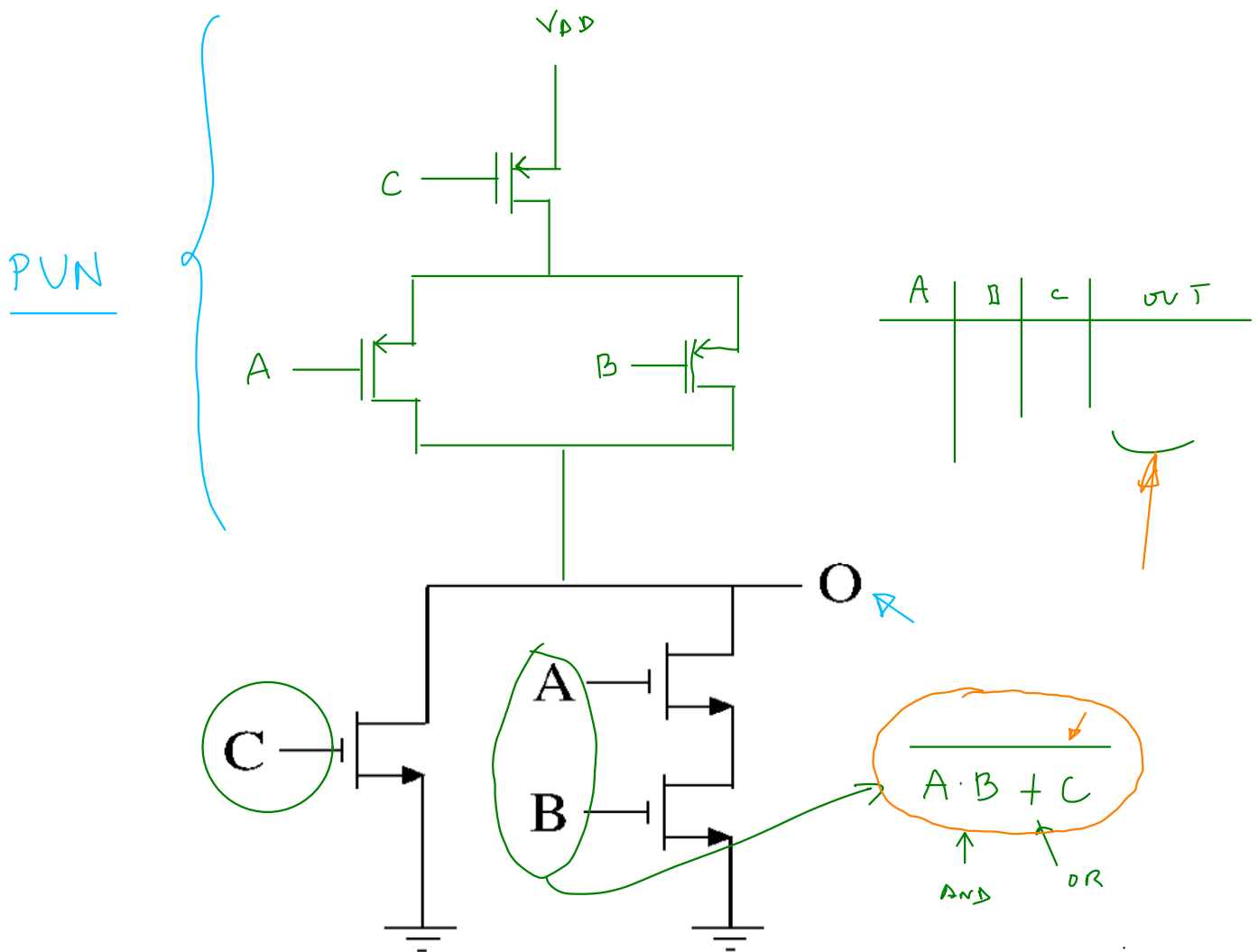
36. Feu els esquemes d'una porta NAND i una NOR utilitzant lògica CMOS.

37. Construïu una porta AND i una OR utilitzant lògica CMOS.

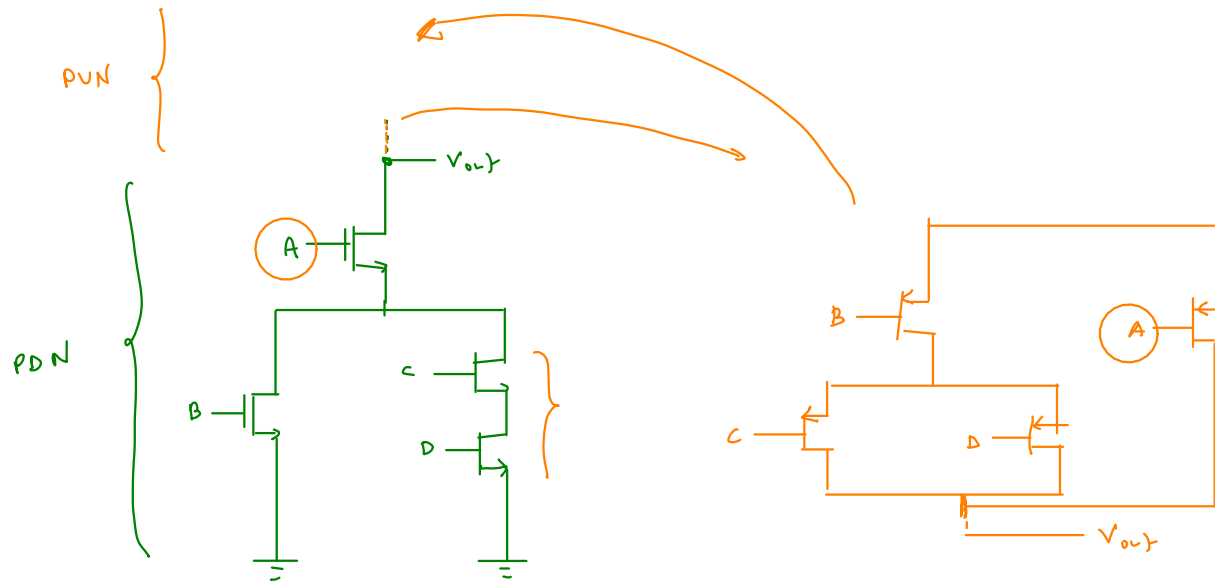
NAND en lògica CMOS



38. Determineu el circuit PULL-UP corresponent al PULL-DOWN del circuit de la figura i la funció lògica que implementa el circuit CMOS resultant.



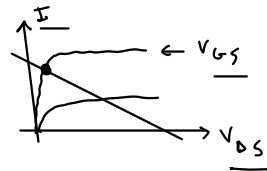
40. Feu un esquema del circuit CMOS que implementa la funció lògica  $A \cdot \overline{(B+CD)}$ .



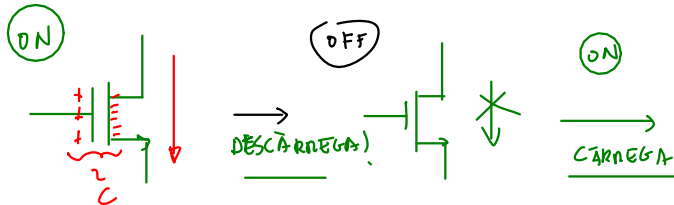
# → CARACTERÍSTICIS DINÀMICA

Fins ara: característiques ESTATICA inverter nmos

solució ESTACIONÀRIA



→ Transistors | → característiques dinàmica ⇒ transistor en el transitori (canvi de valor espz) ~ RC !!!



**INVERSION**

Diagram of an inverter circuit with input  $V_{in}$  and output  $V_{out}$ . The PMOS is labeled 'OFF' and the NMOS is labeled 'ON'.

Equations for the NMOS in saturation:

$$I_{D0} = C \cdot (V_{GS} - V_T) = C \cdot (V_{DD} - V_T)$$

$$I = \beta_n \left[ \frac{V_{GS} - V_T}{2} \right]^2 = \beta_n \left[ \frac{V_{DD} - V_T}{2} \right]^2$$

Time constant  $\tau$  derivation:

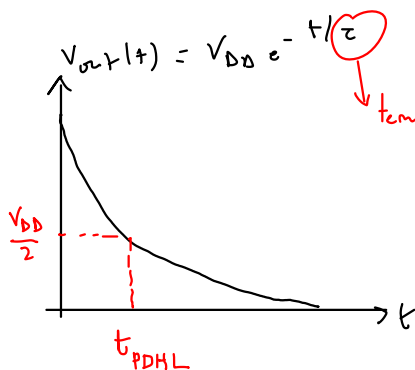
$$\tau = \frac{Q_0}{I(0)} = \frac{C(V_{DD} - V_T)}{\beta_n \left( \frac{V_{DD} - V_T}{2} \right)^2}$$

Approximation  $V_T \approx 0.2 V_{DD}$  leads to:

$$\tau = \frac{2.5 C}{\beta_n V_{DD}}$$

Graph of  $V_{out}(t) = V_{DD} e^{-t/\tau}$  showing exponential decay.

⇒ Propagation Delay HIGH - LOW



$$\ln \left[ V_{DD} e^{-\frac{t_{PDHL}}{\tau}} = \frac{V_{DD}}{2} \right] \Rightarrow t_{PDHL} = \tau \ln 2 = \frac{1.7 C}{\beta_n V_{DD}}$$

$$t_{PDHL} = \frac{1.7 C}{\beta_n V_{DD}}$$

$$t_{PD LH} = \frac{1.7 C}{\beta_p V_{DD}}$$

$$t_{PD} = \frac{t_{PDHL} + t_{PD LH}}{2}$$

$$t = \tau \cdot \ln 2$$

energia?  $U = \frac{1}{2} C V^2$

discharge

HL:  $\frac{1}{2} C \cdot V_{DD}^2$

LH:  $\frac{1}{2} C \cdot V_{DD}^2$

$$P = \frac{\text{energia cicle}}{T \text{ periode}} = f \cdot \text{energia} = f C \cdot V_{DD}^2$$

**32.** La capacitat de càrrega efectiva d'un inversor CMOS és de 70 fF, i està connectat a una tensió  $V_{DD} = 5$  V. Els paràmetres corresponents al NMOS i PMOS són:  $\beta_P = \beta_N = 0.1 \text{ mA/V}^2$ ,  $V_{TN} = 1$  V,  $V_{TP} = -1$  V. Determineu:

- a) el valor dels temps de retràs  $t_{PHL}$ ,  $t_{PLH}$  i  $t_P$ .
- b) si s'augmenta la capacitat en 0.1 pF, com canviaran els temps de retràs
- c) la potència dinàmica que dissipa en aquest cas si el rellotge va a una freqüència de 100 MHz?
- d) si l'entrada passa sobtadament de 0 a 5 V, el temps que trigarà la sortida a baixar a 0.1 V assumint el comportament típic d'un circuit RC ( $t_P = \tau \ln 2$ ).