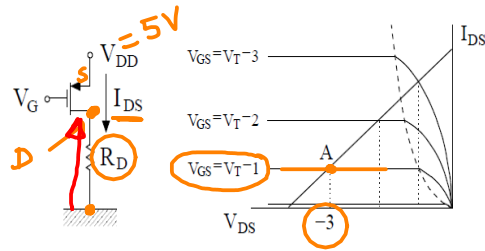


T4) Determineu el valor de R_D del circuit de la figura sabent que el transistor té $\beta = 8 \text{ mA/V}^2$, $V_{DD} = 5 \text{ V}$ i que aquest treballa en les condicions del punt A.

- a) 500Ω .
- b) 1000Ω .
- c) 2000Ω .
- d) 1500Ω .

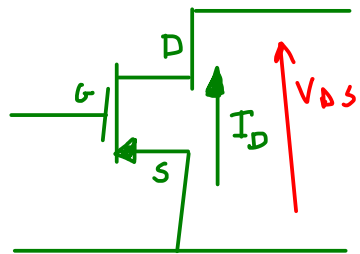


$I_D = \frac{\beta}{2} V_{GT}^2 = \frac{8 \cdot 10^{-3}}{2} (-1)^2 = 4 \text{ mA}$

* Règim SATURAT → $V_{DS} = -3 \text{ V} \rightarrow V_D - V_S = -3 \rightarrow V_D = V_S - 3 = 5 - 3 = 2 \text{ V}$

* $V_{GS} = V_T - 1 \Rightarrow V_{GT} = -1 \text{ V}$

$+ R_D \cdot I_D = V_D \rightarrow R_D = \frac{2}{4 \cdot 10^{-3}} = \frac{1}{2} 1000 = 500 \Omega$



$V_{GT} = V_{GS} - V_T$

(IN)

$V_{GS} > V_T$ OFF/TALL
($V_{GT} > 0$)

$V_{GS} < V_T$ ON

(OUT)

$I_D = 0$

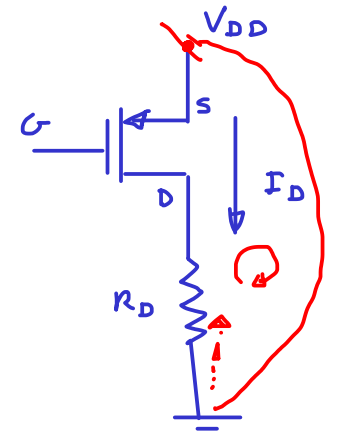
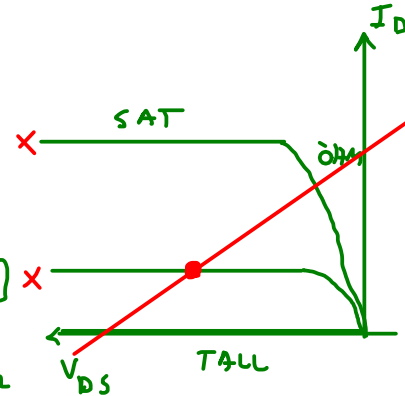
OHMICA

$0 > V_{DS} > V_{GT}$

$I_D = \beta [V_{GT} V_{DS} - \frac{V_{DS}^2}{2}]$

SATURAT

$V_{DS} < V_{GT} \quad I_D = \beta \frac{V_{GT}^2}{2}$



$\begin{cases} +I_D R_D - V_{DS} = V_{DD} \\ I_D = \frac{1}{R_D} [V_{DD} + V_{DS}] \end{cases}$

Considereu el circuit PMOS de la figura, amb característiques $\beta = 1.5 \text{ mA/V}^2$ i $V_T = -2 \text{ V}$.

- [illegible]

OK

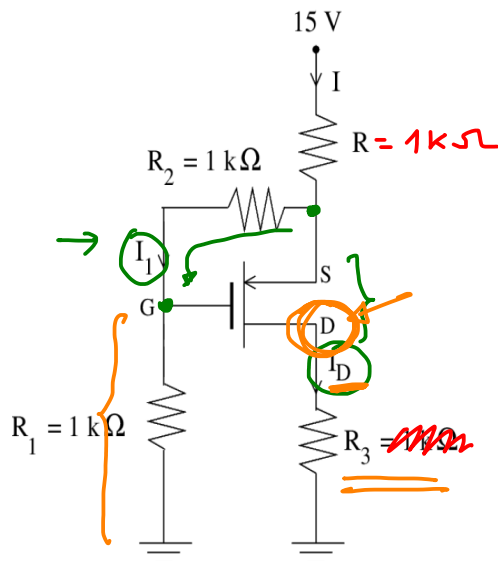
$$15 - V_S = I \cdot R \Rightarrow R = \frac{15 - V_S}{I} = \frac{15 - 8}{7 \cdot 10^{-3}} = \underline{\underline{1000 \, \Omega}}$$

Problema: 50% de l'examen

Considereu el circuit PMOS de la figura, amb característiques $\beta = 1.5 \text{ mA/V}^2$ i $V_T = -2 \text{ V}$.

- a) Sabent que $V_{GS} = -4 \text{ V}$, calculeu els valors de V_D , V_G , V_S , I_D , I_1 , I i R , suposant que el transistor està en saturació. Demostreu que aquest règim de treball és el correcte.

- b) Si en el mateix circuit fixem $R = 1 \text{ k}\Omega$ i modifiquem la resistència R_3 , trobeu quin és el valor de R_3 que farà que el transistor treballi amb $V_{GS} = -4.5 \text{ V}$, tot conduint en règim òhmic amb $I_D = 1.5 \text{ mA}$. Determineu els valors de V_G i V_S .



$$V_{GS} = -4.5 \text{ V} \rightarrow V_{GT} = -4.5 - (-2) = -2.5 \text{ V}$$

$$\text{òhmic} \rightarrow 0 > V_{DS} > V_{GT}$$

$$\Rightarrow I_D = 1.5 \text{ mA}$$

(IN) $V_{GS} = -4.5 < V_T = -2$ (ON)

(OUT)

$$I_D = \beta \left[V_{GT} V_{DS} - \frac{V_{DS}^2}{2} \right]$$

$$1.5 \cdot 10^{-3} = 1.5 \cdot 10^{-3} \left[-2.5 V_{DS} - \frac{V_{DS}^2}{2} \right]$$

$$(1 = -2.5 V_{DS} - \frac{V_{DS}^2}{2}) \times 2$$

$$V_{DS}^2 + 5 V_{DS} - 2 = 0$$

$$-2.5 < -0.44 < 1 \dots$$

$$V_{DS} = \begin{cases} -4.56 \text{ V} \\ -0.44 \text{ V} \end{cases}$$

$$\rightarrow V_{GS} = -4.5 = -R_2 \cdot I_1 \Rightarrow I_1 = 4.5 \text{ mA} \Rightarrow I = I_1 + I_D = 6 \text{ mA}$$

$$V_G = I_1 \cdot R_1 = 4.5 \text{ V} \rightarrow V_{GS} = -4.5 \rightarrow V_S = V_G + 4.5 = 9 \text{ V}$$

$$V_{DS} = V_D - V_S = -0.44 \rightarrow V_D = -0.44 + V_S = 8.56 \text{ V}$$

$$R_3 = \frac{V_D}{I_D} = 5.7 \cdot 10^3 \Omega$$

T5) Quina és la funció lògica corresponent al circuit indicat a la fi

a) $(A \cdot B) + (C \cdot D)$.

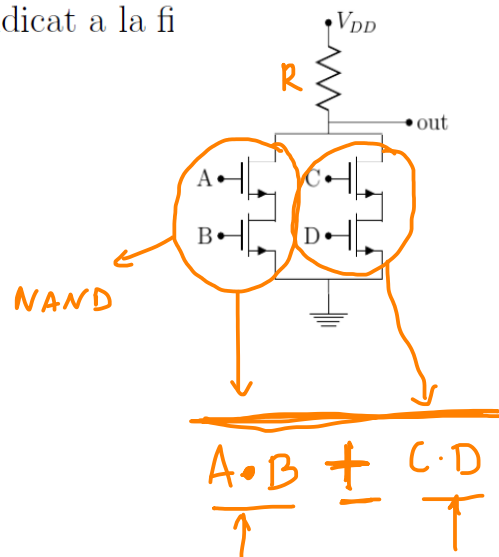
b) $\overline{(A \cdot B) + (C \cdot D)}$.

c) $(A + B) \cdot (C + D)$.

d) $\overline{(A + B) \cdot (C + D)}$.

Lògica nMOS

A	B	C	D



T5) El circuit CMOS de la figura, quan les entrades A i B poden ser de 0 V i 5 V, representa una porta lògica

a) NOR.

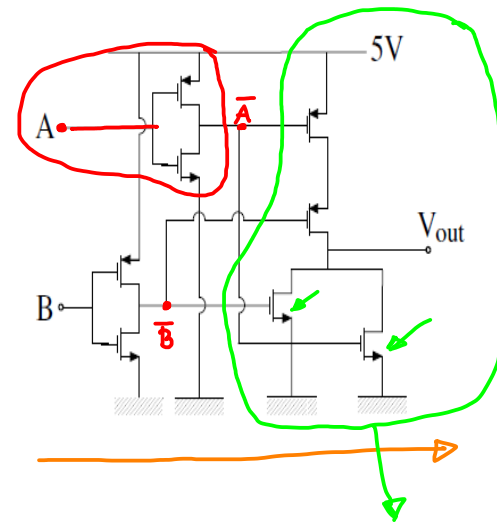
b) OR.

c) AND.

d) NAND.

A	B	\bar{A}	\bar{B}	OR	NOR
0	0	5	5	5	0
0	5	5	0	5	0
5	0	0	5	5	0
5	5	0	0	0	5

AND
NOR



Lògica CMOS

$\overline{OR} \rightarrow \underline{\underline{NOR}}$

$A + B$

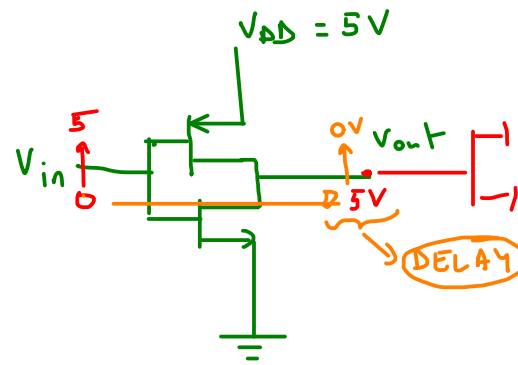
$$\overline{A + B} = \overline{A} \cdot \overline{B} = A \cdot B$$

Leis De Morgan

AND

32. La capacitat de càrrega efectiva d'un inversor CMOS és de 70 fF, i està connectat a una tensió $V_{DD} = 5$ V. Els paràmetres corresponents al NMOS i PMOS són: $\beta_P = \beta_N = 0.1 \text{ mA/V}^2$, $V_{TN} = 1$ V, $V_{TP} = -1$ V. Determineu:

- el valor dels temps de retràs (t_{PHL} , t_{PLH} i t_p).
- si s'augmenta la capacitat en 0.1 pF, com canviaran els temps de retràs
- la potència dinàmica que dissipa en aquest cas si el rellotge va a una freqüència de 100 MHz?
- si l'entrada passa sobtadament de 0 a 5 V, el temps que trigarà la sortida a baixar a 0.1 V assumint el comportament típic d'un circuit RC ($t_p = \tau \ln 2$).



Típic descompte
circuit RC

$$V_{out}(t) = V_{DD} \cdot e^{-t/\tau_{HL}}$$

$$\tau_{HL} = 2.5 \frac{C}{\beta_N V_{DD}}$$

$$V_{out} = V_{DD} e^{-\tau_{HL}/\tau_{HL}} = \frac{V_{DD}}{e}$$

$$t_{PHL}: V_{out}: V_{DD} \rightarrow \frac{V_{DD}}{2}$$

$$t_{pHL} = \tau_{HL} \cdot \ln 2 = 1.7 \frac{C}{\beta_N V_{DD}}$$

t_{PDHL}

$$t_p = \frac{t_{PLH} + t_{PHL}}{2}$$

$$\tau_{LH} = 2.5 \frac{C}{\beta_P V_{DD}} \rightarrow t_{PLH} = 1.7 \frac{C}{\beta_P V_{DD}}$$

$$a) t_{pHL} = 1.7 \frac{C}{\beta_N V_{DD}} = 238 \text{ ps} = t_{pLH} = t_p$$

$$b) C = 70 \text{ fF} + 0.1 \text{ pF} = (70 + 100) \cdot 10^{-15} \text{ F}$$

$$1 \text{ p} = 10^{-12} \quad 1 \text{ f} = 10^{-15} \quad 1 \text{ p} = 10^3 \cdot (1 \text{ f})$$

$$t_p = 578 \text{ ps}$$

$$c) P = f \cdot C \cdot V_{DD}^2 = 0.425 \text{ mW}$$

$$d) V_{out}(t) = V_{DD} \cdot e^{-t/\tau_{HL}}$$

$$\ln(0.1 = 5 e^{-t/\tau_{HL}}) \Rightarrow -\frac{t}{\tau_{HL}} = \ln\left(\frac{0.1}{5}\right) \rightarrow t = -\tau_{HL} \ln\left(\frac{0.1}{5}\right) = -\frac{t_{pHL}}{\ln 2} \ln\left(\frac{0.1}{5}\right) = 3.2 \text{ ns}$$