

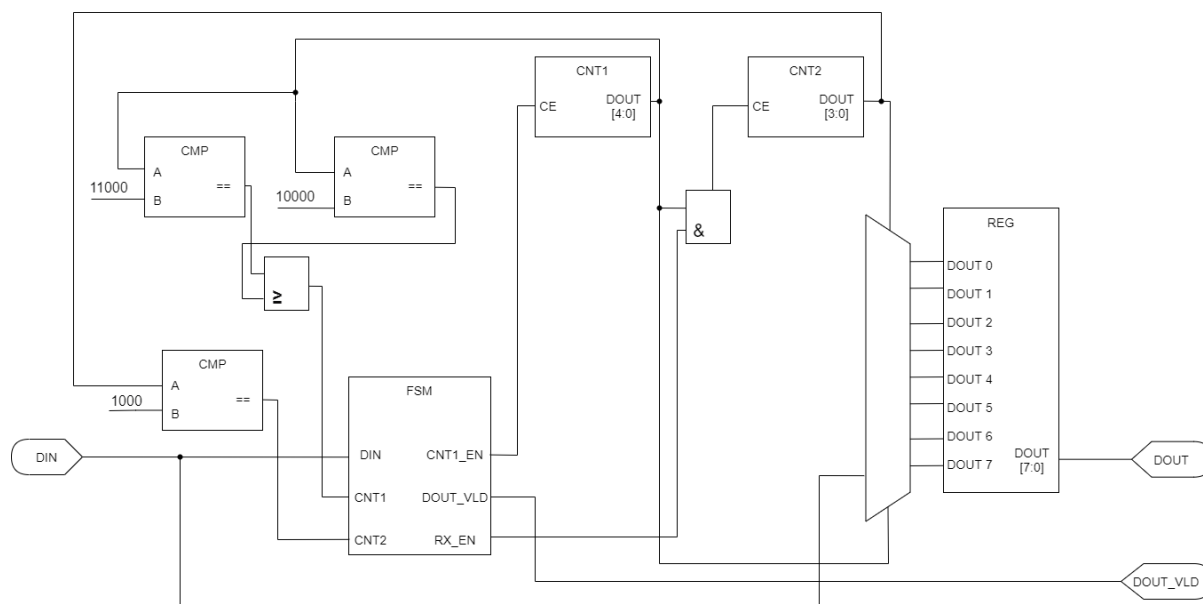
Příloha: Výstupní zpráva

Jméno: Kateřina Čepelková

Login: xcepel03

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkce

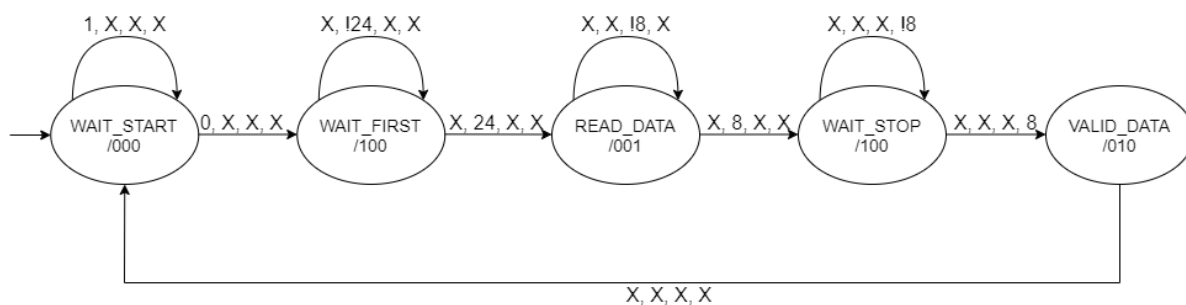
- Obvod se skládá ze 2 počítadel (CNT1 a CNT2), konečného automatu (FSM), 3 komparátorů (CMP), 1 demultiplexoru, 1 registru a logických součástek AND (&) a OR (≥). Dále má obvod vstupy DIN, CLK, RST a výstupy DOUT a DOUT_VLD. Celý obvod je řízen signály z FSM – tyto signály vysílá podle aktuálního stavu. CNT1 počítá počet uplynulých hodinových cyklů a CNT2 počítá počet načtených bitů. Komparátory následně zasílají informace o stavu počítadel automatu.
- Automat po přijetí START bitu (log. 0) a prvního bitu vyše signál přes RX_EN (log 1) začne přes FSM a demultiplexor načítat do registru 8 bitů (=slovo) a to pokaždé když jsou v tzv. MID bitu (střední, stabilní hodnota). Vše je hlídáno počítadly, které počítají jak uplynulé hodinové cykly, tak počet načtených bitů. Po ukončení načítání FSM čeká STOP bit (log 1), který signalizuje konec načítání a díky čemuž může vyslat signál v log. 1 na DOUT_VLD (valid). Po vypsaní DOUT a DOUT_VLD se obvod znovu vyresetuje do původního stavu, kdy čekal na START bit a přenos dalšího slova.

Návrh automatu (Finite State Machine)

Schéma automatu

Legenda:

- Stavy automatu: WAIT_START, WAIT_FIRST, READ_DATA, WAIT_STOP, DATA_VALID
- Vstupní signály: DIN, CNT1, CNT2, CNT3
- Moorovy výstupy: CNT_EN, DOUT_VLD, RX_EN



Popis funkce

- WAIT_START je prvotní stavu automatu. V tomto stavu automat čeká na DIN == 0 (START bit nastavený na log 0), kterým začíná přenos slova.
- WAIT_FIRST je druhý stav automatu. Po 24hodinových cyklech (počítaným CNT1) načte 1. bit (je to kvůli tomu, že po 24hodinových cyklech se dojde do stavu MID bit, kde jsou data nejstabilnější) – po načtení toho bitu, se přesune do stavu dalšího.
- Ve stavu READ_DATA se po 16hodinových cyklech načte zbytek slova od LSB do MSB. Po dosažení 8 (jedno 8bitové datové slovo) u CNT2 se přepne na další stav.
- Ve stavu WAIT_STOP automat čeká 8hodinových cyklů (počítaných v CNT3), ve kterých získá ze DIN STOP bit a následně se přepne do dalšího stavu.
- Stav DATA_VALID potvrzuje platnost přenesených dat nastavením příznaku DOUT_VLD na log 1 po dobu 1 taktu CLK. Následně se automat vrátí zpátky do stavu WAIT_START, kde čeká na START bit dalšího slova.

Snímek obrazovky ze simulací

