

数 字 逻 辑

Digital Logic Circuit

丁 贤 庆

ahhfdxq@163.com

Home work (P268和 P350)

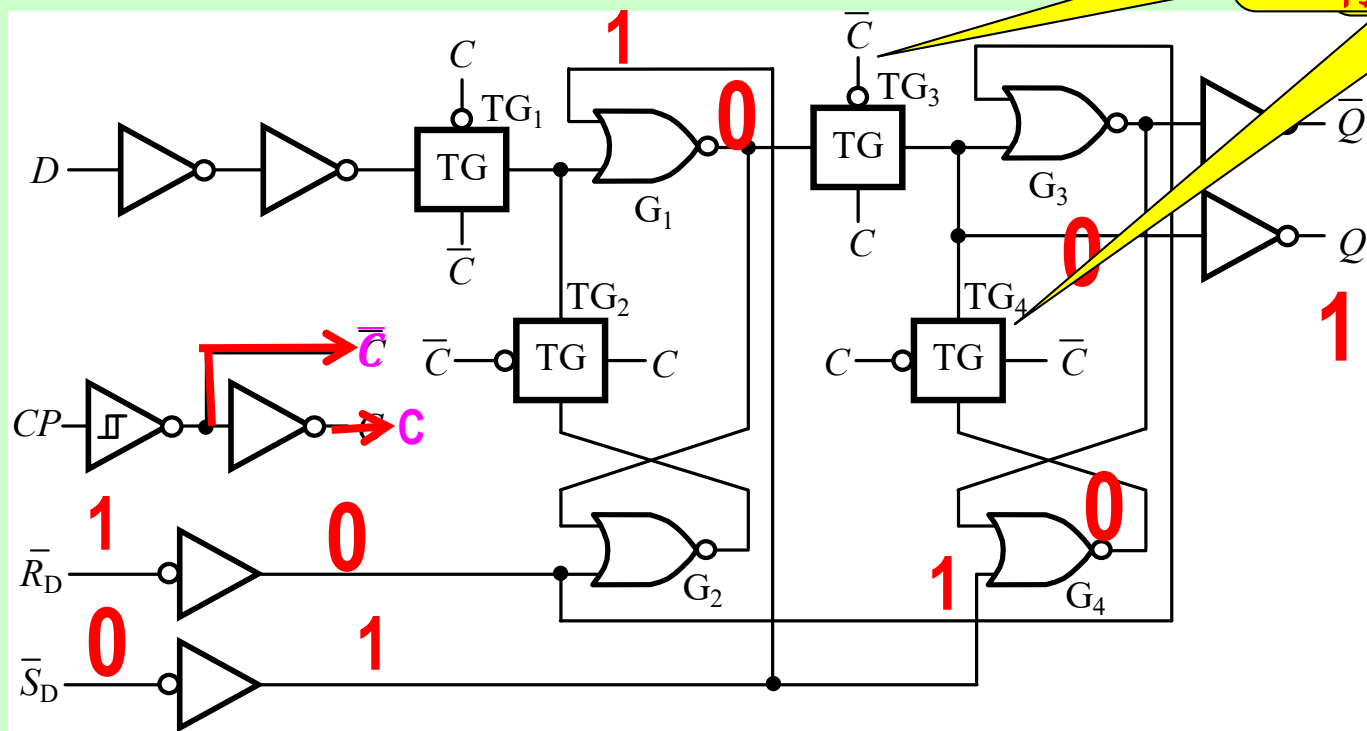
- 1、周三晚上7:00-8:00在新安学堂105房间，答疑。回答作业或者课本中疑难问题。
- 2、下周有实验。地点：1号综合实验楼306房间
- 3、今天的作业
 - 5.4.3
 - 5.5.3
 - 6.1.1
 - 6.2.3
 - 6.2.4

第5章 锁存器和触发器

Latches and Flip-Flops

5.4.2 典型主从D触发器集成电路

74HC/HCT74 中D触发器的逻辑图



两个传输门里必有一个导通

其中： $\overline{S_D}$ 是置1、 $\overline{R_D}$ 是置0

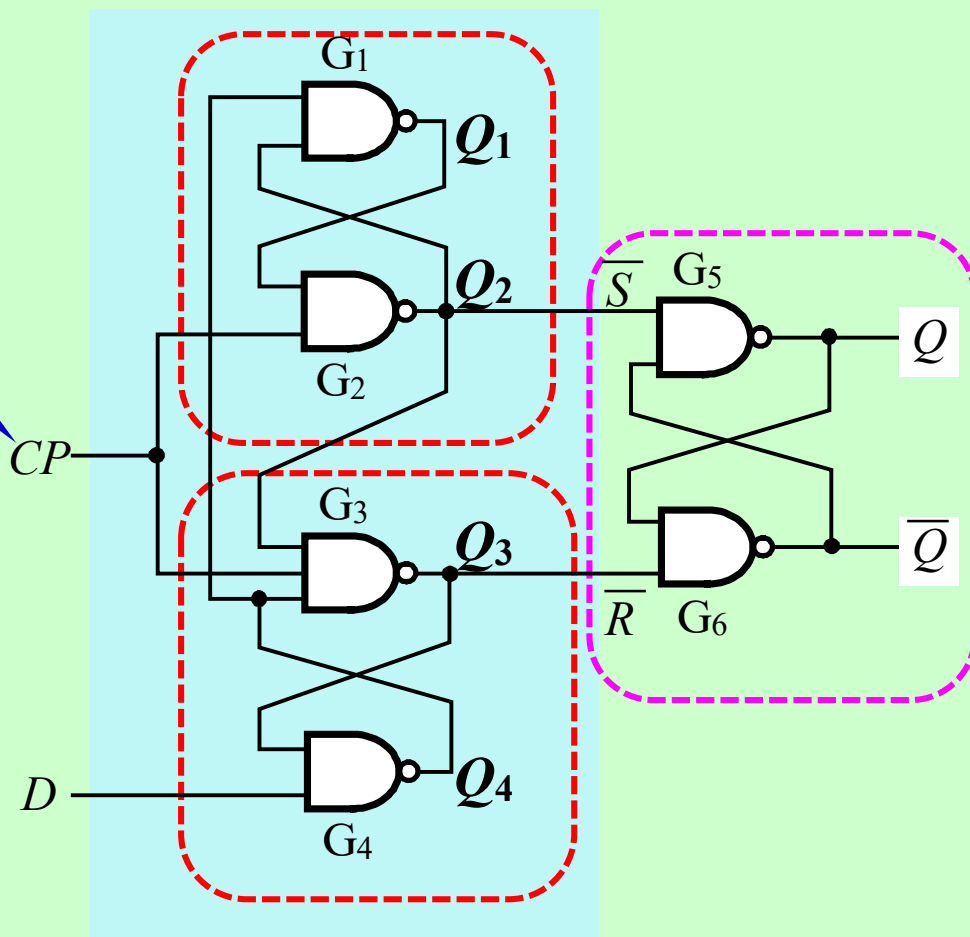
当 $\overline{S_D}=0$ 时，置1。

$\overline{R_D}=0$ 时，置0

5.4.4 其他电路结构的触发器

1. 维持阻塞D触发器结构

由3个基本SR锁存器组成



时钟CP信号

输入D

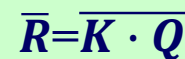
结论： 在 CP 脉冲的上升沿到来瞬间使触发器的状态变化

数字逻辑电路

The diagram illustrates the internal logic of a JK flip-flop. It features two 3-input AND gates, G_3 and G_4 , and two 2-input AND gates, G_{12} and G_{13} . The inputs are J , \overline{CP} , and K . The outputs of G_3 and G_4 are \overline{S} and \overline{R} respectively. The outputs of G_{12} and G_{13} are connected to the inputs of a cross-coupled SR flip-flop, represented by two NOT gates. The current state is Q and the next state is Q^{n+1} .

Red callouts with arrows point to specific inputs, indicating they are active-low:

- Input J : Labeled with a red '1' and a callout box containing the text "低电平有效标识" (Active-low indicator).
- Input \overline{CP} : Labeled with a red '0' and a callout box containing the text "低电平有效标识" (Active-low indicator).
- Input K : Labeled with a red '0' and a callout box containing the text "低电平有效标识" (Active-low indicator).



$$\underline{\underline{Q^{n+1}}} = \underline{\underline{Q^n}} + \underline{\underline{S \cdot Q^n}} = \underline{\underline{Q^n (1 + S)}} = \underline{\underline{Q^n}}$$

(3) CP由1变为0的瞬间。由于CP=0,G11和G21退缩成非门了。

G13与G11等价为与非门了,
G23与G21也等价为与非门了
电路等价为右图。

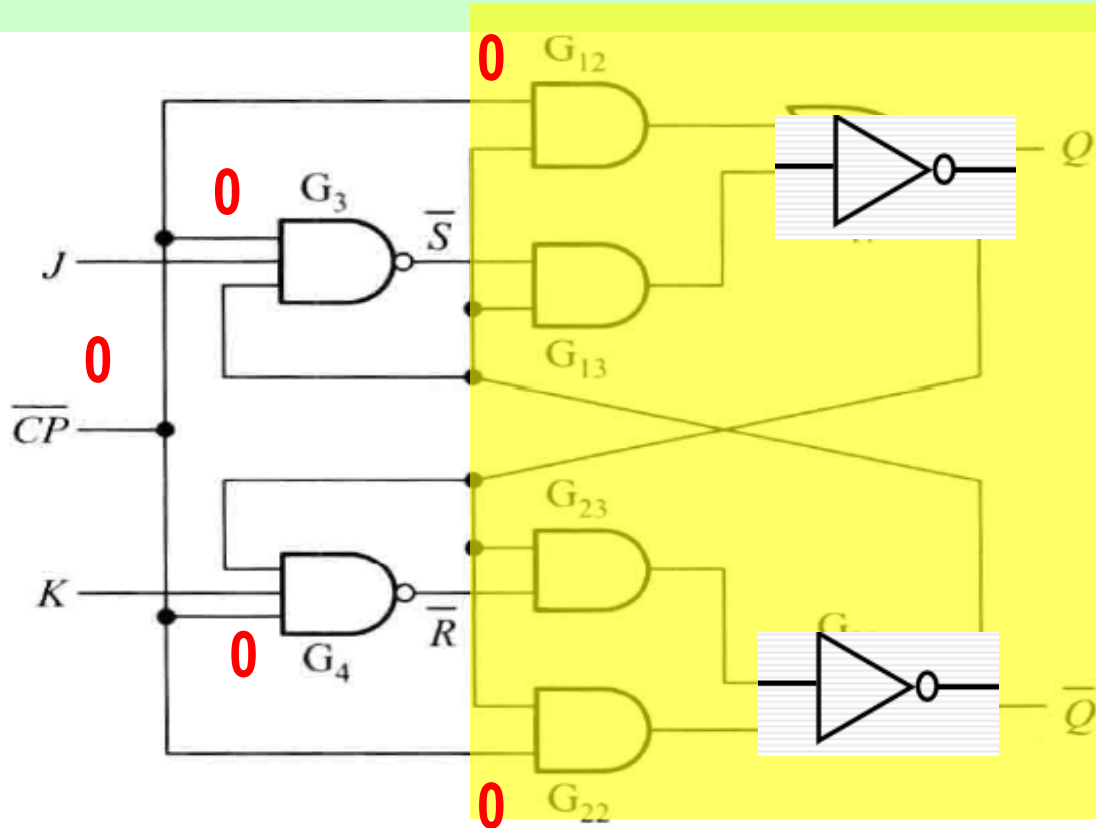


图 5.4.8 利用传输延迟的 JK 触发器的逻辑电路

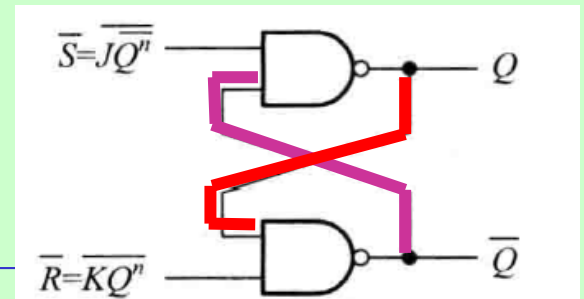


图 5.4.9 由 1 变 0 后瞬间输出 SR 锁存器的简化电路

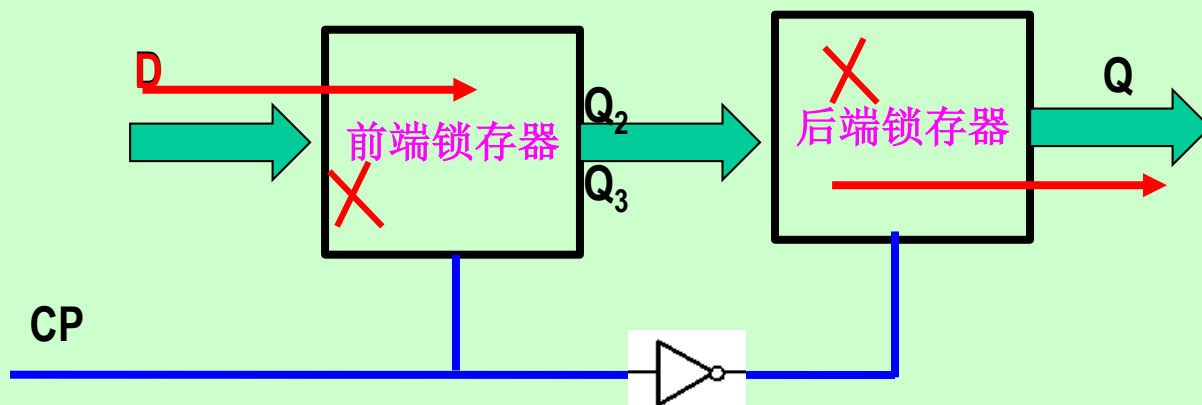
$$\overline{S} = J \cdot \overline{Q}$$

$$\overline{R} = K \cdot \overline{Q}$$

$$Q^{n+1} = \overline{\overline{S} R Q^n} = J \overline{Q^n} K Q^n Q^n$$

$$Q^{n+1} = J \overline{Q^n} + K Q^n$$

下降沿触发

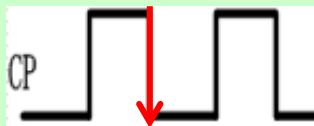


(1) CP=1时:



前端锁存器导通，后段锁存器截止。
信号D能进入前端锁存器中。

(2) CP由1跳变到0:



前端锁存器截止，后段锁存器导通。
信号D通过后端锁存器，传输到Q端。

(3) CP=0，并维持状态不变:

由于前端锁存器截止，信号D不能通过前端锁存器，所以与后段锁存器相连的Q端信号保持不变。

结论：在CP脉冲的下降沿到来瞬间使触发器的状态Q变化

5.5 触发器的逻辑功能

5.5.1 D 触发器

5.5.2 JK 触发器

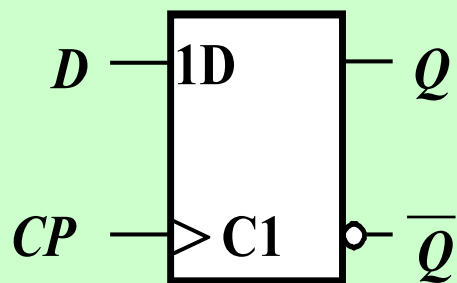
5.5.2 T 触发器

5.5.3 SR 触发器

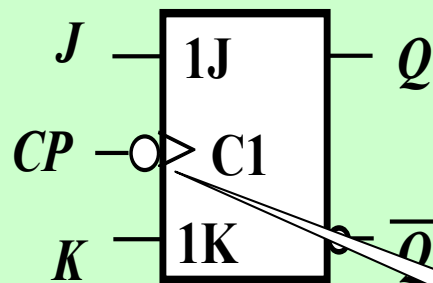
5.5.4 D 触发器功能的转换

5.5 触发器的逻辑功能

不同逻辑功能的触发器国际逻辑符号

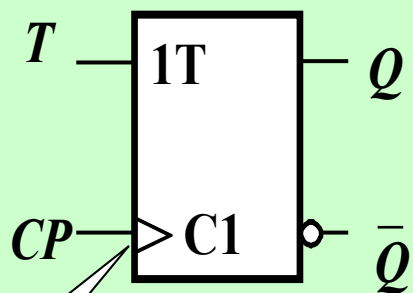


D 触发器



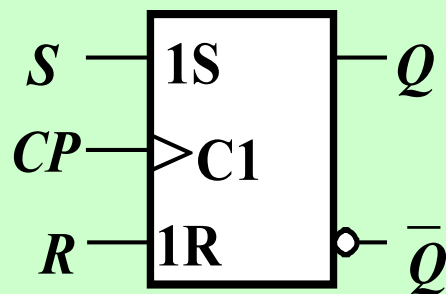
JK 触发器

下降沿



T 触发器

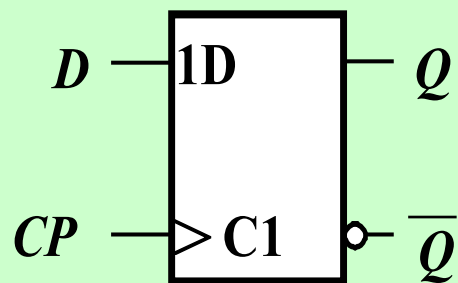
上升沿



RS 触发器

5.5.1 D 触发器

1. 特性表

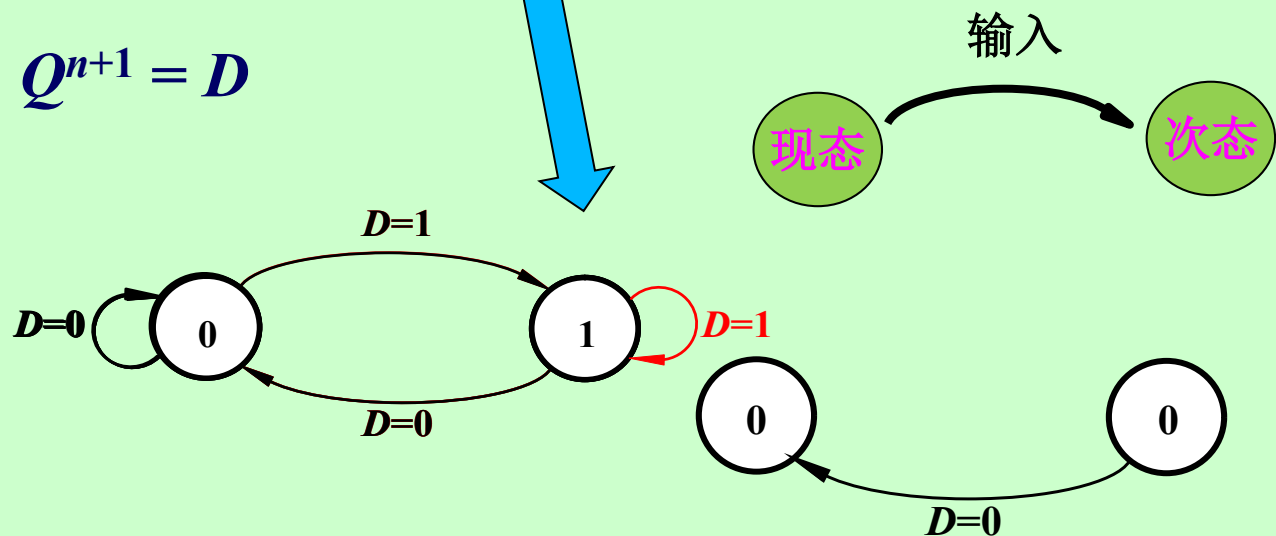


CP	D	Q^n	Q^{n+1}
	0	0	0
	0	1	0
	1	0	1
	1	1	1

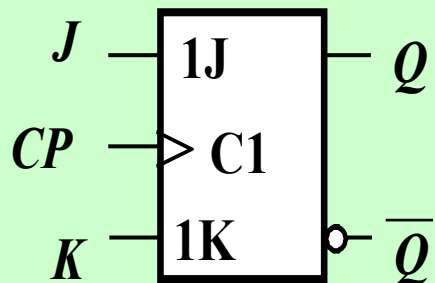
2. 特性方程

$$Q^{n+1} = D$$

3. 状态图



5.5.2 JK 触发器



1.特性表

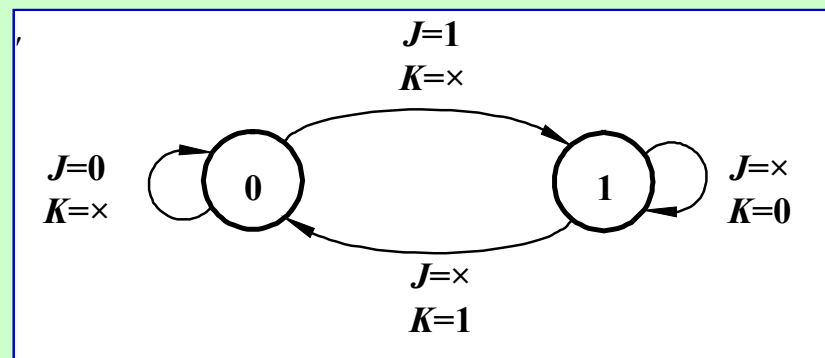
J	K	Q^n	Q^{n+1}	说 明
0	0	0	0	状态不变
0	0	1	1	
0	1	0	0	置 0
0	1	1	0	
1	0	0	1	置 1
1	0	1	1	
1	1	0	1	翻 转
1	1	1	0	

2.卡诺图和特性方程

$J \backslash KQ^n$	00	01	11	10
0	0	1	0	0
1	1	1	0	1

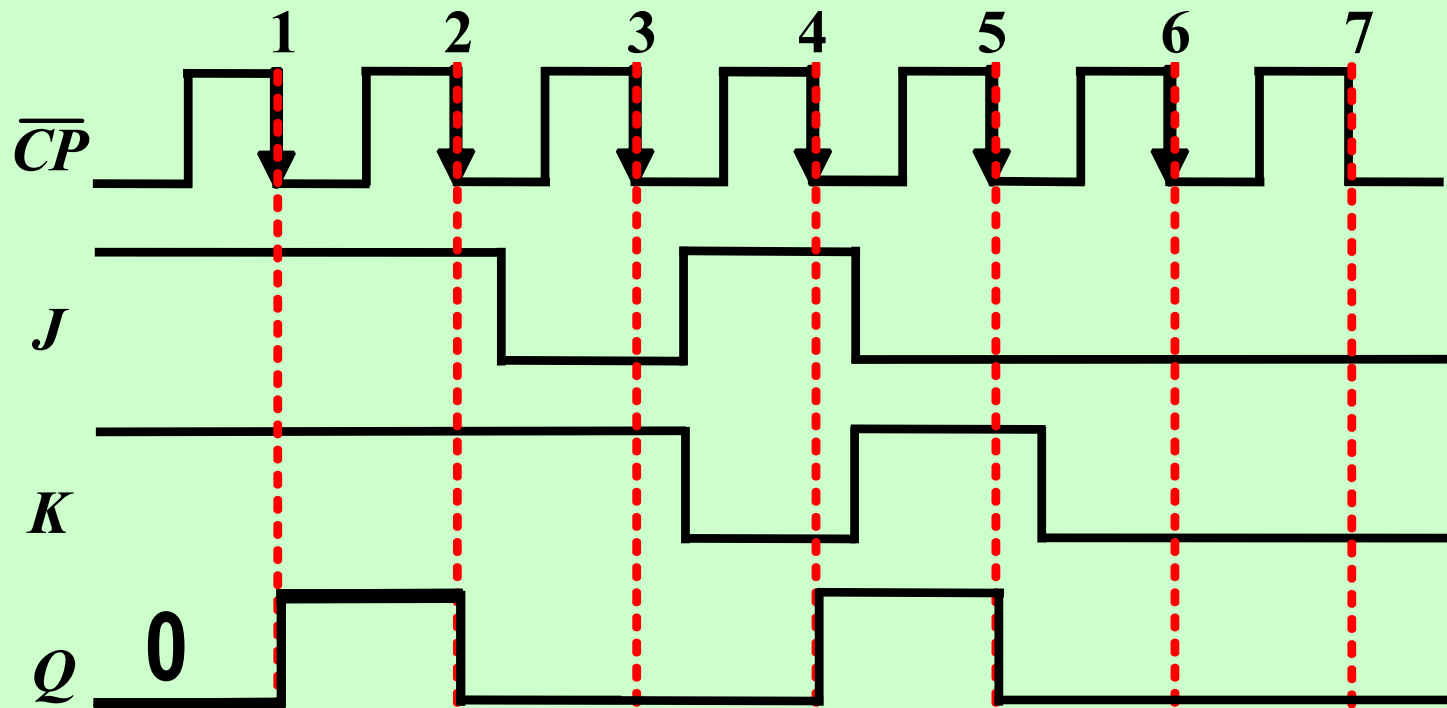
$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

3.状态转换图

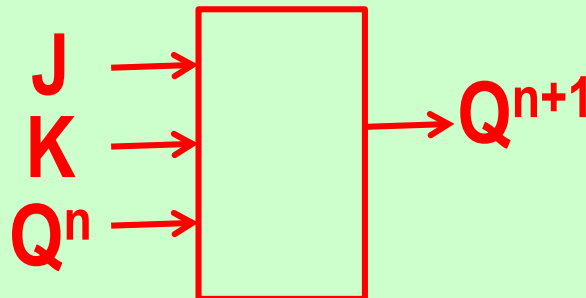


例5.4.1 设下降沿触发的JK触发器时钟脉冲和J、K信号的波形

如图所示试画出输出端Q的波形。设触发器的初始状态为0。



$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$



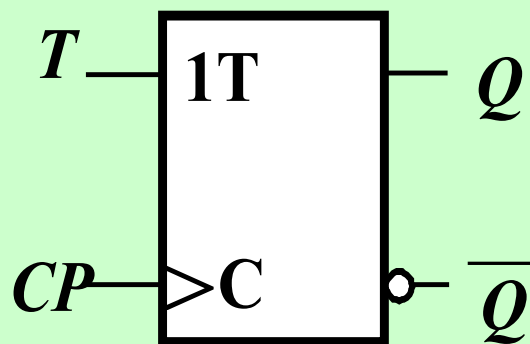
5.5.3 T触发器

将JK触发器中的J和K都连接到信号T上。就构成了T触发器。

特性方程

$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$$

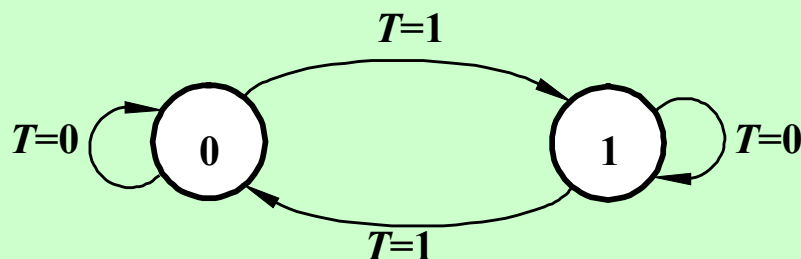
逻辑符号



特性表

T	Q^n	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

状态转换图



4. T'触发器

将T触发器的T引脚接信号1，构成T'触发器。

T触发器的特性方程

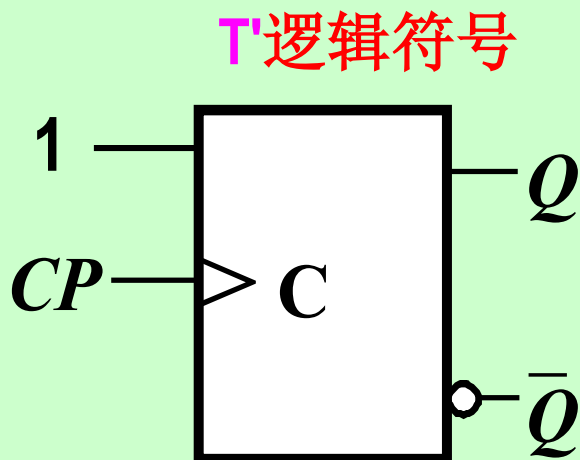
$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$$

令T=1

$$Q^{n+1} = \overline{Q}^n$$

T'特性方程

时钟脉冲每作用一次，触发器翻转一次。



5.5.4 SR 触发器

1. 特性表

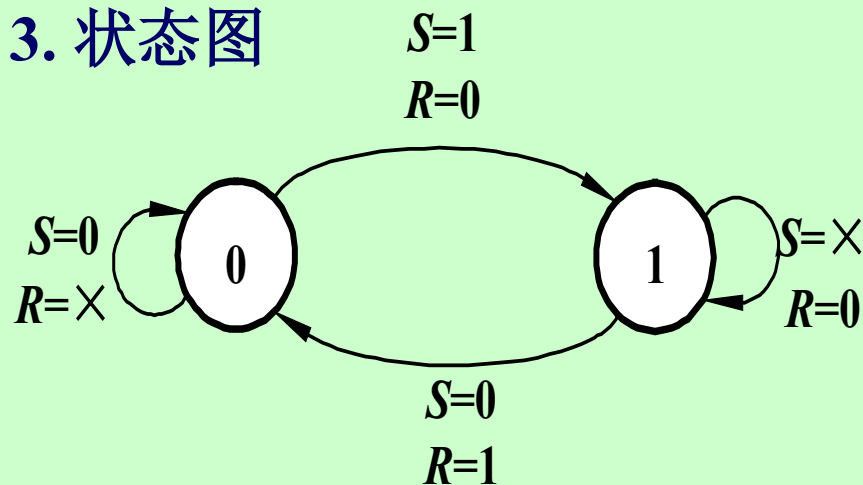
Q^n	S	R	Q^{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	不确定
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	不确定

SR		\overline{S}	S		
Q \		00	01	11	10
\overline{Q} 0		0	0	X	1
Q 1		1	0	X	1
		\overline{R}	R		\overline{R}

2. 特性方程

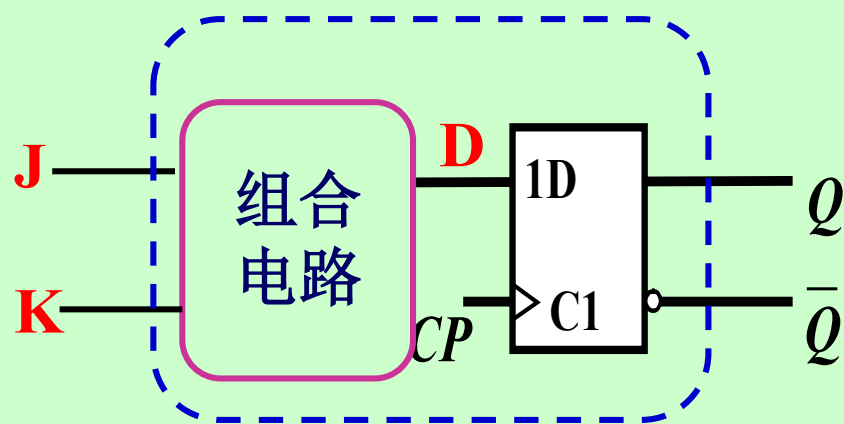
$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ SR=0 \text{ (约束条件)} \end{cases}$$

3. 状态图



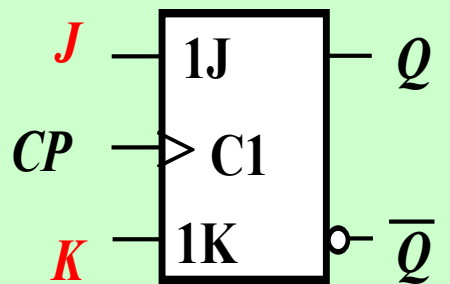
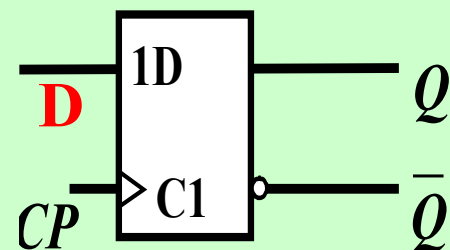
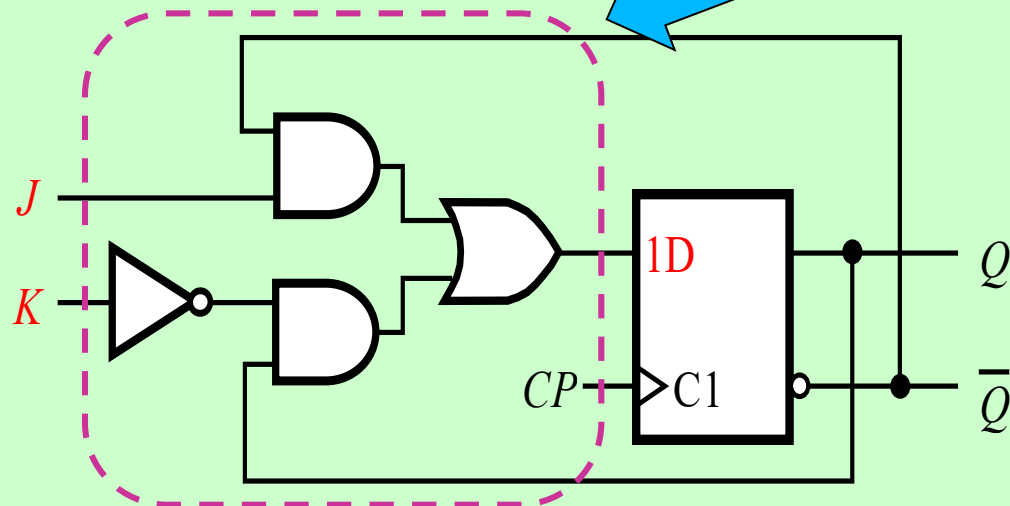
5.5.5 D触发器功能的转换

1. D 触发器加上与门、或门和非门构成 JK 触发器

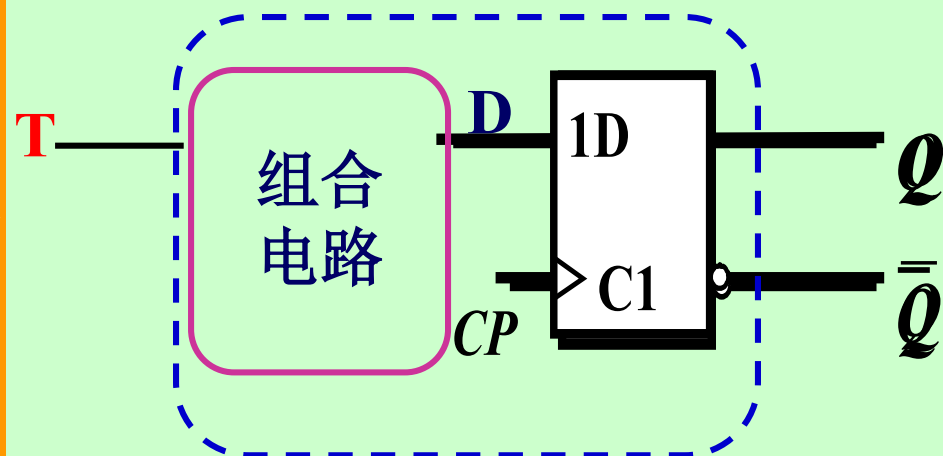


$$\begin{aligned} Q^{n+1} &= J\bar{Q}^n + \bar{K}Q^n \\ Q^{n+1} &= D \end{aligned}$$

$$D = J\bar{Q} + \bar{K}Q$$



2. D 触发器和异或门构成 T 触发器

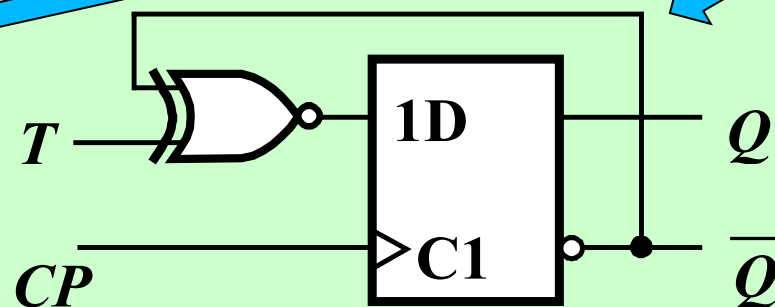
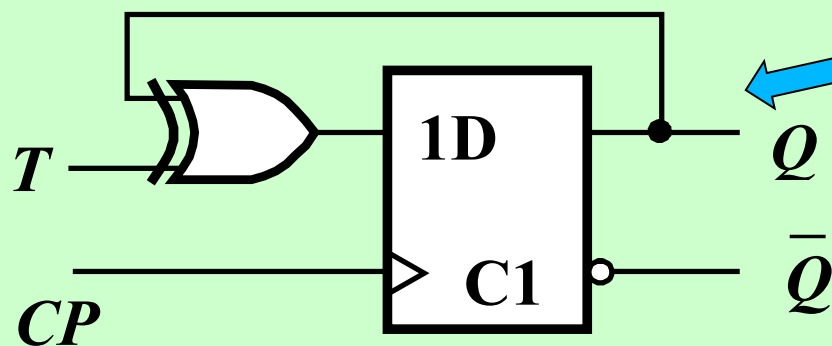


$$Q^{n+1} = D$$

$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$$

$$D = T\overline{Q} + \overline{T}Q = T \oplus Q$$

$$D = T\overline{Q} + \overline{T}Q = T \odot \overline{Q}$$

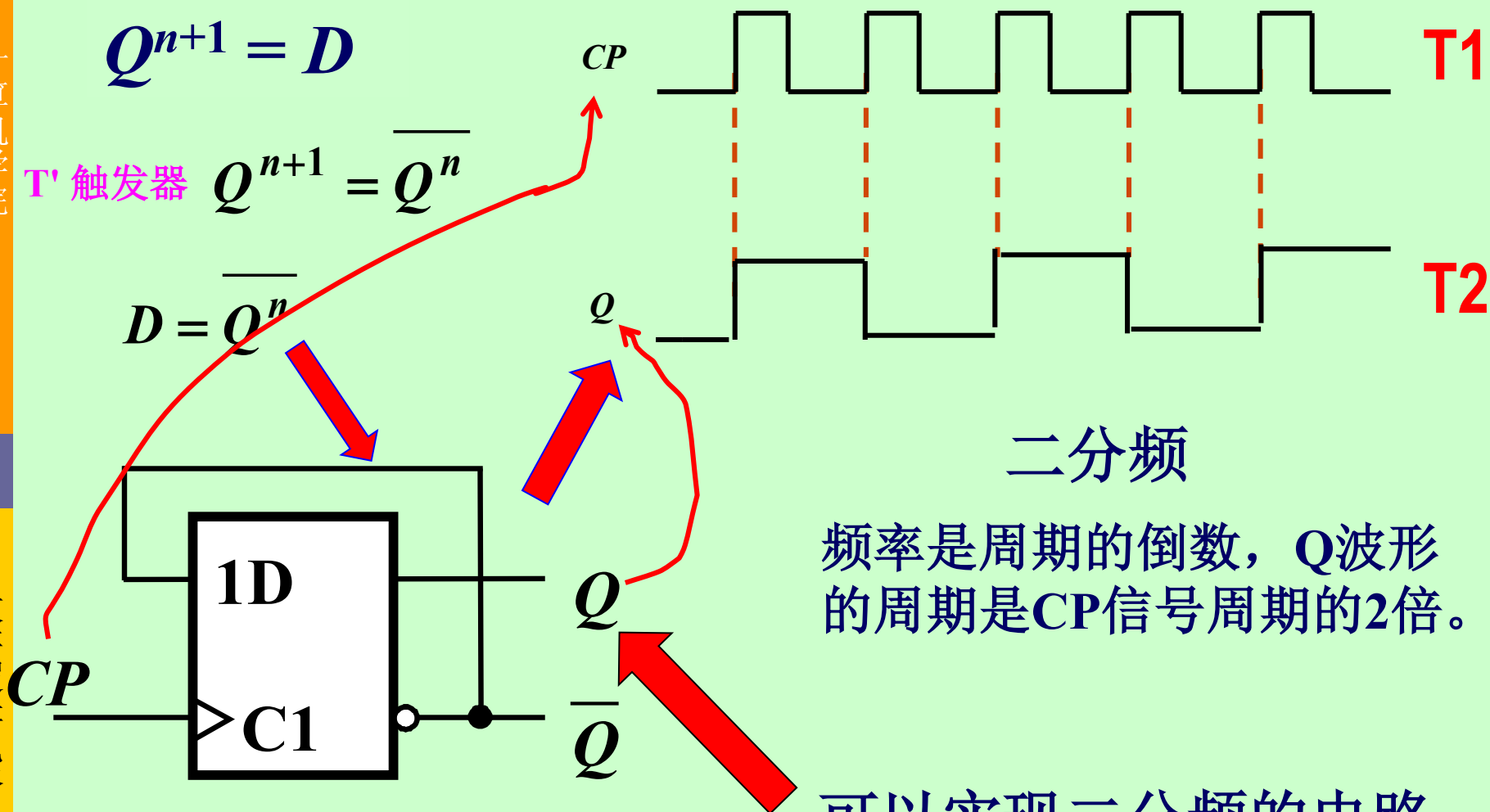


3. D 触发器构成 T' 触发器

$$Q^{n+1} = D$$

T' 触发器 $Q^{n+1} = \overline{Q^n}$

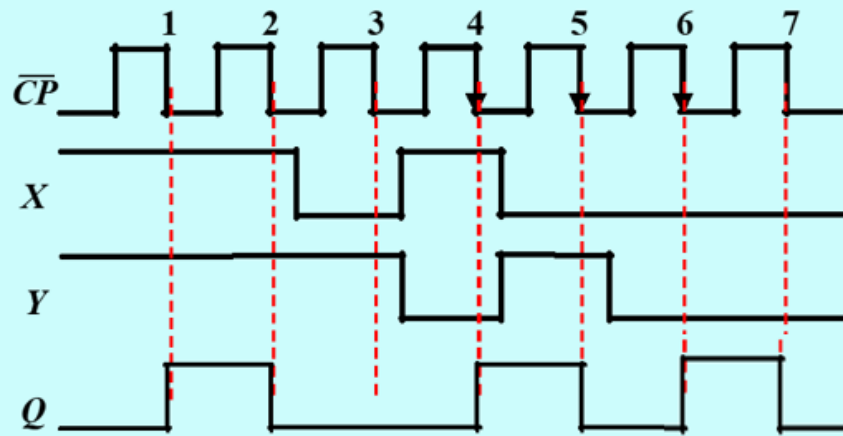
$$D = \overline{Q^n}$$



二分频

频率是周期的倒数，Q波形的周期是CP信号周期的2倍。

可以实现二分频的电路



例题：已知时钟CP和输入X、Y，输出Q的波形，请写出 Q^{n+1} 表达式

在时钟CP下降沿处，真值表如下：

X	Y	Q^n	Q^{n+1}
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	X
1	1	0	1
1	1	1	0

X \ Y Q^n	00	01	11	10
0	1	0	0	0
1	1	X	0	1

$$Q^{n+1} = X\overline{Q^n} + \overline{Y}\overline{Q^n}$$

第6章 时序逻辑电路

Sequential Logic Circuit

Outputs Depend Not Only on its Current Inputs, But also on the Past Sequence of Inputs.

(任一时刻的输出不仅取决与当时的输入，
还取决于过去的输入序列)

**Character of Circuit: Have Feedback Circuit,
Have Memory Device**

(电路特点：有反馈回路、有记忆元件)

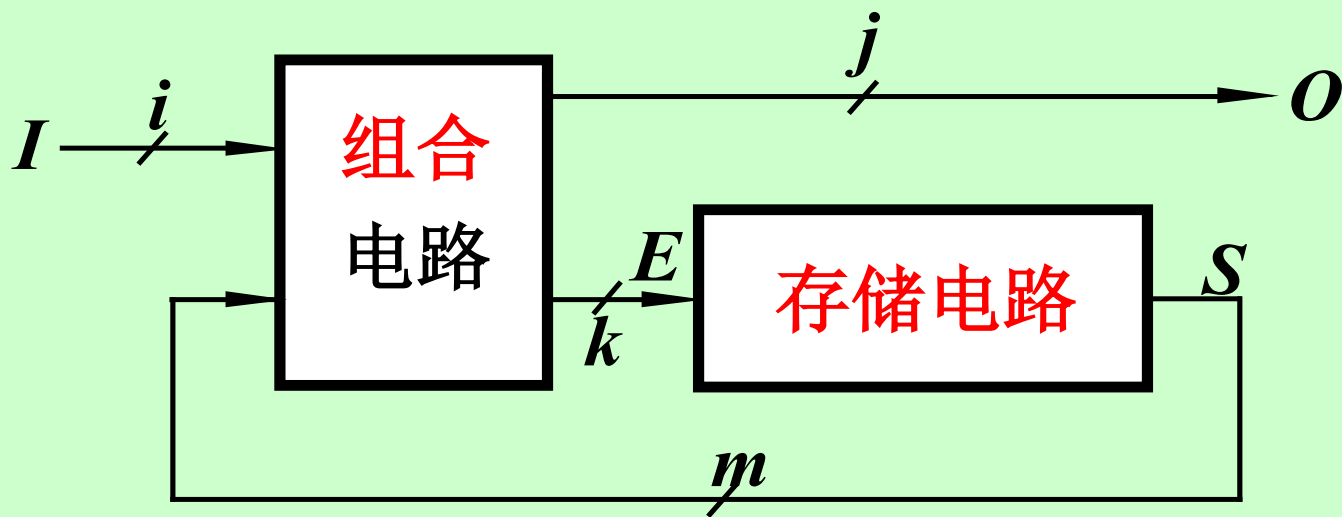
6. 时序逻辑电路

- 6.1 时序逻辑电路的基本概念
- 6.2 同步 时序逻辑电路的分析
- 6.3 同步 时序逻辑电路的设计
- 6.4 异步 时序逻辑电路的分析
- 6.5 若干典型的时序逻辑电路
- 6.6 简单的时序可编程逻辑器件GAL
- 6.7 用Verilog描述时序逻辑电路

6.1 时序逻辑电路的基本概念

6.1.1 时序逻辑电路的基本结构与分类

1. 时序电路的基本结构



结构特征:

- *电路由组合电路和存储电路组成。
- *电路存在反馈。

输出方程: $O = f_1(I, S)$

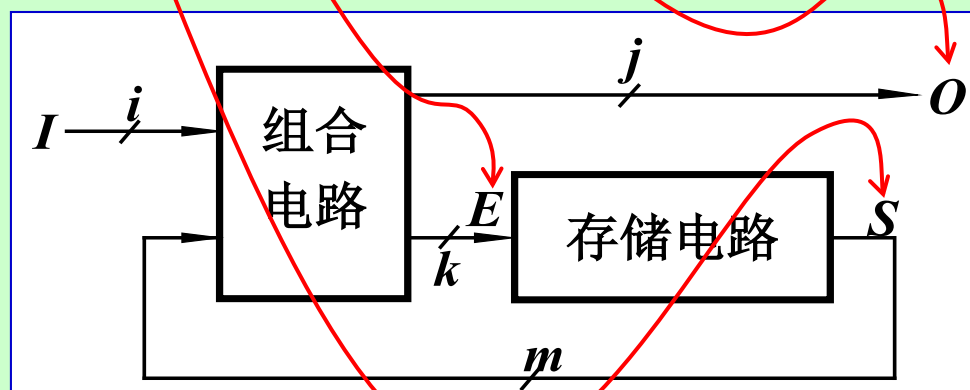
表达输出信号与输入信号、状态变量的关系式

激励方程: $E = f_2(I, S)$

表达了激励信号与输入信号、状态变量的关系式

状态方程: $S^{n+1} = f_3(E, S^n)$

表达存储电路从现态到次态的转换关系式

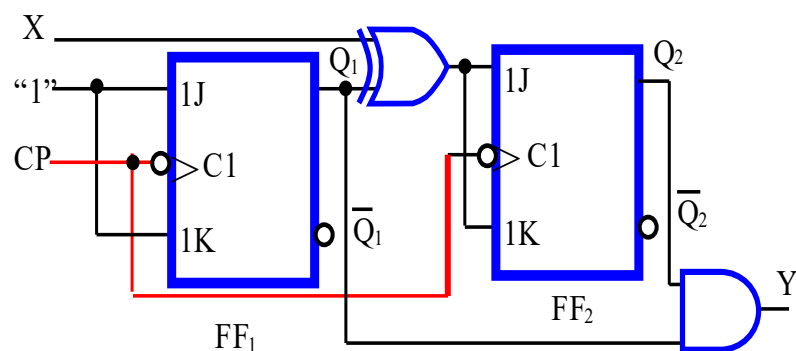


2、异步时序电路与同步时序电路

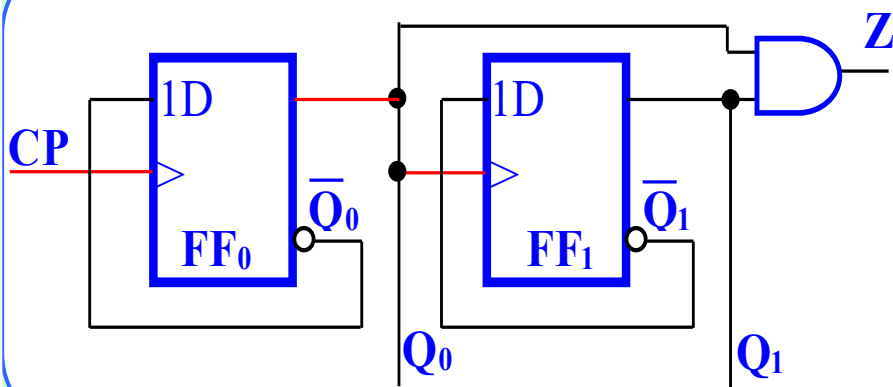
时序电路

同步：存储电路里所有触发器有一个**统一的时钟源**，它们的状态在同一时刻更新。

异步：**没有统一的时钟脉冲**或没有时钟脉冲，电路的状态更新不是同时发生的。



同步

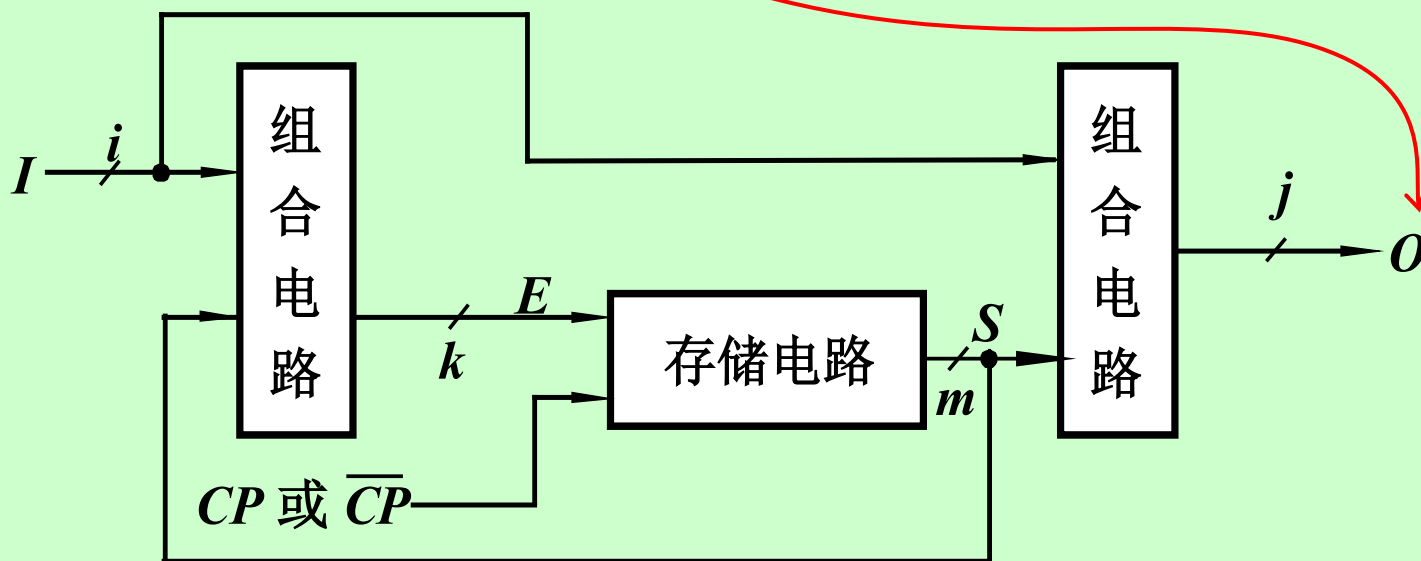


异步

3. 米利型和穆尔型时序电路

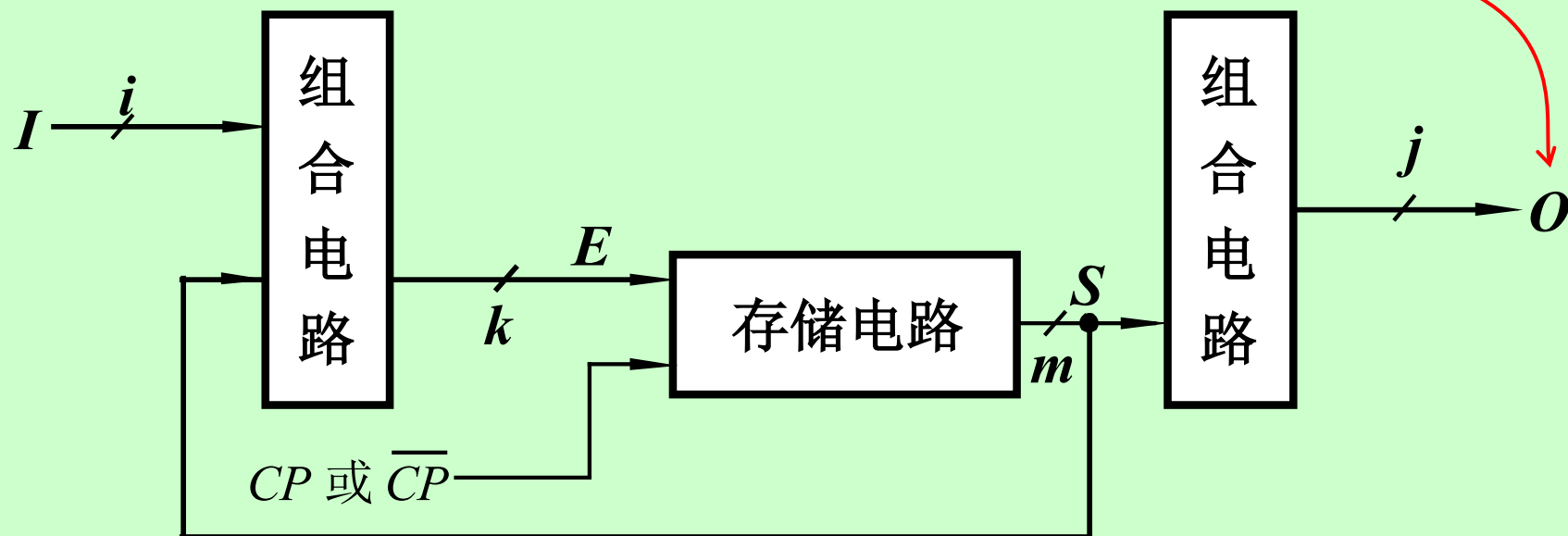
米利型电路

电路的输出是输入变量 A 及触发器输出 Q_1 、 Q_0 的函数，
这类时序电路亦称为米利型电路



穆尔型电路

电路输出仅仅取决于各触发器的状态，而不受电路当时的输入信号影响或没有输入变量，这类电路称为穆尔型电路。



6.2 时序逻辑电路的分析（先上6.2节）

6.2.1 分析同步时序逻辑电路的一般步骤

6.2.2 同步时序逻辑电路分析举例

6.2.1 分析同步时序逻辑电路的一般步骤:

1.了解电路的组成:

电路的输入、输出信号、触发器的类型等

2. 根据给定的时序电路图,写出下列各逻辑方程式:

(1) 输出方程;

(2) 各触发器的激励方程;

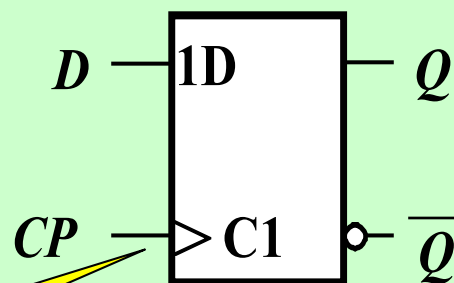
(3) 状态方程: 将每个触发器的驱动方程代入其特性方程得状态方程.

3.列出状态转换表或画出状态图和波形图;

4 .确定电路的逻辑功能.

记忆：常用的触发器

1. 维持阻塞触发器



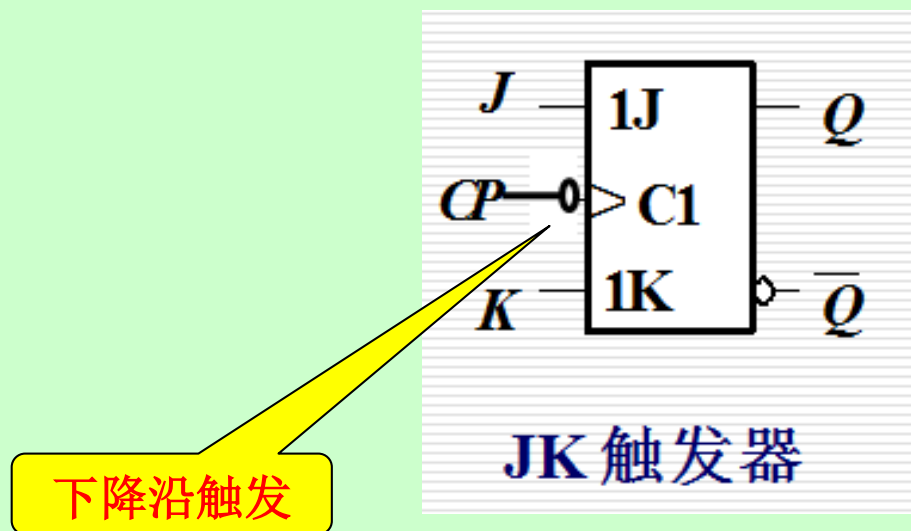
上升沿触发

D 触发器

在 CP 脉冲的上升沿到来瞬间
使触发器的状态（ Q 的值）才发生变化：

$$Q^{n+1} = D$$

2.下降沿触发的 JK 触发器

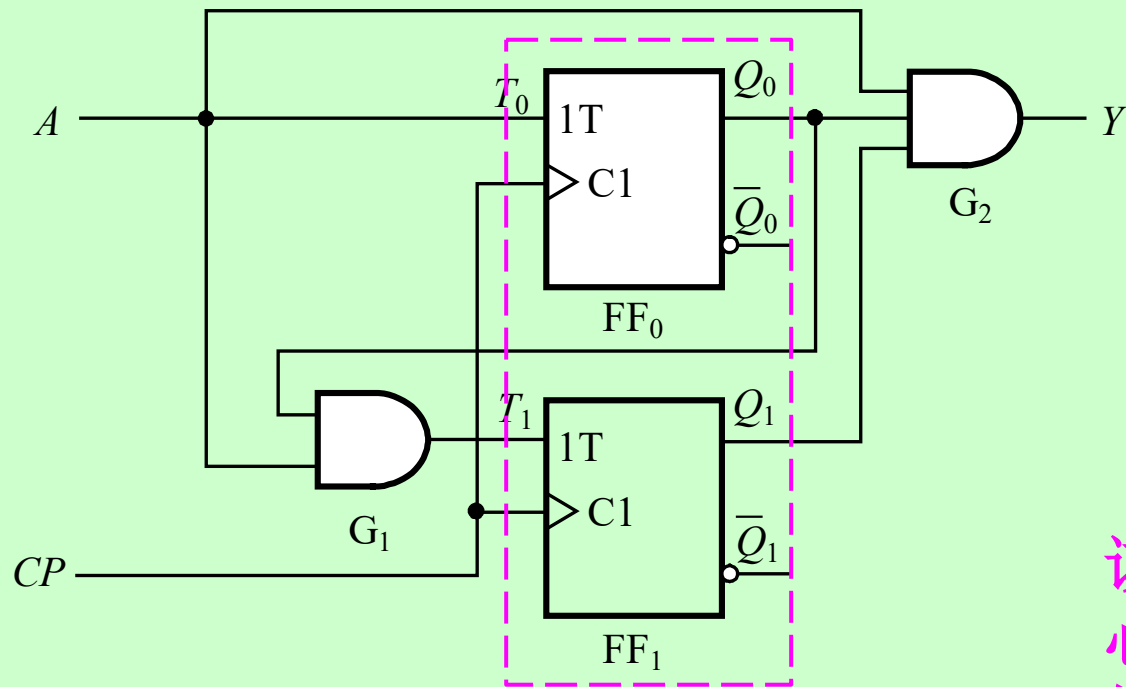


在CP脉冲的下降沿到来瞬间使触发器的状态（Q的值）才发生变化：

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

6.2.2 同步时序逻辑电路分析举例

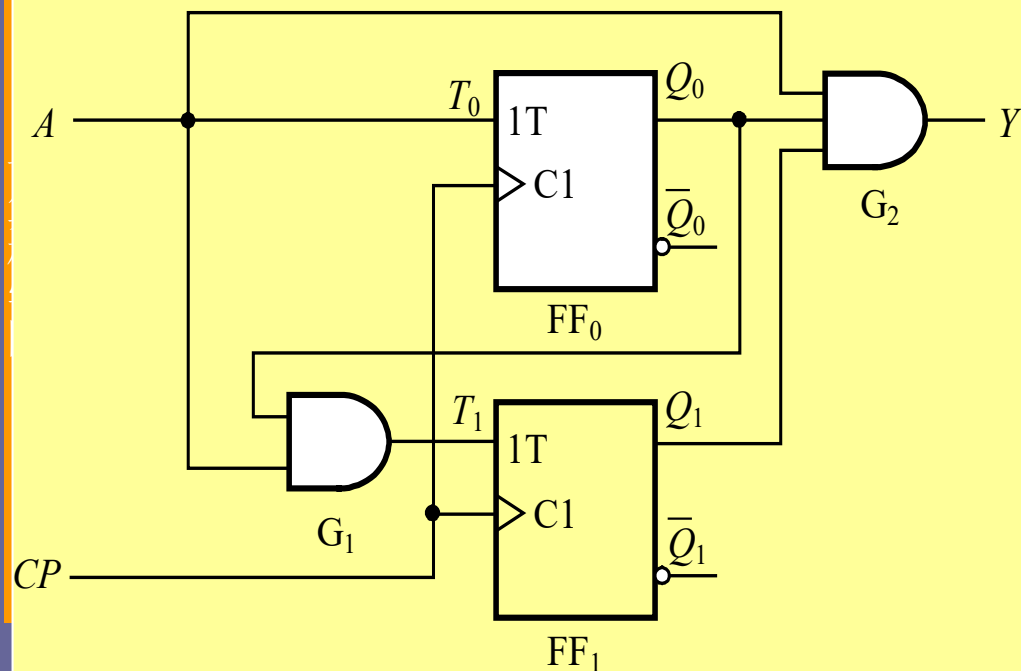
例1 试分析如图所示时序电路的逻辑功能。



该时序电路核心部分是两个T触发器。

解： (1) 了解电路组成。

电路是由两个**T 触发器**组成的同步时序电路。



(2) 根据电路列出三个方程组

输出方程组:

$$Y = AQ_1Q_0$$

激励方程组:

$$T_0 = A$$

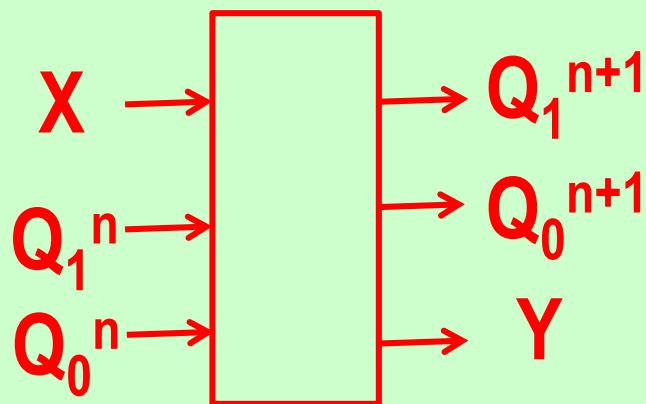
$$T_1 = AQ_0$$

将激励方程组代入T触发器的特性方程得状态方程组

$$Q^{n+1} = T \oplus Q^n = T\overline{Q}^n + \overline{T}Q^n$$

$$Q_0^{n+1} = A \oplus Q_0^n$$

$$Q_1^{n+1} = (AQ_0^n) \oplus Q_1^n$$



(3) 根据状态方程组和输出方程列出状态表

$$Q_0^{n+1} = A \oplus Q_0^n$$

$$Y = A Q_1 Q_0$$

$$Q_1^{n+1} = (A Q_0^n) \oplus Q_1^n$$

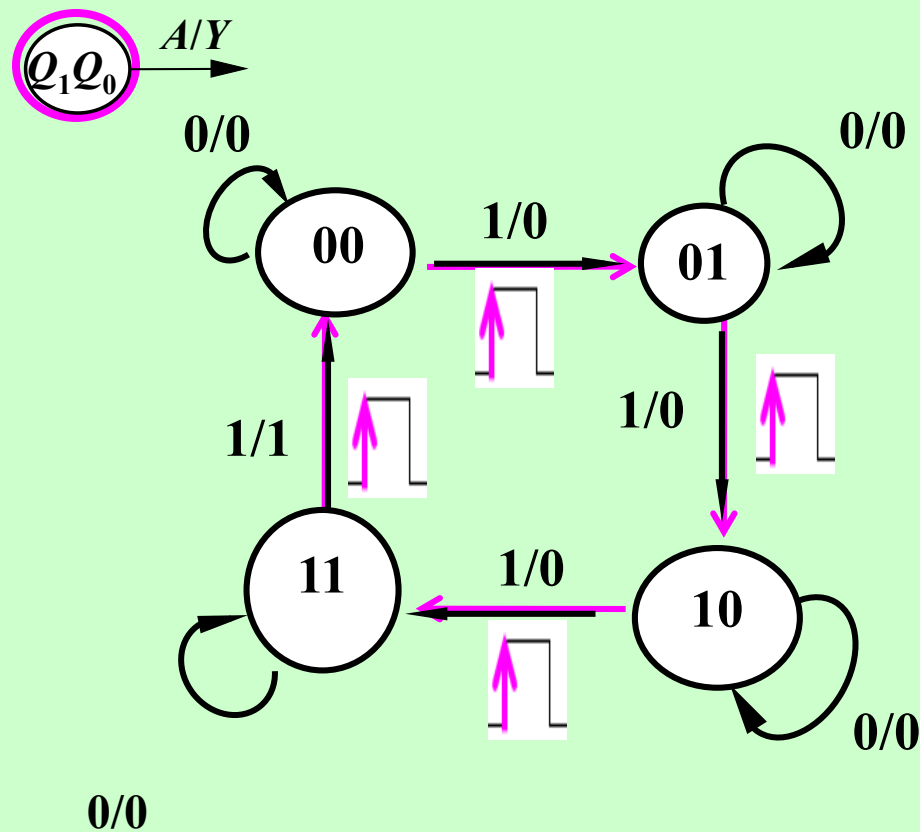
状态转换真值表

Q_1^n	Q_0^n	A	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	1	0
0	1	1	1	0	0
1	0	0	1	0	0
1	0	1	1	1	0
1	1	0	1	1	0
1	1	1	0	0	1

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$A=0$	$A=1$
0 0	0 0 / 0	0 1 / 0
0 1	0 1 / 0	1 0 / 0
1 0	1 0 / 0	1 1 / 0
1 1	1 1 / 0	0 0 / 1

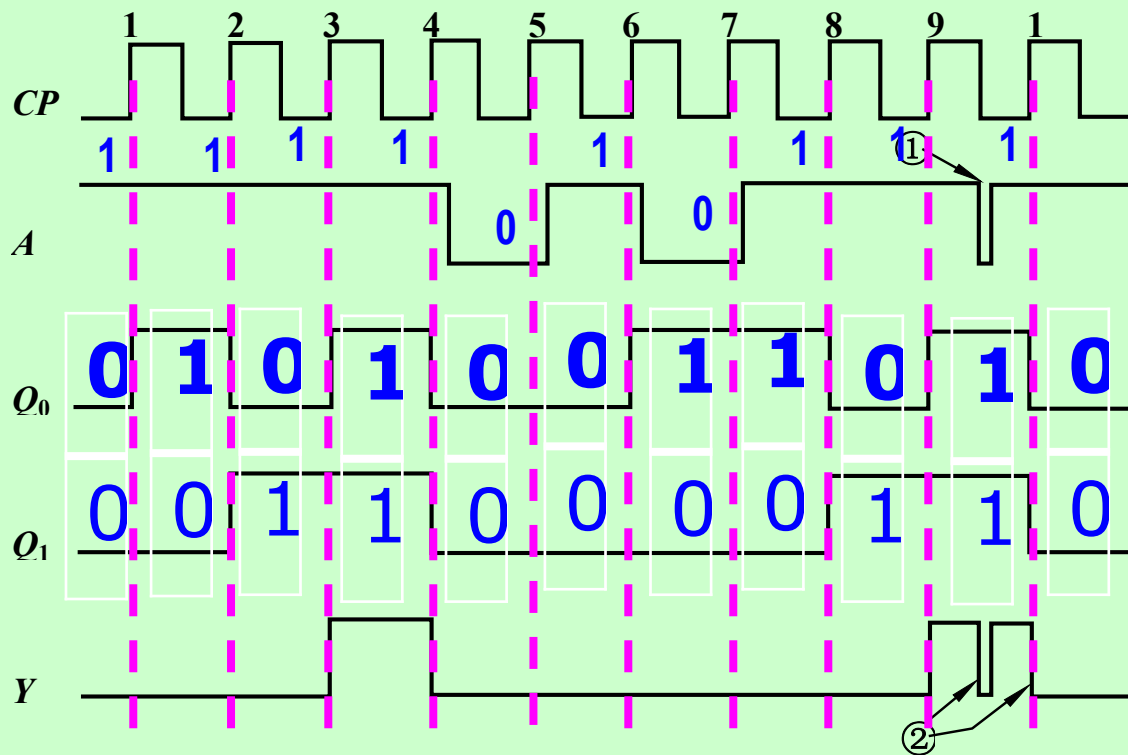
(4) 画出状态图,找出闭合回路

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$A=0$	$A=1$
0 0	0 0 / 0	0 1 / 0
0 1	0 1 / 0	1 0 / 0
1 0	1 0 / 0	1 1 / 0
1 1	1 1 / 0	0 0 / 1



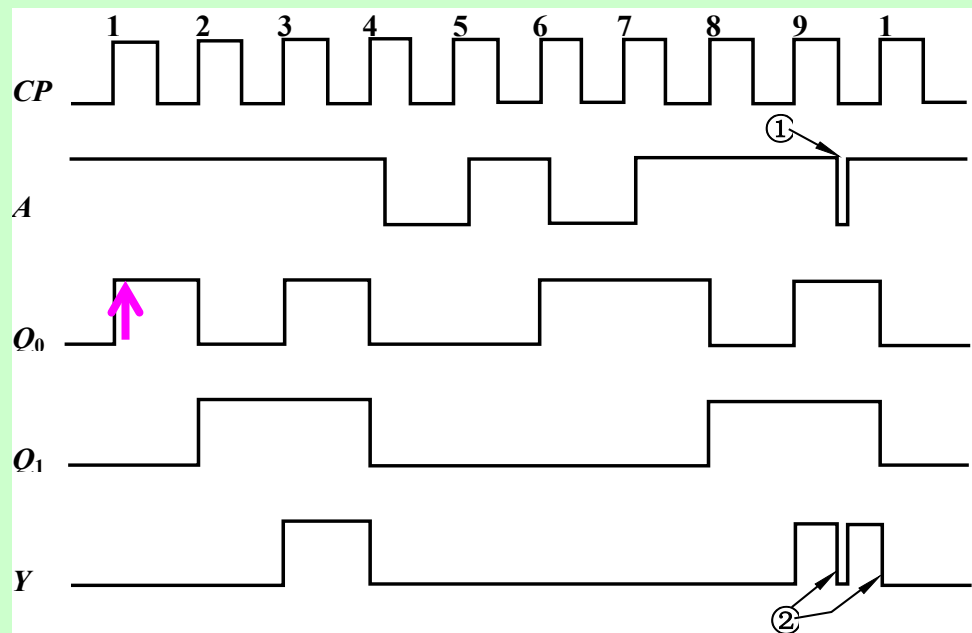
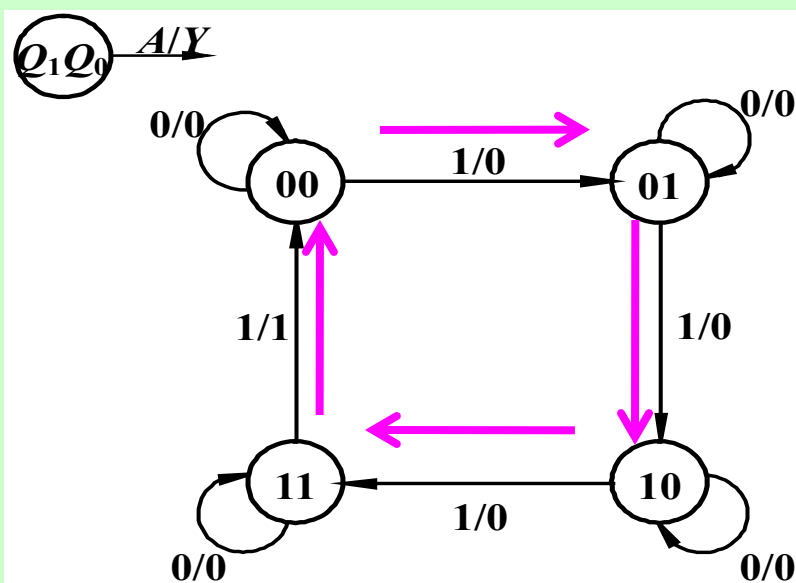
(5) 画出时序图

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$A=0$	$A=1$
0 0	0 0 / 0	0 1 / 0
0 1	0 1 / 0	1 0 / 0
1 0	1 0 / 0	1 1 / 0
1 1	1 1 / 0	0 0 / 1



(6) 逻辑功能分析

观察状态图和时序图可知，电路是一个由信号 A 控制的可控二进制计数器。当 $A=0$ 时停止计数，电路状态保持不变；当 $A=1$ 时，在 CP 上升沿到来后电路状态值加1，一旦计数到11状态， Y 输出1，且电路状态将在下一个 CP 上升沿回到00。输出信号 Y 的下降沿可用于触发进位操作，模4加一计数器。



例2 试分析如图所示时序电路的逻辑功能。

解： 1. 了解电路组成。

电路是由两个JK触发器组成的莫尔型同步时序电路。

2. 写出下列各逻辑方程式：

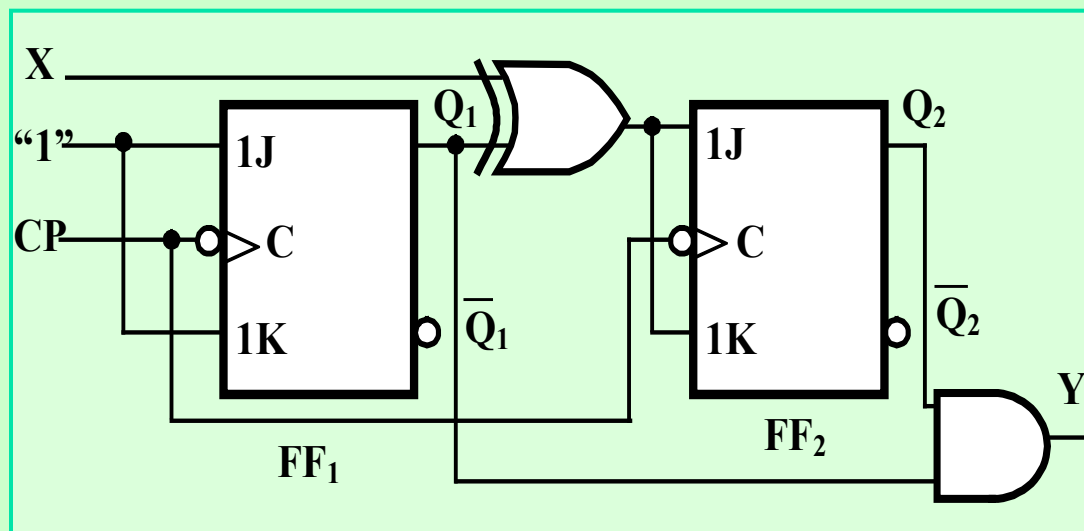
激励方程

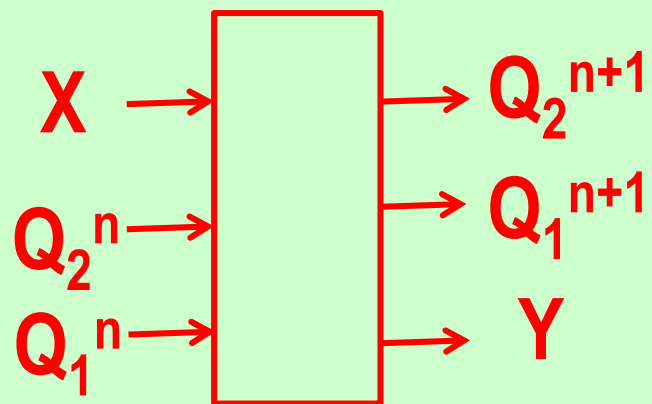
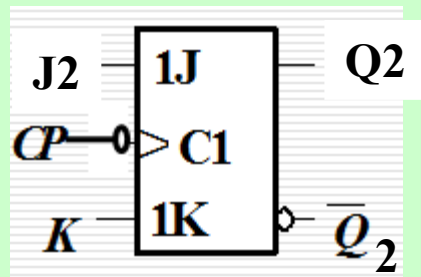
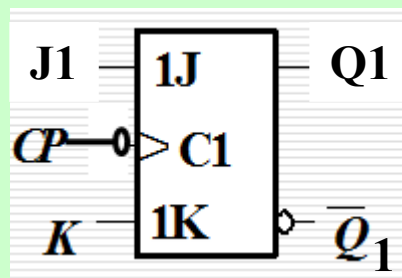
$$J_1 = K_1 = 1$$

$$J_2 = K_2 = X \oplus Q_1$$

输出方程

$$Y = Q_2 Q_1$$





状态转换真值表

Q_2^n	Q_1^n	X	Q_2^{n+1}	Q_1^{n+1}	Y
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

将激励方程代入JK触发器的特性方程得状态方程

$$\text{FF}_1 \quad J_1=K_1=1$$



$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$



$$Q_1^{n+1} = 1 \cdot \overline{Q_1^n} + \overline{1} \cdot Q_1^n = \overline{Q_1^n}$$

$$\text{FF}_2 \quad J_2=K_2=X \oplus Q_1$$



$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$



$$Q_2^{n+1} = X \oplus Q_1^n \cdot \overline{Q_2^n} + \overline{X \oplus Q_1^n} \cdot Q_2^n$$

整理得:

$$Q_2^{n+1} = X \oplus Q_1^n \oplus Q_2^n$$

3.列出其状态转换表，画出状态转换图和波形图

$$Q_1^{n+1} = \overline{Q_1^n}$$

$$Q_2^{n+1} = X \oplus Q_1^n \oplus Q_2^n$$

$$Y = Q_2 Q_1$$

状态转换表

$Q_2^n Q_1^n$	$Q_2^{n+1} Q_1^{n+1} / Y$	
	$X=0$	$X=1$
0 0	0 1 / 0	1 1 / 0
0 1	1 0 / 0	0 0 / 0
1 0	1 1 / 0	0 1 / 0
1 1	0 0 / 1	1 0 / 1

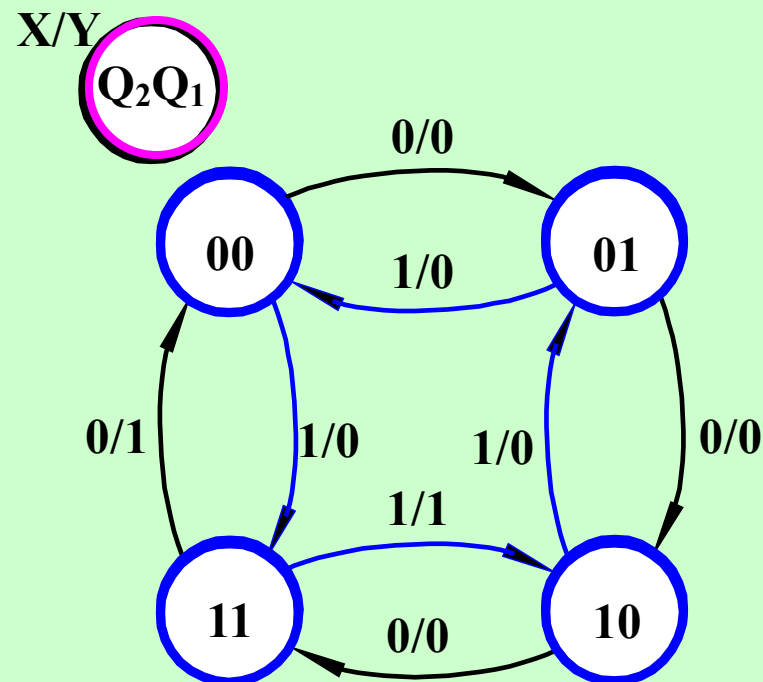
状态转换真值表

Q_2^n	Q_1^n	X	Q_2^{n+1}	Q_1^{n+1}	Y
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

画出状态图

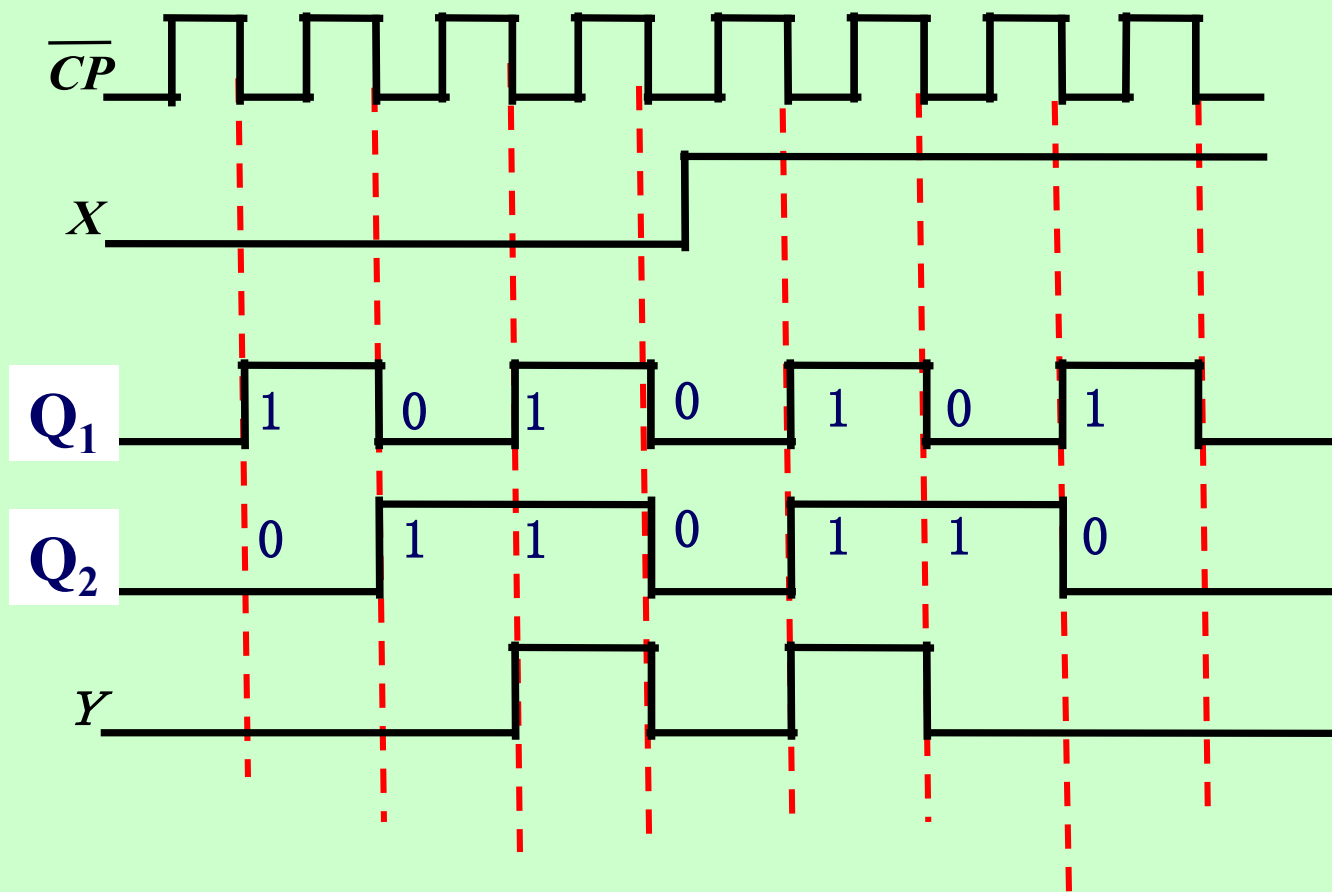
$Q_2^n Q_1^n$	$Q_2^{n+1} Q_1^{n+1} / Y$	
	X=0	X=1
0 0	0 1 / 0	1 1 / 0
0 1	1 0 / 0	0 0 / 0
1 0	1 1 / 0	0 1 / 0
1 1	0 0 / 1	1 0 / 1

状态图



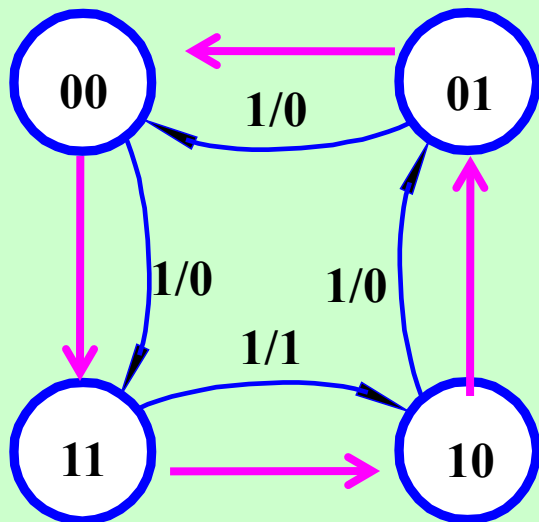
根据状态转换表，画出波形图。

$Q_2^n Q_1^n$	$Q_2^{n+1} Q_1^{n+1}$		Y
	$X=0$	$X=1$	
00	01	11	0
01	10	00	0
10	11	01	0
11	00	10	1

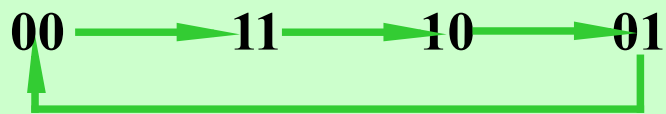


状态转换图

•X=1时

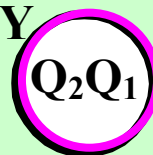


•X=1时

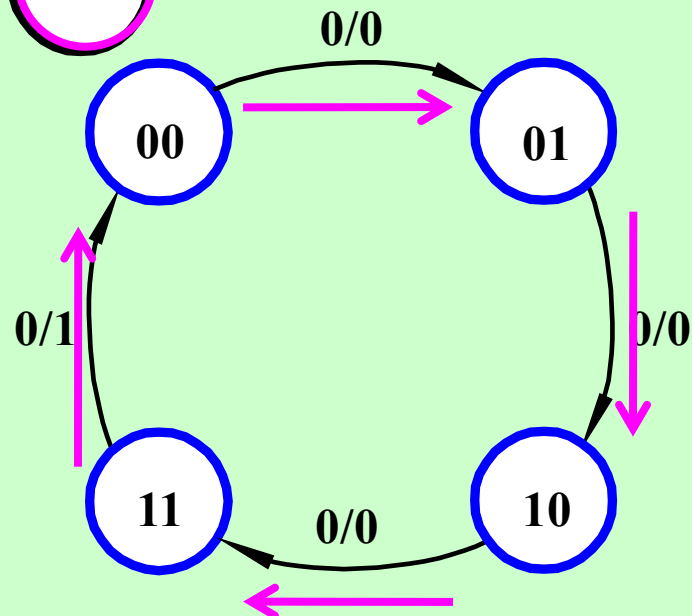


电路进行减1计数。

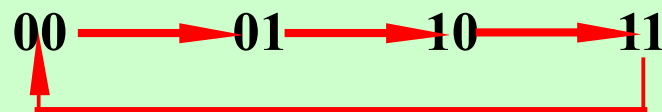
X/Y



•X=0时



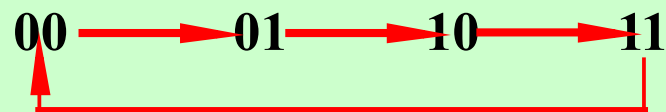
•X=0时



电路进行加1计数

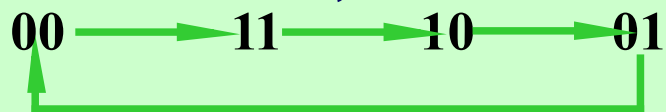
4. 确定电路的逻辑功能.

•X=0时



电路进行加1计数

•X=1时



电路进行减1计数。

电路功能：模4可逆计数器

Y可理解为进位或借位端。

X/Y

