

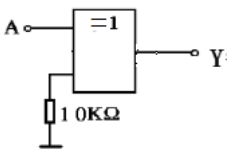
合 肥 工 业 大 学 试 卷 (A、B) (共 页 第 页)

2017 ~2018 学年第 二 学期 课程代码 0400142B 课程名称 数字电子技术 学分 3.5 课程性质：必修□、选修□、限修□ 考试形式：开卷□ 闭卷□

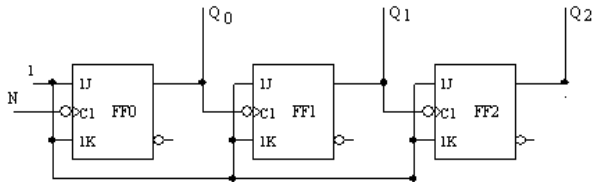
专业班级 姓名 学号 考试日期 2018.6.3 命题教师 电子技术教研组 系/教研室主任审批签名

一、填空（每空 2 分，共 30 分）

1. 有一数码 10010101，作为自然二进制数时，它相当于十进制数_____，作为 8421BCD 码时，它相当于十进制数_____。
2. 如图所示电路是 74 系列 TTL 门电路，输出 Y=_____状态。



3. OC 门的输出端可并联使用，实现_____功能；三态门并联使用可用来实现_____。
4. 欲对全班 48 个学生以二进制代码编码表示，最少需要二进制码的位数是_____。
5. 74LS138 是 3 线—8 线译码器正常工作，若输入为 $A_2A_1A_0=101$ 时，输出 $\overline{Y_7Y_6Y_5Y_4Y_3Y_2Y_1Y_0}$ 应为_____。
6. 下图电路是_____位二进制计数器；若作分频器用，并假设计数脉冲的频率 $f_N=128\text{KHz}$ ，则 $f_{Q2}=$ _____KHz 。



7. 将一个包含有 8192 个基本存储单元的存储电路设计成 8 位为一个字节的 ROM，则该 ROM 有_____根地址线，有_____根数据读出线。
8. 某 8 位 D/A 转换器当输入全为 1 时，输出电压为 7.68V，当输入 $D=(00000010)_2$ 时，输出电压为_____，此 DAC 的分辨率是_____。
9. A/D 转换过程的步骤为采样、保持、_____和编码四个过程；采样定理说明为了保证能从取样信号将原来的被取样信号恢复，必须满足_____。

题号	一	二	三	四	五	六	七	八	总分
分数									
签名									

二、选择填空题（共 10 分）

1. 一只四输入端与非门，使其输出为 1 的输入变量取值组合有_____种。
A. 15 B. 8 C. 4 D. 1
2. 将 TTL 或非门作非门使用，则多余输入端应做_____处理。
A. 全部接高电平 B. 部分接高电平，部分接地
C. 全部接地 D. 部分接地，部分悬空
3. 某集成电路芯片，查手册知其最大输出低电平 $U_{OLmax}=0.5\text{V}$ ，最大输入低电平 $U_{ILmax}=0.8\text{V}$ ，最小输出高电平 $U_{OHmin}=2.7\text{V}$ ，最小输入高电平 $U_{IHmin}=2.0\text{V}$ ，则其低电平噪声容限 $U_{NL}=(\quad)$ 。
A. 0.3V B. 0.6V C. 0.7V D. 1.2V
4. 一个 4 位移位寄存器，现态为 0111，经右移 1 位后其次态为()
A. 1011 或 1110 B. 1101 或 1110
C. 0011 或 1011 D. 0011 或 1111
5. 信息可随时写入或读出，断电后信息立即全部消失的存储器是()。
A. 固定 ROM B. RAM C. PROM D. EPROM

合 肥 工 业 大 学 试 卷 (A、B) (共 页 第 页)

2017 ~2018 学年第 二 学期 课程代码 0400142B 课程名称 数字电子技术 学分 3.5 课程性质: 必修□、选修□、限修□ 考试形式: 开卷□ 闭卷□

专业班级 姓名 学号 考试日期 2018.6.3 命题教师 电子技术教研组 系/教研室主任审批签名

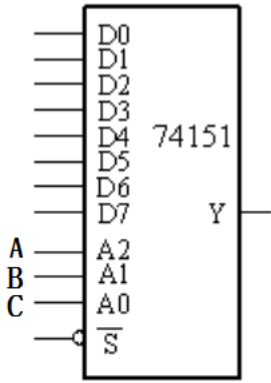
三、将下列逻辑函数化为最简与或形式 (共 8 分)

1. $Y_1 = AC + \overline{A}\overline{B} + \overline{B} + \overline{C}$

2. $Y_2 = \overline{A + C + D} + \overline{A} \cdot \overline{B} \overline{C} \overline{D} + \overline{A} \overline{B} \cdot \overline{C} \overline{D}$

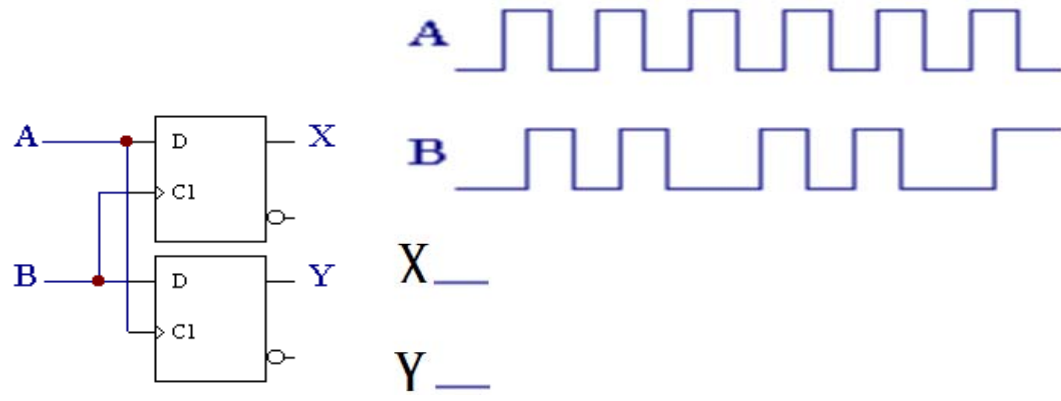
约束条件: $AB + AC = 0$

四、设计组合逻辑电路。用八选一数据选择器 74LS151 和反相器设计四变量的多数表决电路。当输入变量 A、B、C、D 有 3 个或 3 个以上为 1 时输出 F 为 1，输入为其它状态时输出为 0。(1) 列出真值表；(2) 写出 F 的逻辑函数式，画出逻辑电路图；(本题共 12 分)

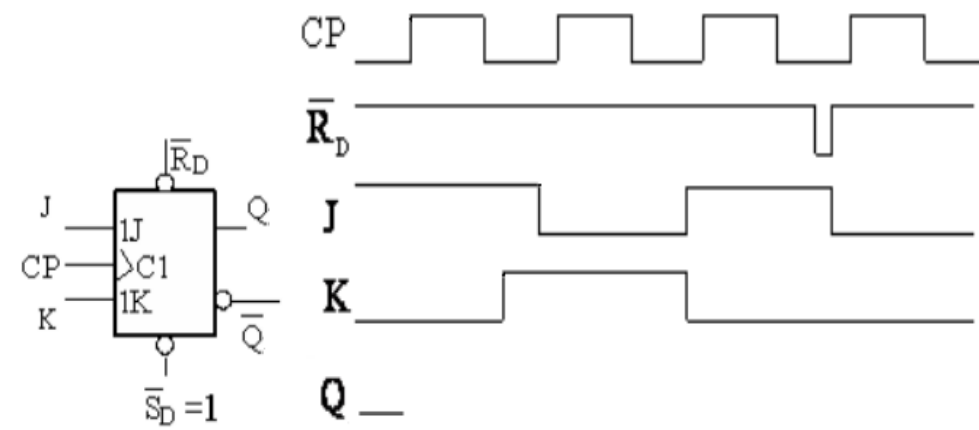


五、触发器画波形 (共 8 分)

1. 设图题中的各触发器的初态均为 0，试画出对应 A、B 的 X、Y 的波形。



2. 设 JK 触发器初态为 0，画出在 CP、J、K、 \overline{R}_D 作用下，Q 的输出波形。

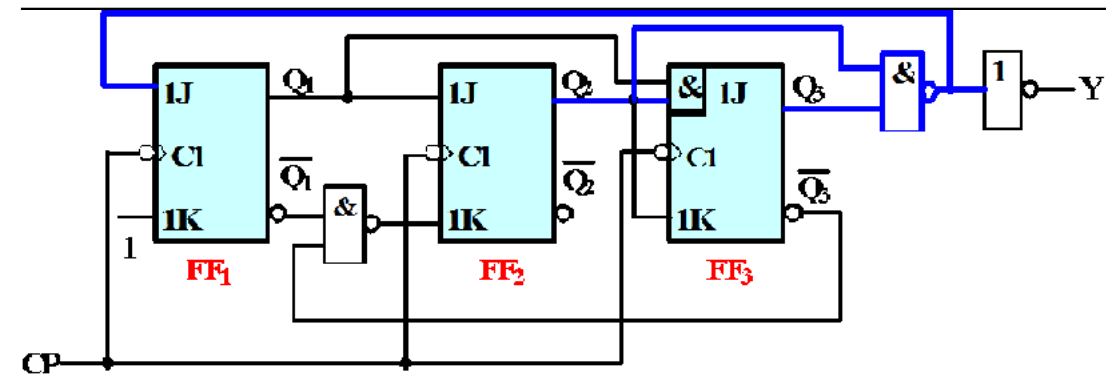


六、分析如图所示同步时序电路。(1) 写出电路的驱动方程，状态方程和输出方程；(2) 画出状态转换图；(3) 说明电路的功能，并判断电路能否自启动。(本题共 14 分)

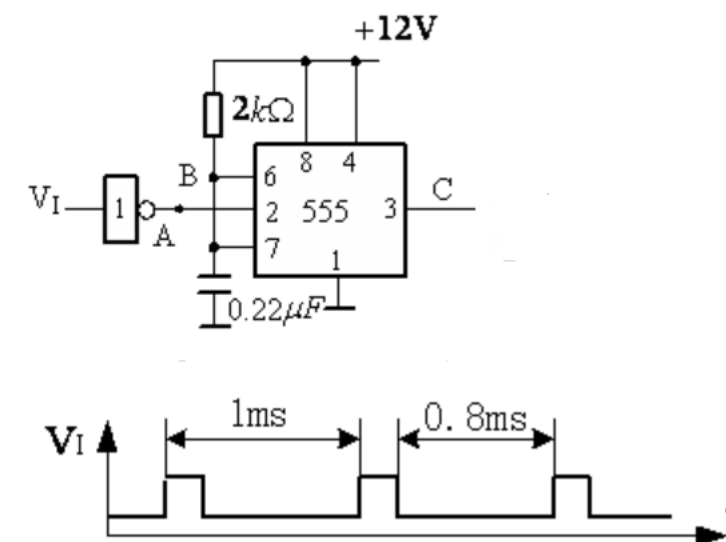
合 肥 工 业 大 学 试 卷 (A、B) (共 页 第 页)

2017 ~2018 学年第 二 学期 课程代码 0400142B 课程名称 数字电子技术 学分 3.5 课程性质: 必修 ☐、选修 ☐、限修 ☐ 考试形式: 开卷 ☐ 闭卷 ☐

专业班级_____ 姓名_____ 学号_____ 考试日期 2018.6.3 命题教师 电子技术教研组 系/教研室主任审批签名_____



八、集成定时器 555 的电路如图所示，已知 V_I 的周期是 1ms 。要求对应 V_I ，画出电路中 A、B、C、各点的波形。（1）说明构成电路的名称；（2）已知输入信号波形 V_I ，要求对应画出电路中 V_A 、 V_B 、 V_C 的波形（标注 V_C 的波形的时间）。 （本题共 10 分）



七、图示四位十进制加法同步计数器 74LS160, 利用清零端和 74LS00 门电路构成 M=7 (七进制计数器), 要求画出状态转换图和逻辑电路图。 (本题 8 分)

