

数 字 逻 辑

Digital Logic Circuit

丁 贤 庆

ahhfdxq@163.com

Home work (P139)

1、本周三晚上**6:30-8:00**在新安学堂**105**教师休息室，安排答疑。可以回答作业或者课本等疑难问题。

2、本次课作业：

3.2.6

3.2.8

3.2.10

3.3.7

3、学堂在线，免费注册和学习。前三章的内容可以多看看。

https://www.xuetangx.com/course/hfut08091005182/12426819?channel=i.area.manual_search

第3章 逻辑门电路

Logic Gate

第2章重要介绍各种门的逻辑结构。

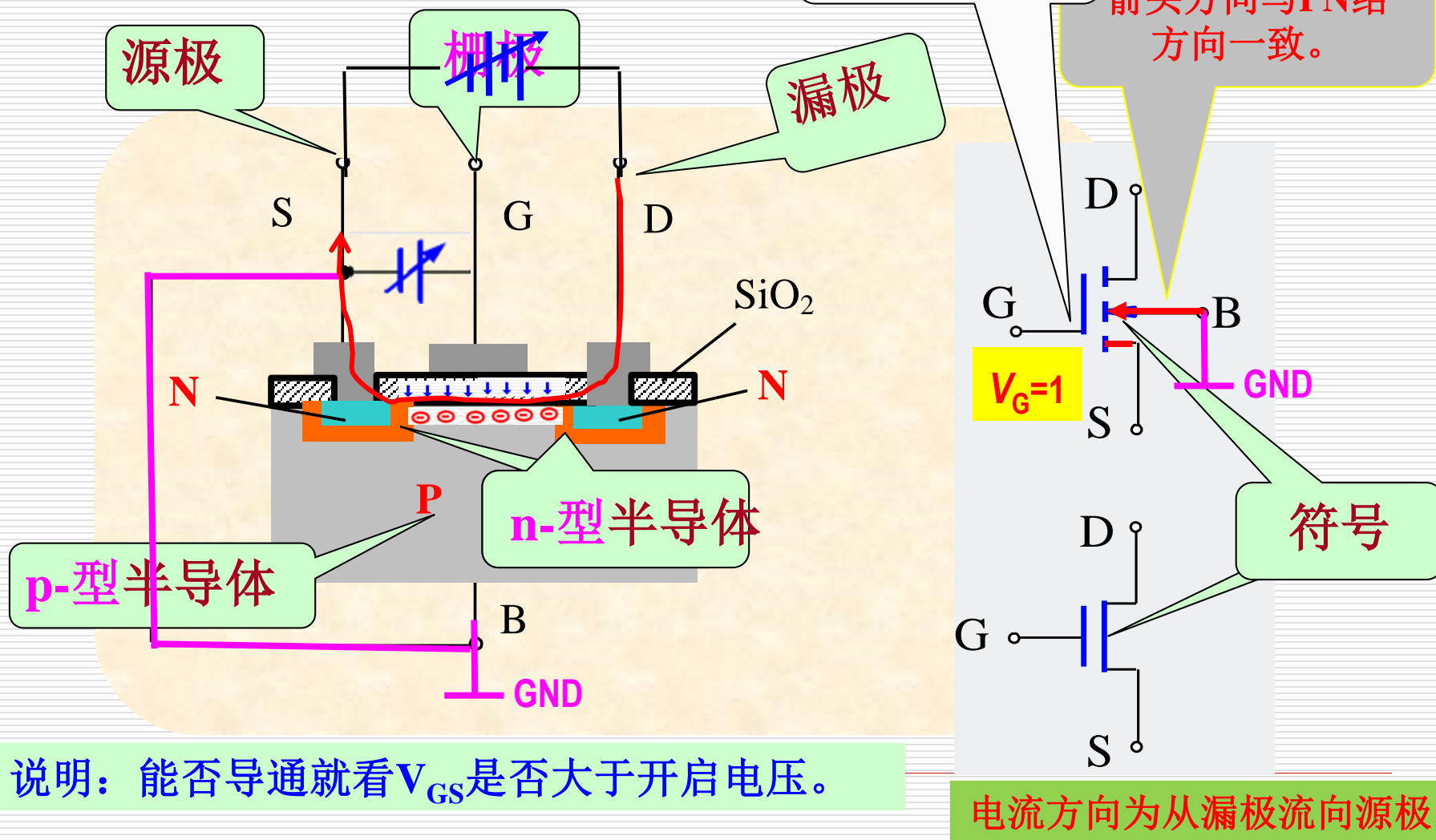
第3章主要介绍各种门内部的具体结构，
主要介绍mos管构成的门和三极管构成的
门的具体内部结构。

知识点回顾

1. N沟道增强型MOS管

栅极shān jí

□开启电压 V_{GS} 为正值, $V_G=1$



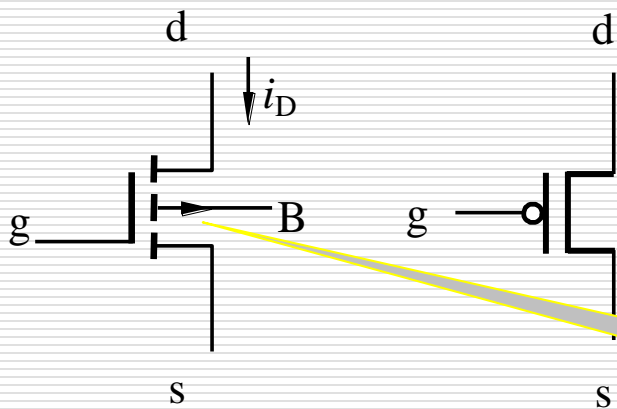
3. 其他类型的MOS管（注意：在我们的课本中都是源极与衬底相连接的，特此说明。）

(1) P沟道增强型MOS管

□ 结构与NMOS管相反。

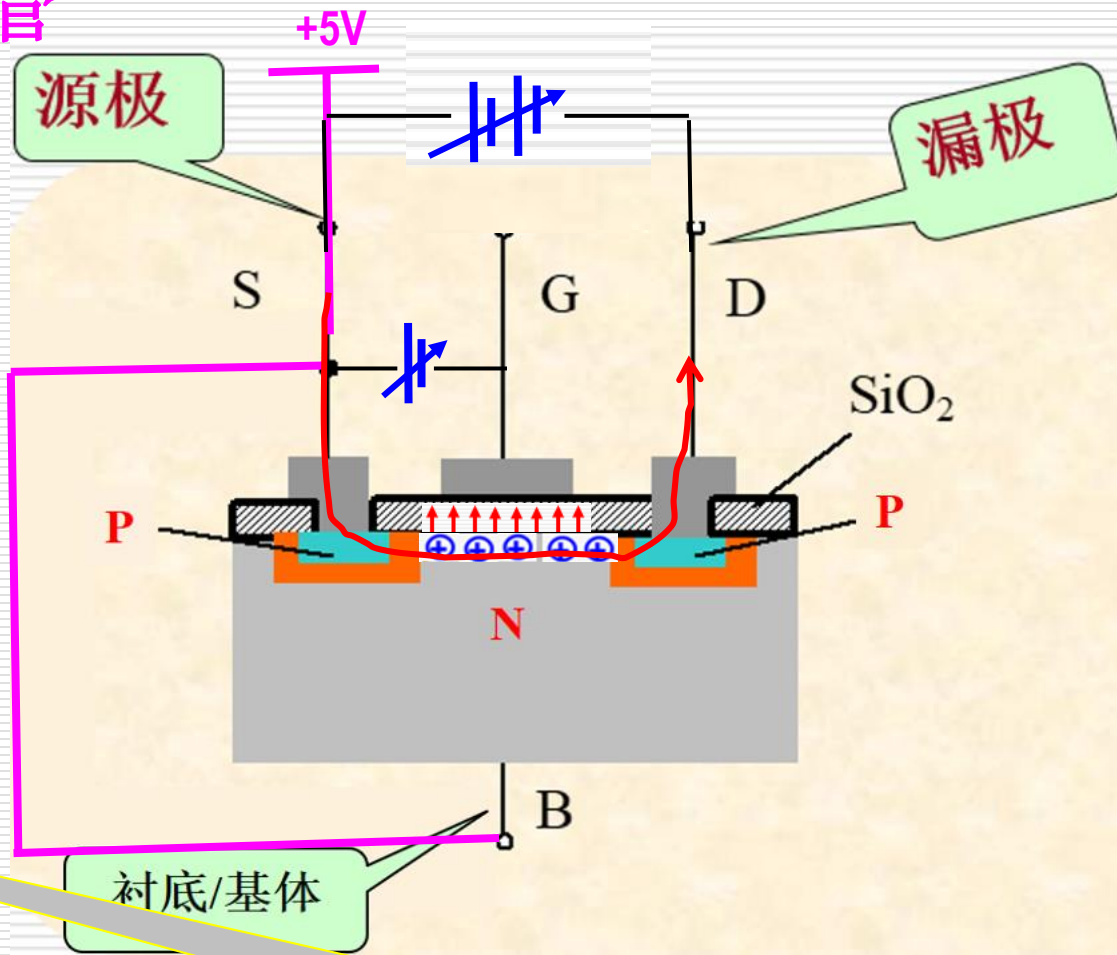
□ V_{GS} 、 V_{DS} 电压极性与NMOS管相反。

□ 开启电压 v_T 为负值



(a) 标准符号

(b) 简化符号



箭头方向与PN结方向一致。

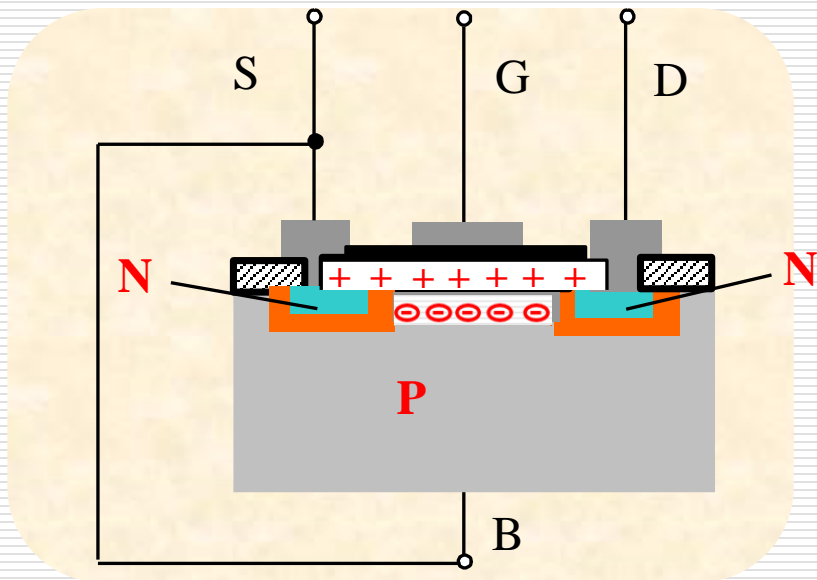
3. 其他类型的MOS管

(2) N沟道耗尽型MOS管

绝缘层掺入正离子，使衬底表面形成N沟道。

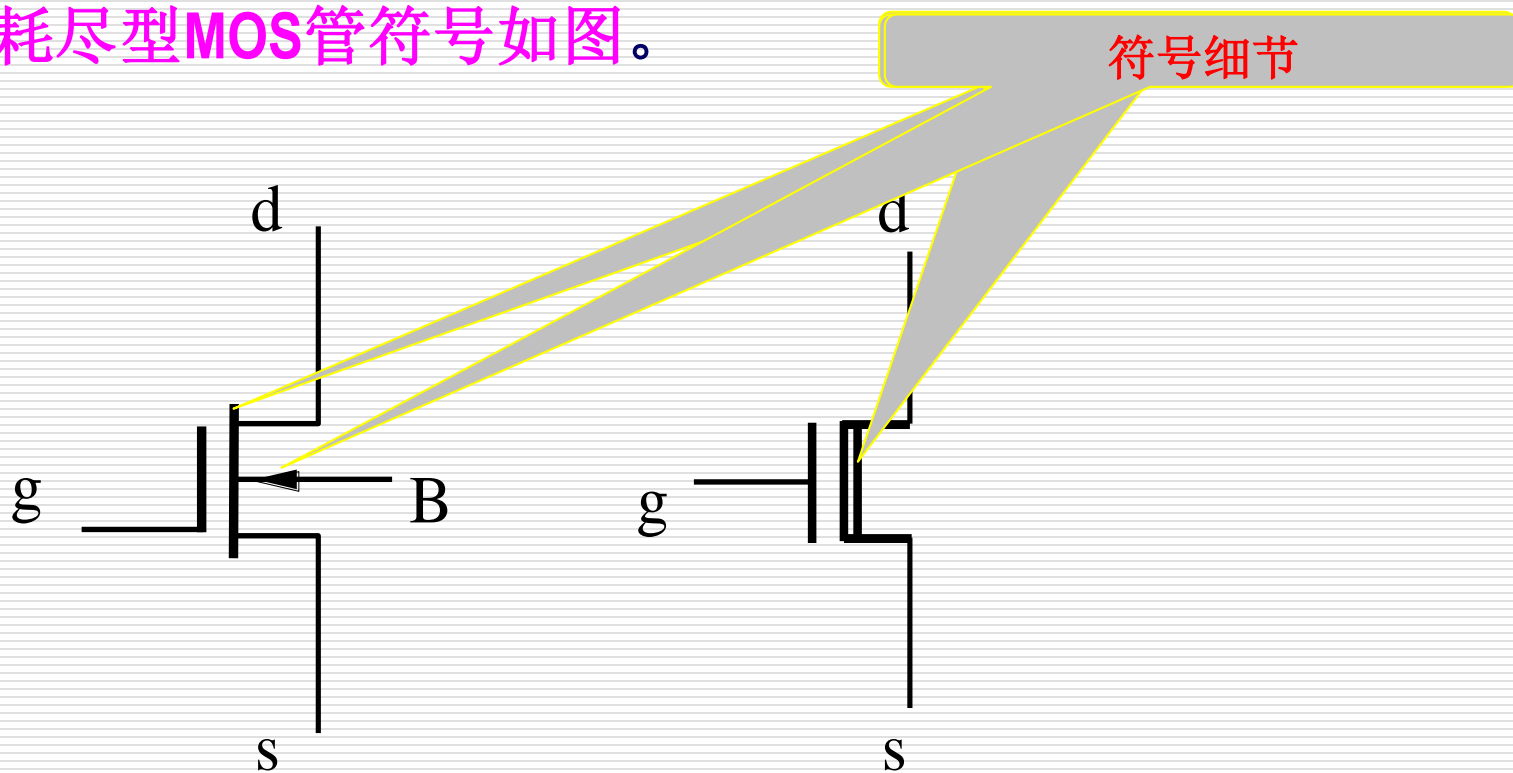
□ V_{GS} 电压可以是正值、零或负值。

□ V_{GS} 达到某一负值 V_P ，沟道被夹断， $i_D = 0$ 。



(2) N沟道耗尽型MOS管

N沟道耗尽型MOS管符号如图。



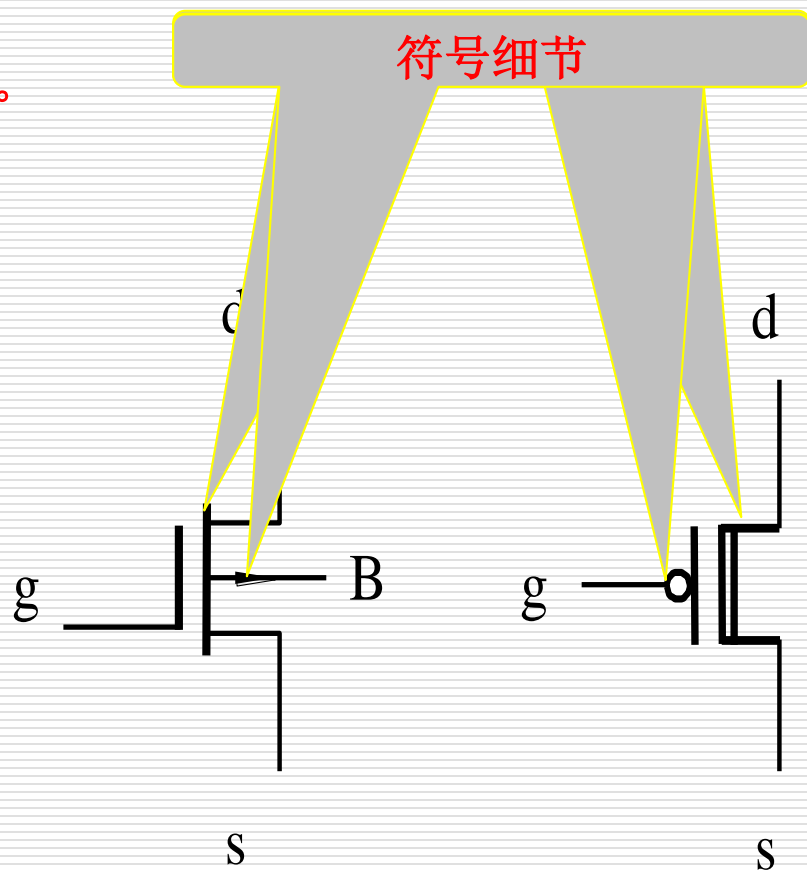
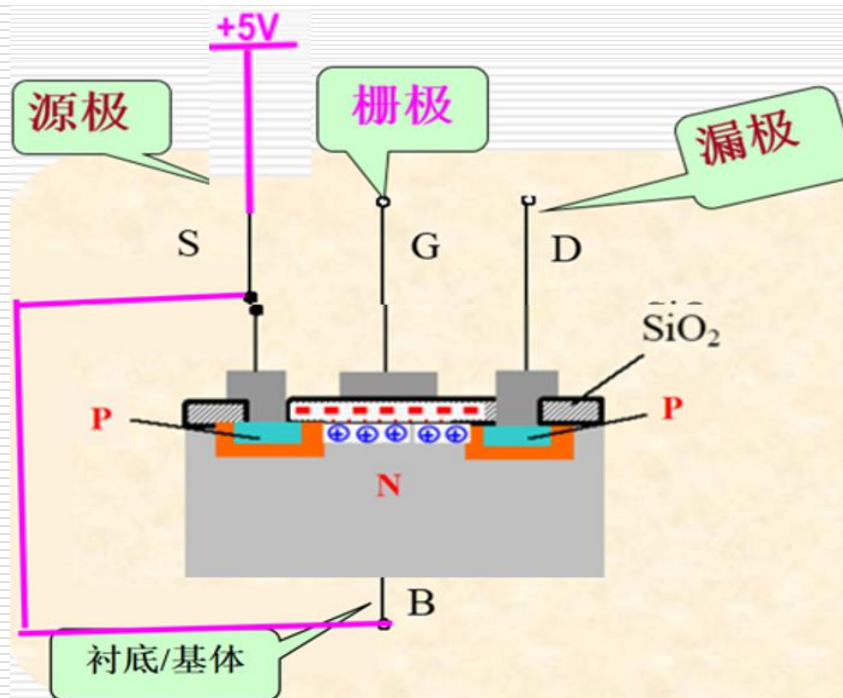
(a) 标准符号

(b) 简化符号

(3) P沟道耗尽型MOS管

绝缘层掺入负离子，使衬底表面形成P沟道。

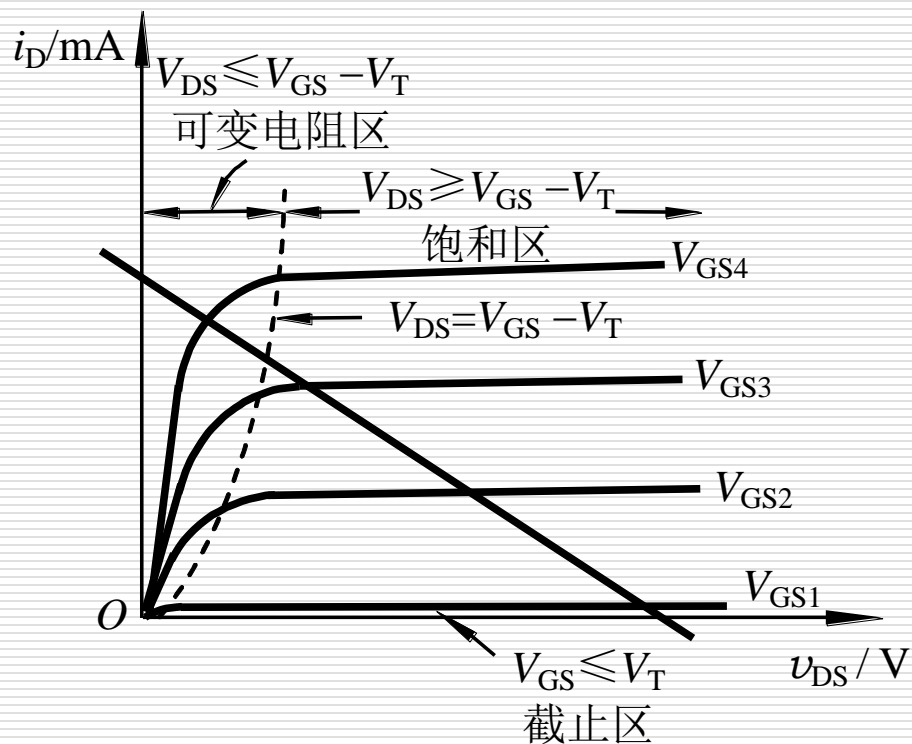
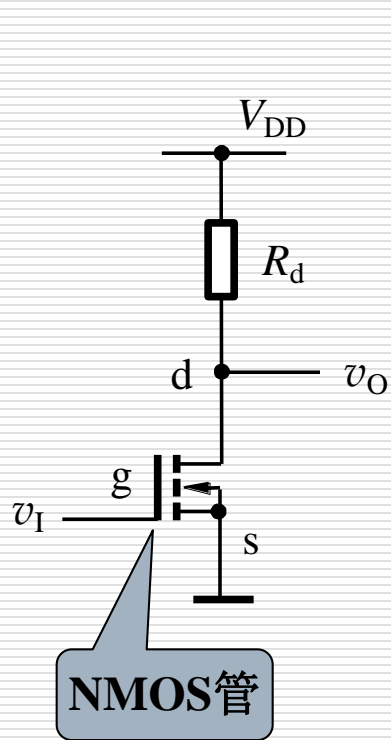
结构与N沟道耗尽型MOS管相反。
符号如图所示。



(a) 标准符号

(b) 简化符号

4. NMOS管开关电路



当 $v_I < V_T$: NMOS管截止, 输出高电平

当 $v_I > V_T$: NMOS管工作在可变电阻区, 输出低电平

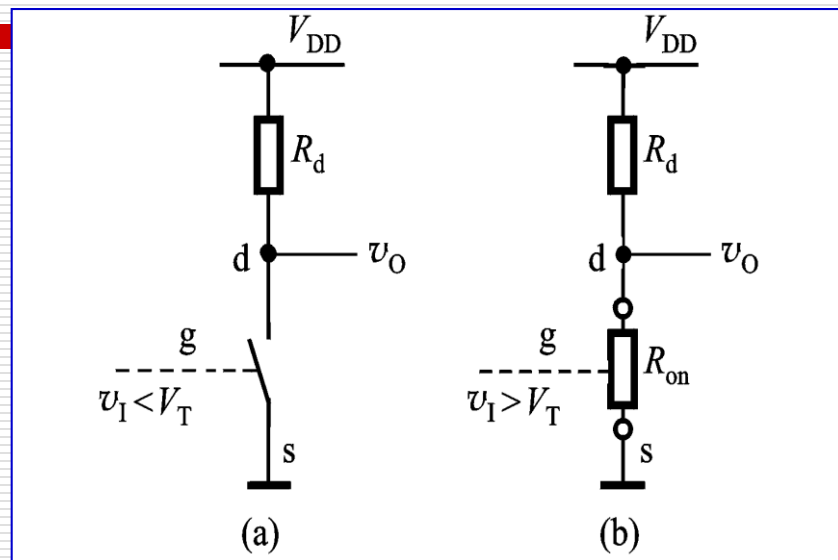
□当 v_I 为低电平时:

NMOS管截止, 相当于开关“断开”, 输出为高电平。

□当 v_I 为高电平时:

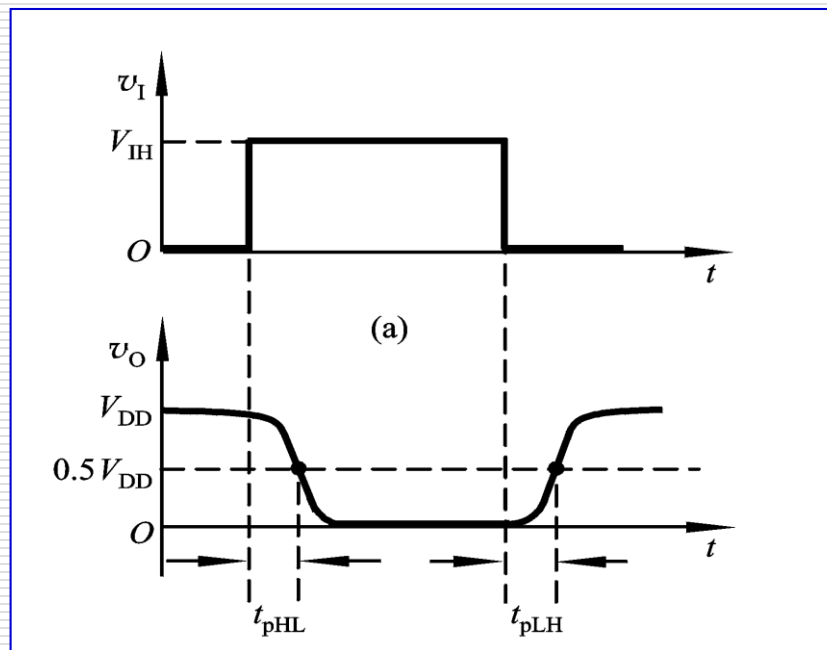
NMOS管工作在可变电阻区, 相当于开关“闭合”, 输出为低电平。

□NMOS管相当于一个由 v_{GS} 控制的无触点开关。



5. MOS管开关电路的动态特性

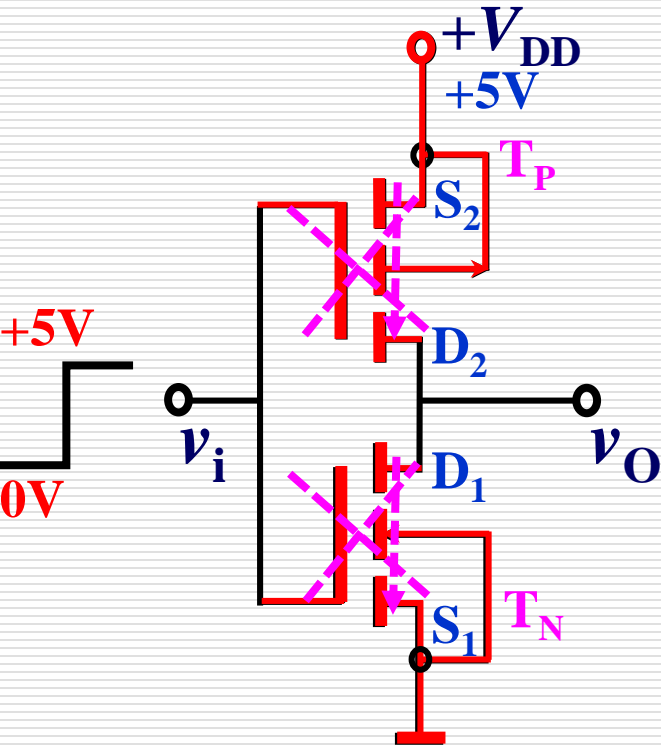
- 由于MOS管栅极、漏极与衬底间电容，栅极与漏极之间的电容存在，电路在状态转换之间有电容充、放电过程。
- 输出波形上升沿、下降沿变得缓慢。



3.2.2 CMOS 反相器

1. 工作原理

$V_{TN} = 2\text{ V}$ $V_{TP} = -2\text{ V}$ $V_{DD} > (V_{TN} + |V_{TP}|)$



v_i	v_{GSN}	v_{GSP}	T_N	T_P	v_O
0 V	0V	-5V	截止	导通	5V
5 V	5V	0V	导通	截止	0 V

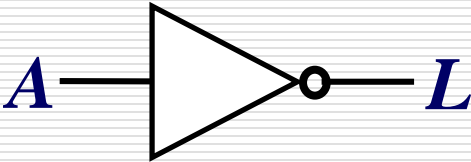
逻辑真值表

$v_i (A)$	$v_O (L)$
0	1
1	0

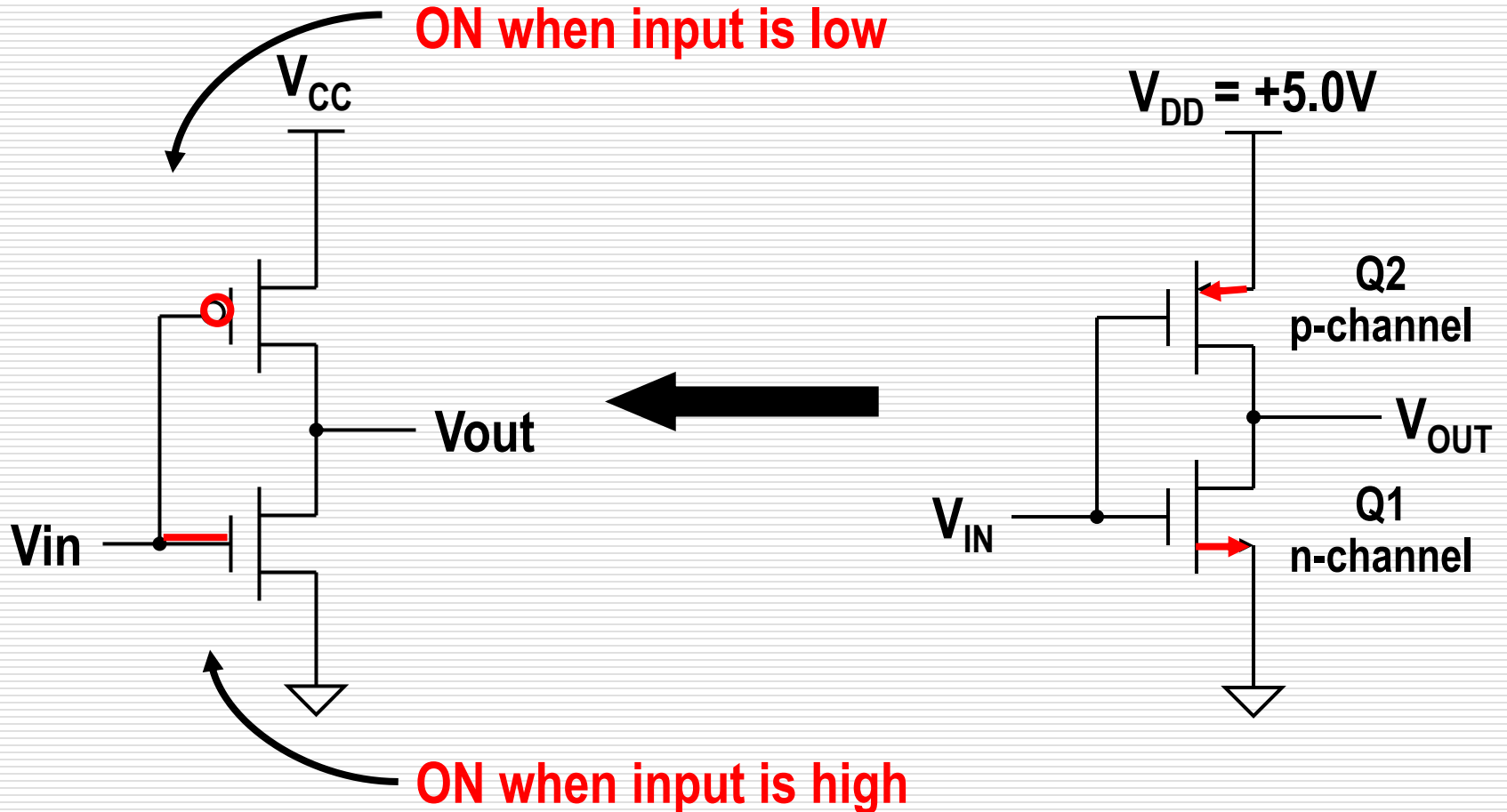
逻辑表达式

$L = \overline{A}$

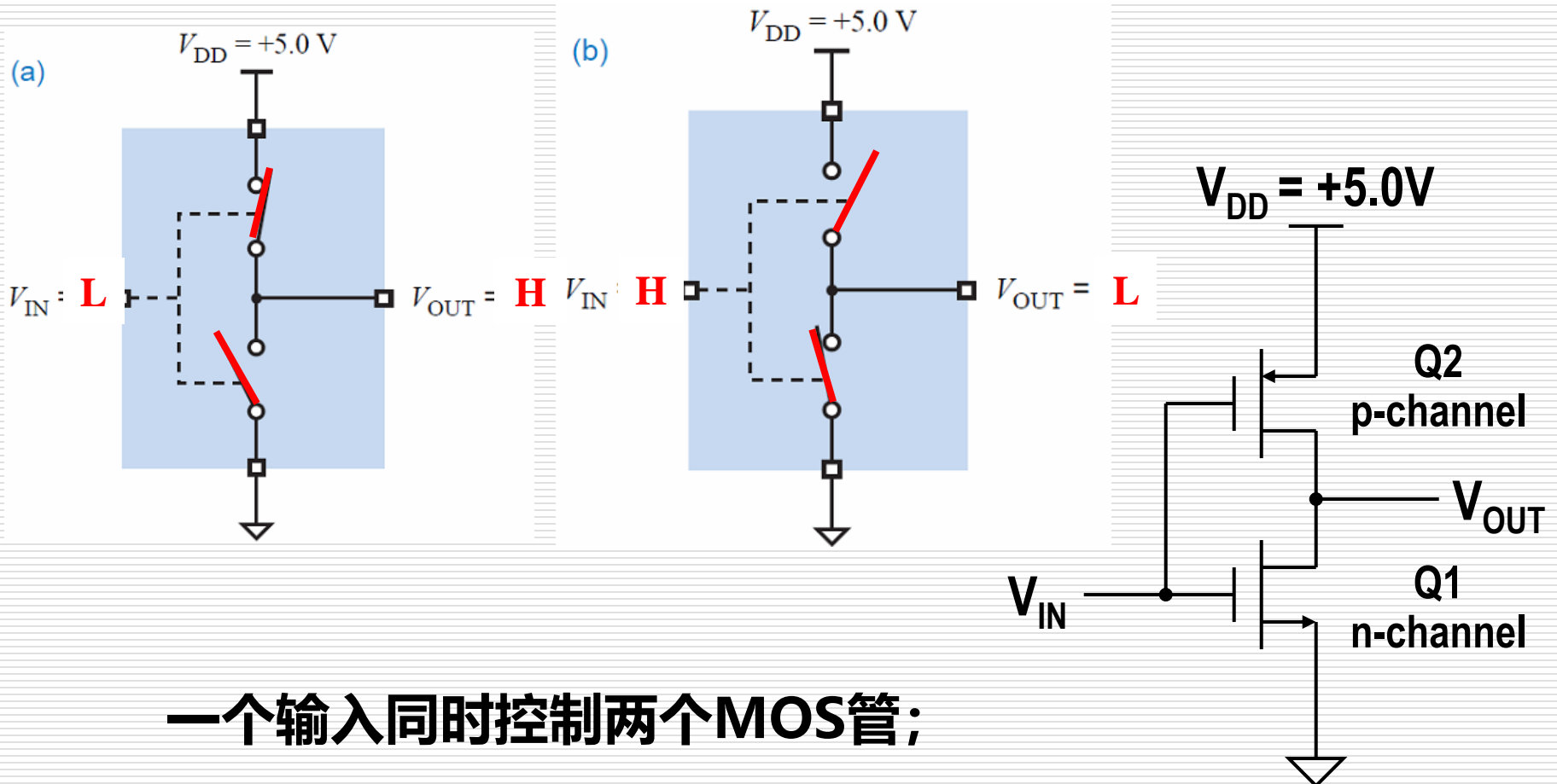
逻辑图



CMOS inverter logical operation



Switch model



一个输入同时控制两个MOS管；
同一时间只有一个MOS管导通。

CMOS反相器的重要特点:

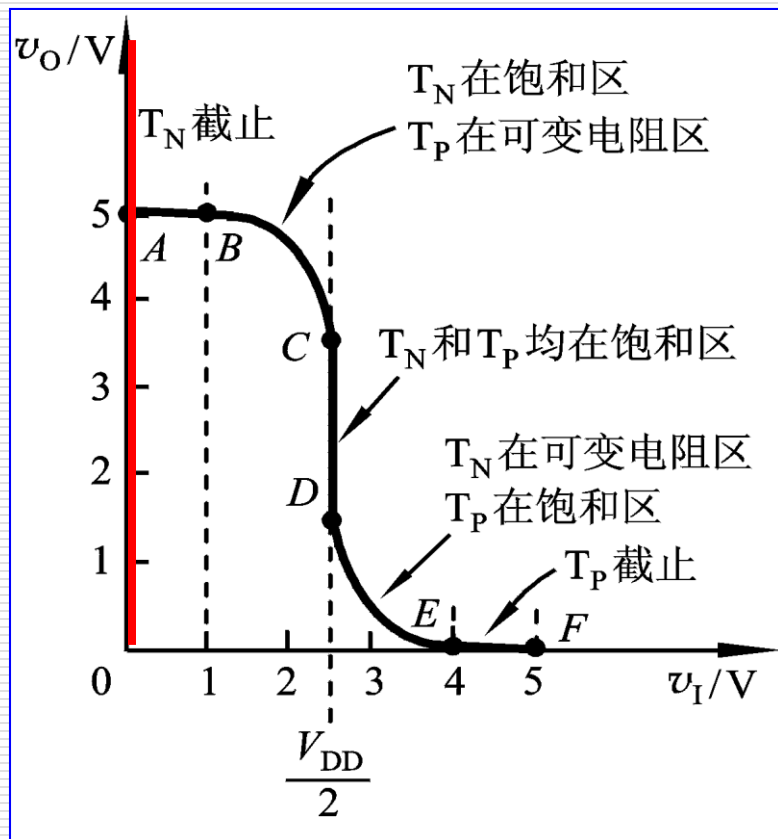
第一， v_I 是高电平还是低电平， T_N 和 T_P 中总是一个导通而另一个截止。CMOS反相器的静态功耗几乎为零。

第二，MOS管导通电阻低，截止电阻高。使充、放电时间常数小，开关速度更快，具有更强的带负载能力。

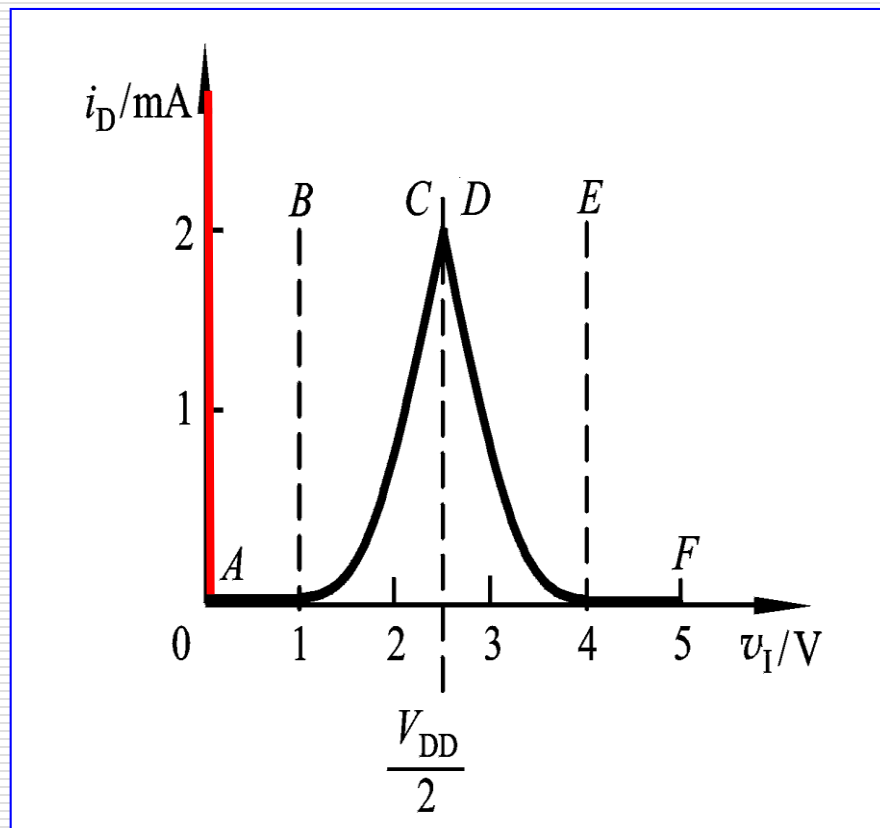
第三，MOS管的， $I_G \approx 0$ ，输入电阻高。理论上可以带任意同类门，但负载门输入杂散电容会影响开关速度。

2. 电压传输特性和电流传输特性

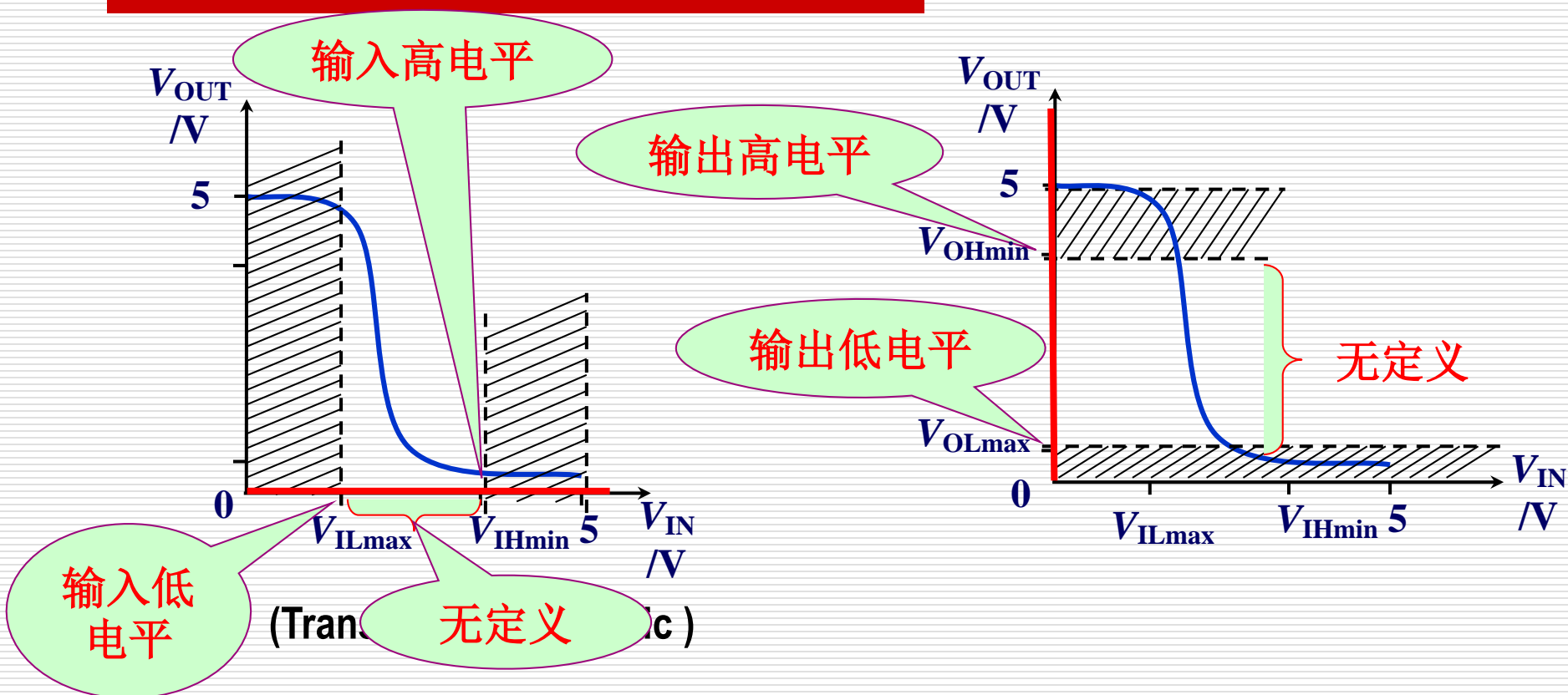
电压传输特性 $v_O = f(v_I)$



电流传输特性 $i_D = f(v_I)$



3. 输入逻辑电平和输出逻辑电平



输入低电平的上限值 $V_{IL(max)}$

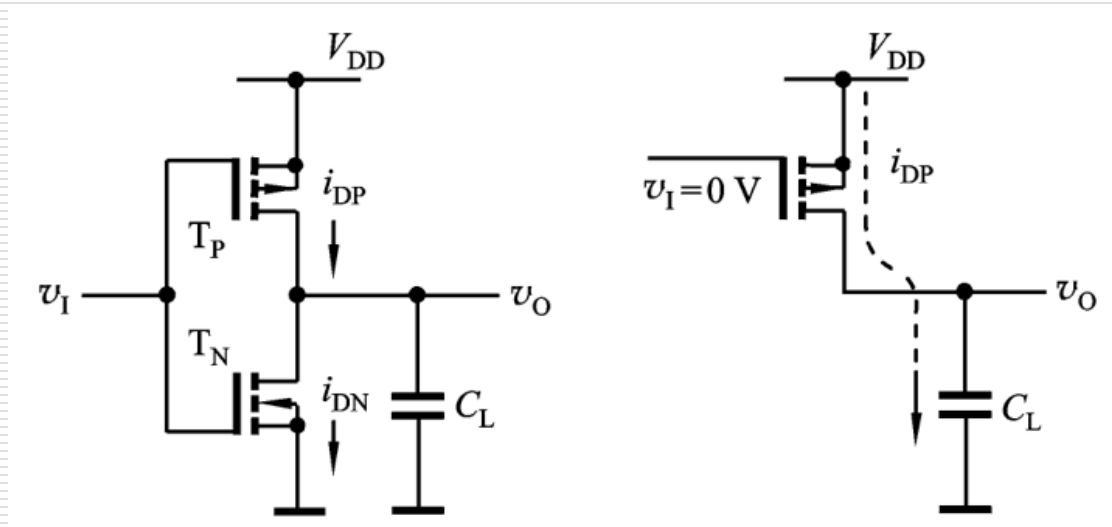
输入高电平的下限值 $V_{IH(min)}$

输出高电平的下限值 $V_{OH(min)}$

输出低电平的上限值 $V_{OL(max)}$

4.CMOS反相器的工作速度

带电容负载



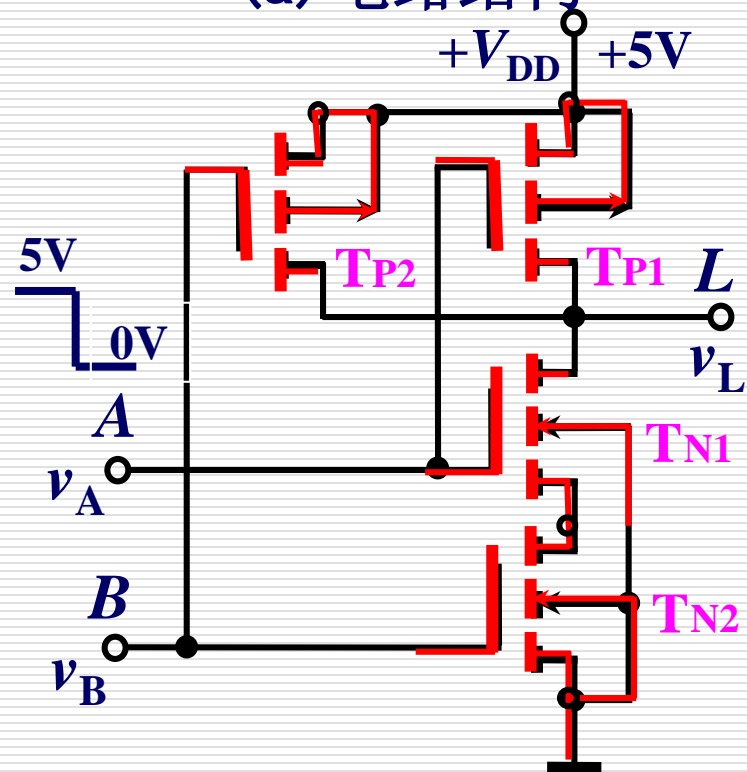
由于电路具有互补对称的性质，它的**开通时间**与**关闭时间**是相等的。平均**延迟时间**小于10 ns。

3.2.3 其他基本CMOS 逻辑门电路

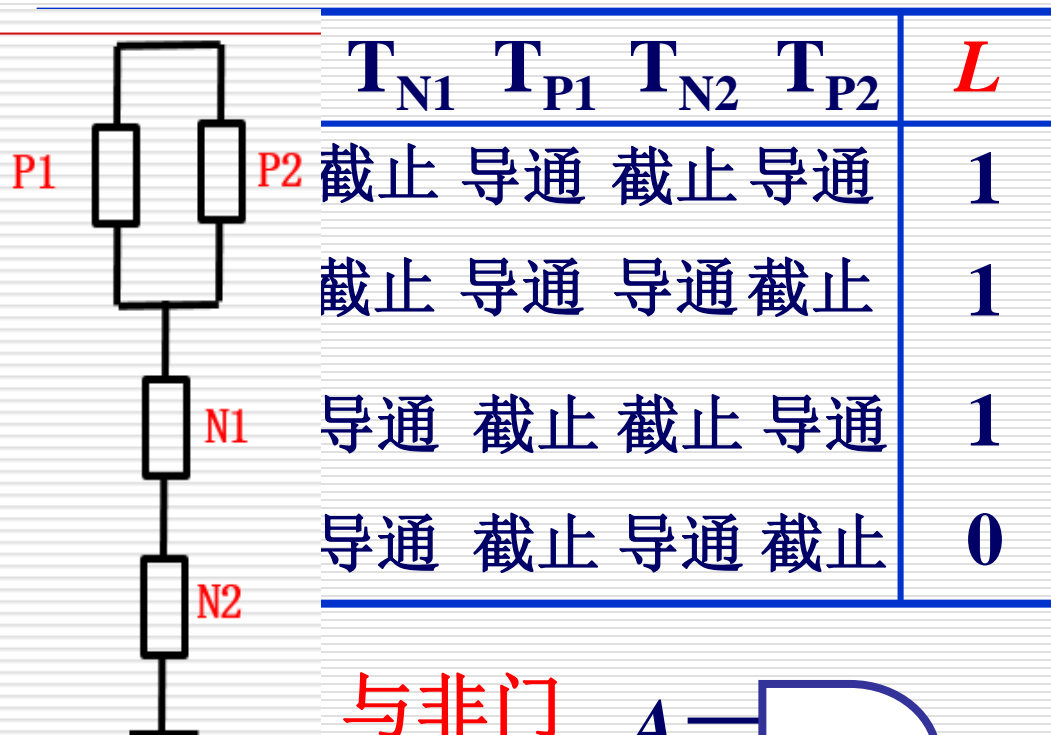
1. CMOS 与非门

$$V_{TN} = 2\text{ V} \quad V_{TP} = -2\text{ V}$$

(a) 电路结构

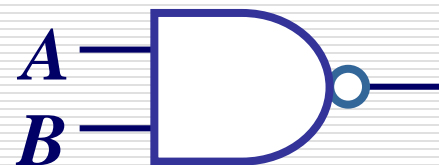


(b) 工作原理



T_{N1}	T_{P1}	T_{N2}	T_{P2}	L
截止	导通	截止	导通	1
截止	导通	导通	截止	1
导通	截止	截止	导通	1
导通	截止	导通	截止	0

与非门

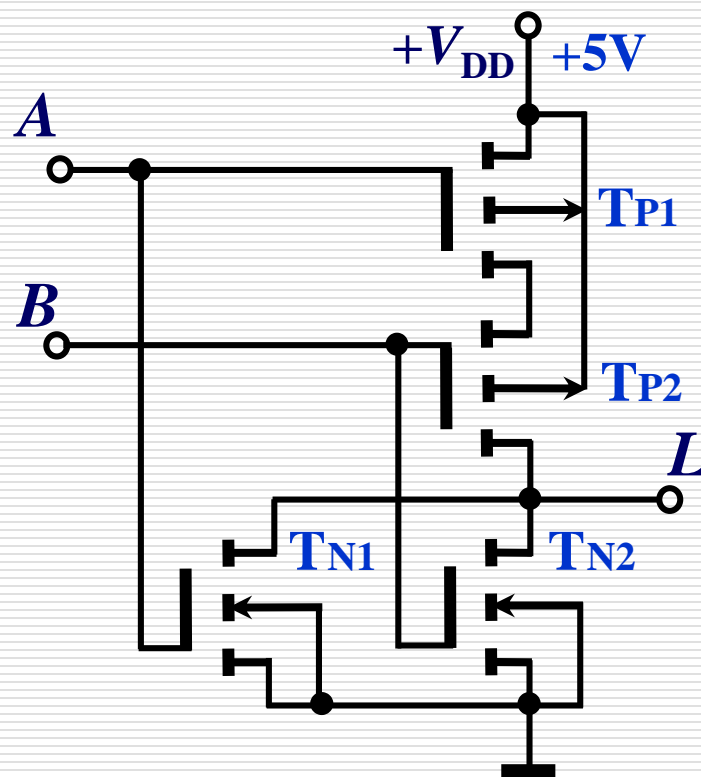


$$L = \overline{AB}$$

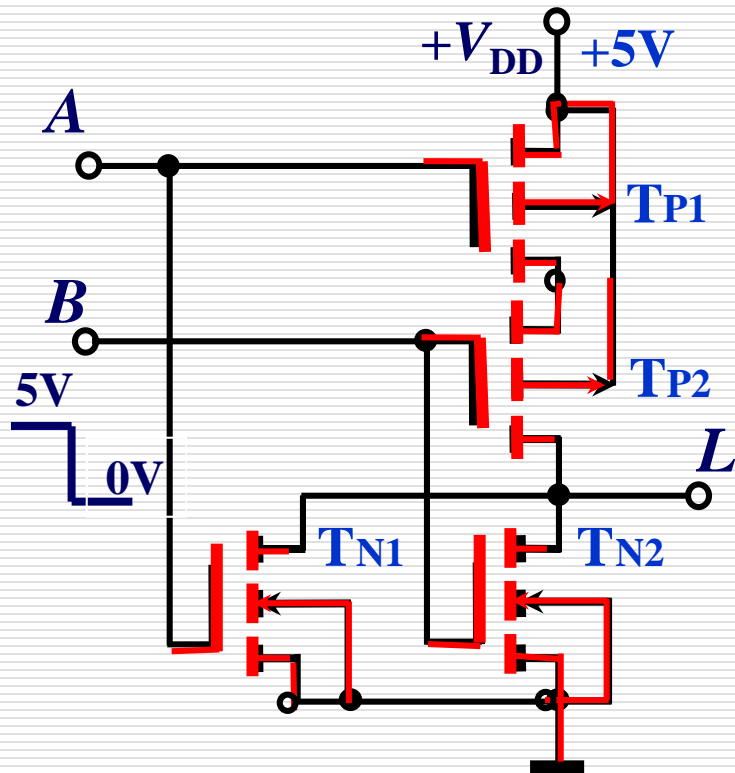
右图所示的电路是（ ）逻辑门

- ☐ A 与或非门
- ☐ B 非门
- ☐ C 与非门
- ☒ D 或非门

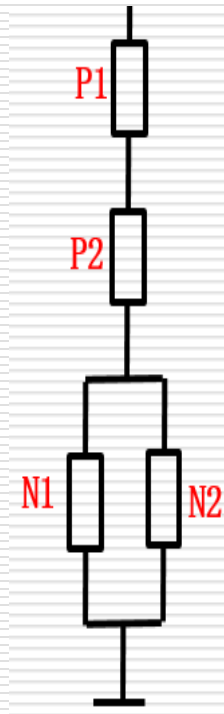
提交



2. CMOS 或非门



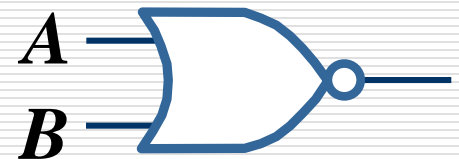
$$V_{TN} = 2\text{ V} \quad V_{TP} = -2\text{ V}$$



T_{N1}	T_{P1}	T_{N2}	T_{P2}	L
截止	导通	截止	导通	1
截止	导通	导通	截止	0
导通	截止	截止	导通	0
导通	截止	导通	截止	0

或非门

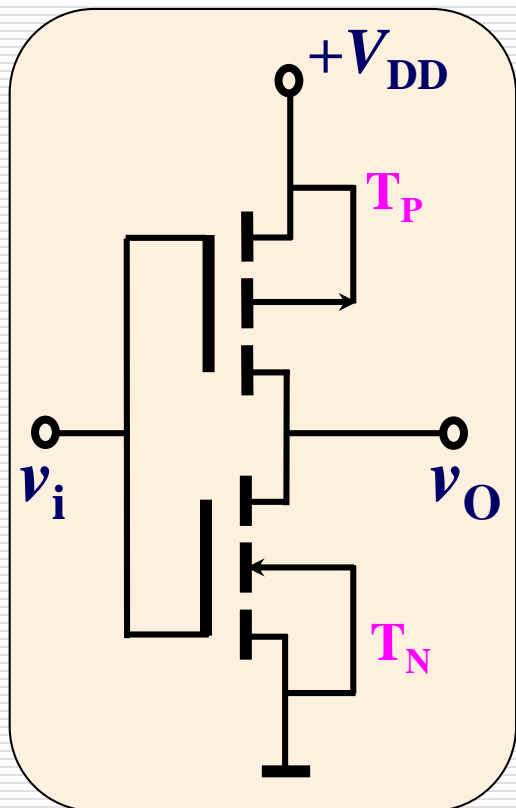
$$L = \overline{A + B}$$



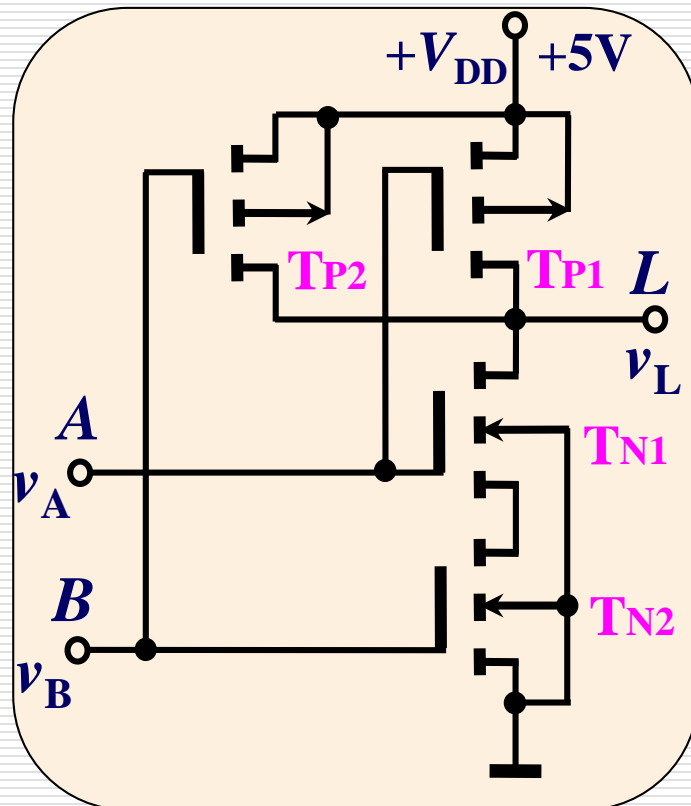
上下对称是非

PMOS管并联是与

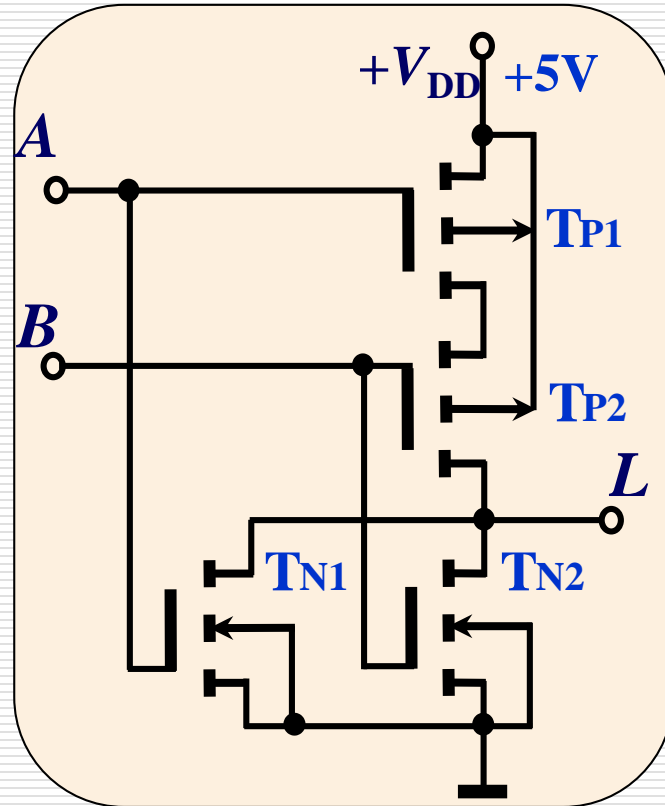
PMOS管串联是或



$$L = \overline{A}$$

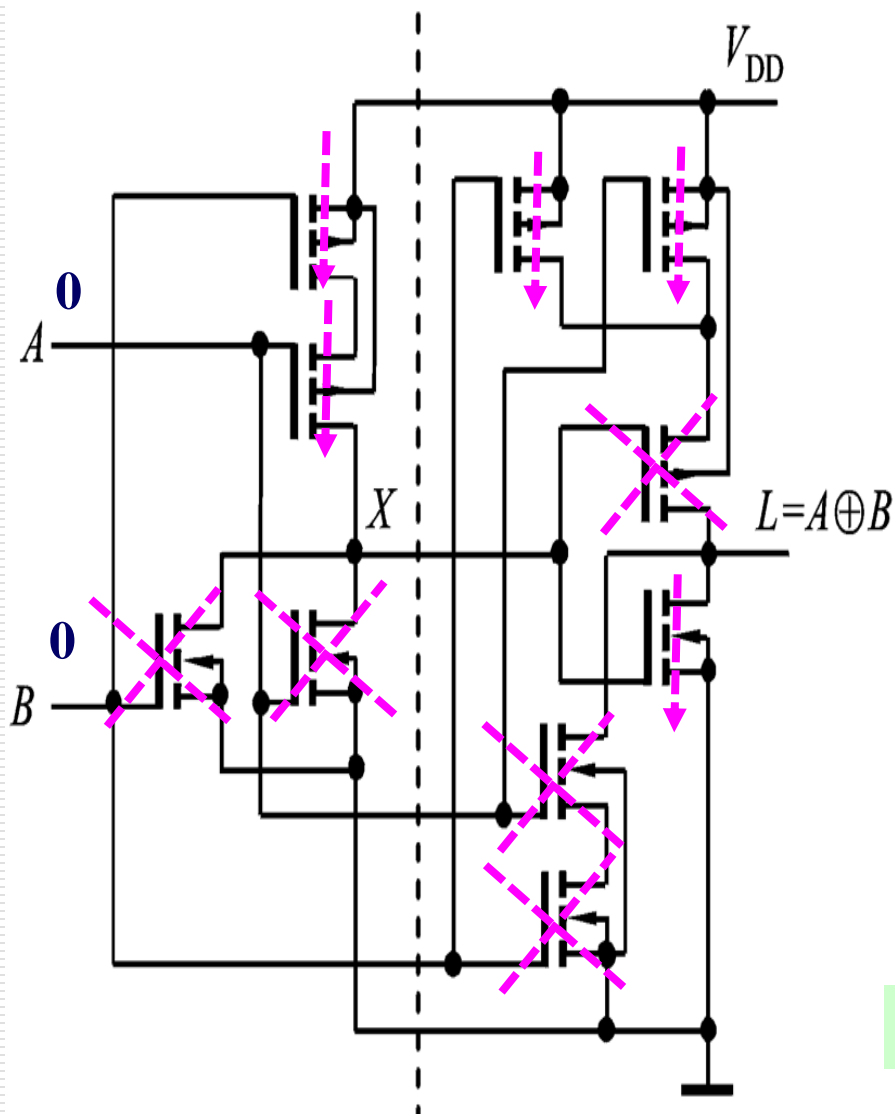


$$L = \overline{AB}$$



$$L = \overline{A + B}$$

例：分析CMOS电路，说明其逻辑功能。



方法1：开关通断法（真值表）

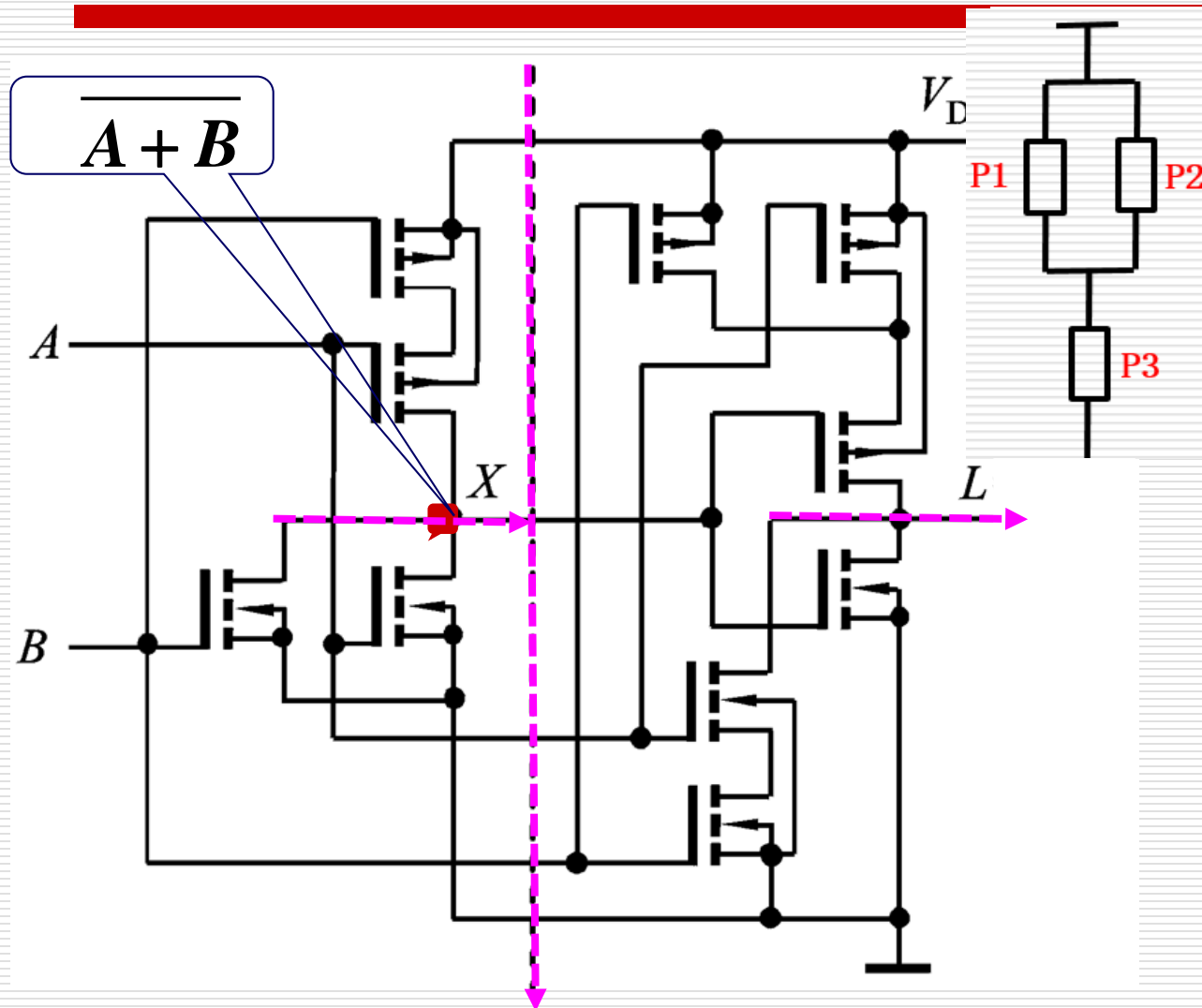
<i>A</i>	<i>B</i>	T_{N1}	T_{P1}	T_{N2}	T_{P2}	<i>L</i>
0	0					0
0	1					1
1	0					1
1	1					0

判断出那些MOS导通, 或者说开关合上。

判断出那些MOS导通截止, 或者说开关断开。

方法2：口诀快速判断法

例：分析CMOS电路，说明其逻辑功能。



上下对称是非

PMOS管并联是与

PMOS管串联是或

$$X = \overline{A + B}$$

$$L = \overline{A \cdot B + X}$$

$$= \overline{A \cdot B + \overline{A + B}}$$

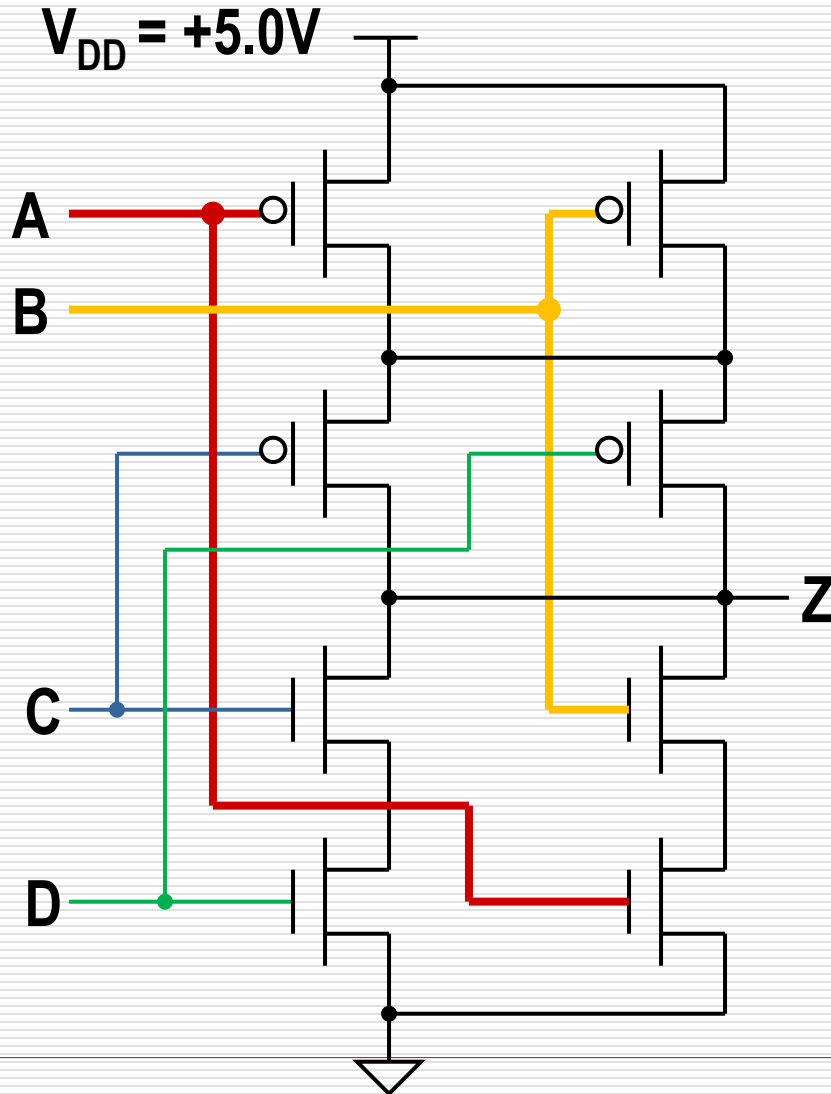
$$= \overline{A \cdot B + \overline{A} \cdot \overline{B}}$$

$$= A \oplus B$$

异或门电路

5. CMOS AOI Gates

AND-OR-INVERT

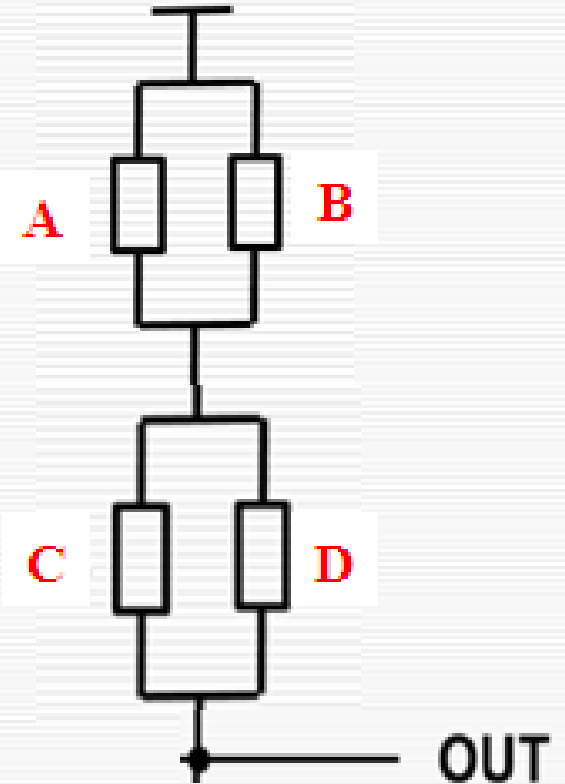
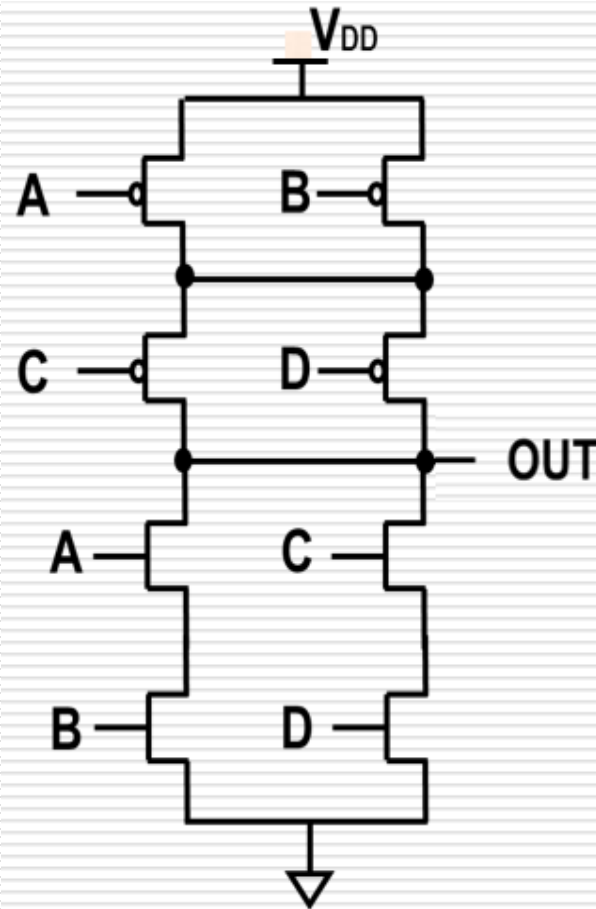
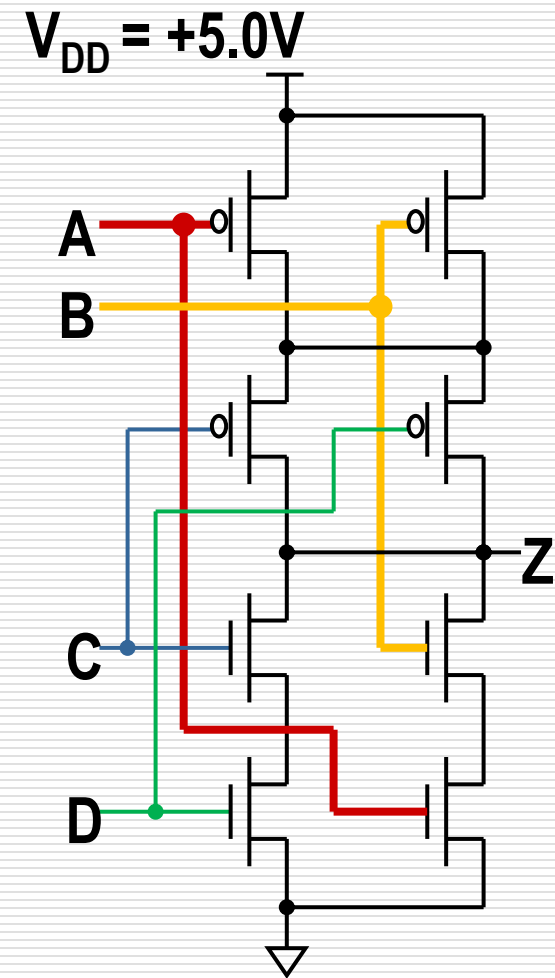


$$Z = \overline{(A \cdot B + C \cdot D)}$$

- 从NMOS的连接与逻辑“与”、“或”的关系来构造;
- 非是“免费”获得的

具体看下页的分析:

5. CMOS AOI Gates



$$Z = \overline{(A \cdot B + C \cdot D)}$$

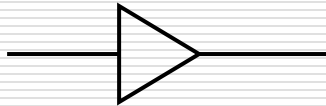
6. Building an arbitrary circuit with CMOS

- ❑ 每个CMOS门电路都由NMOS和PMOS两部分组成，并且每个输入都同时控制两个管子；
 - ❑ NMOS管串联可实现与非操作，并联可实现或非操作；PMOS管正好相反；
 - ❑ NMOS管串联时PMOS一定并联；NMOS管并联时PMOS一定串联——对偶关系。
 - ❑ PMOS网络和NMOS网络不能同时导通
 - ❑ 非是“免费”获得的
-

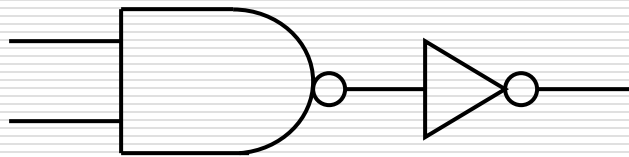
反相门更受欢迎

It typically is not possible to design a non-inverting gate with a smaller number of transistors than an inverting one.

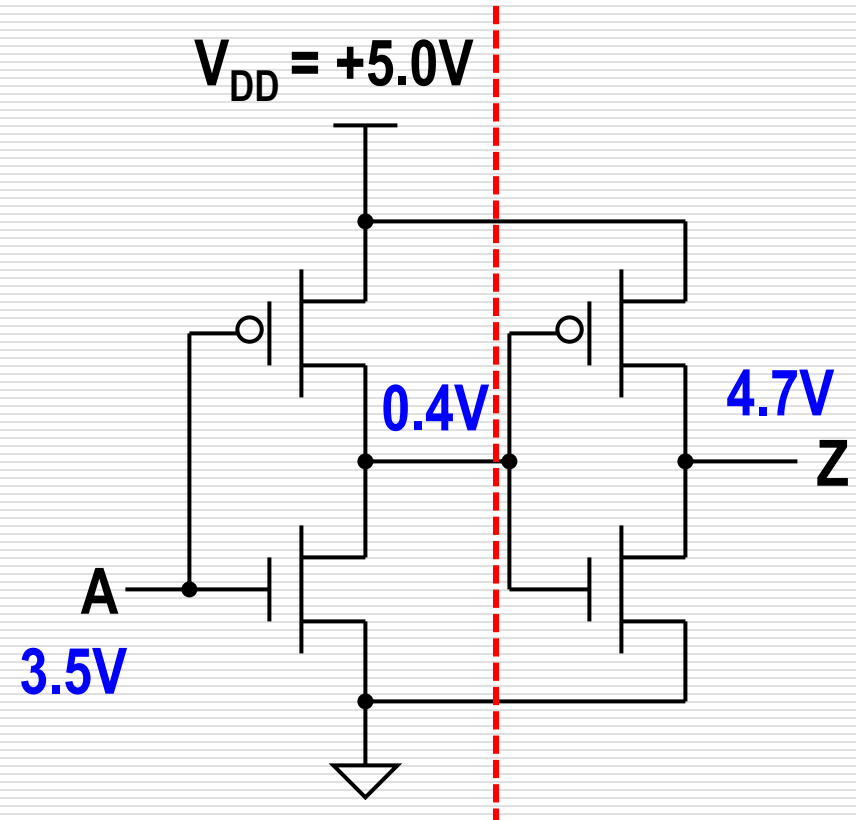
□ Non-inverting buffer
(amplifier)



□ 2-input AND gate



Circuit diagram:



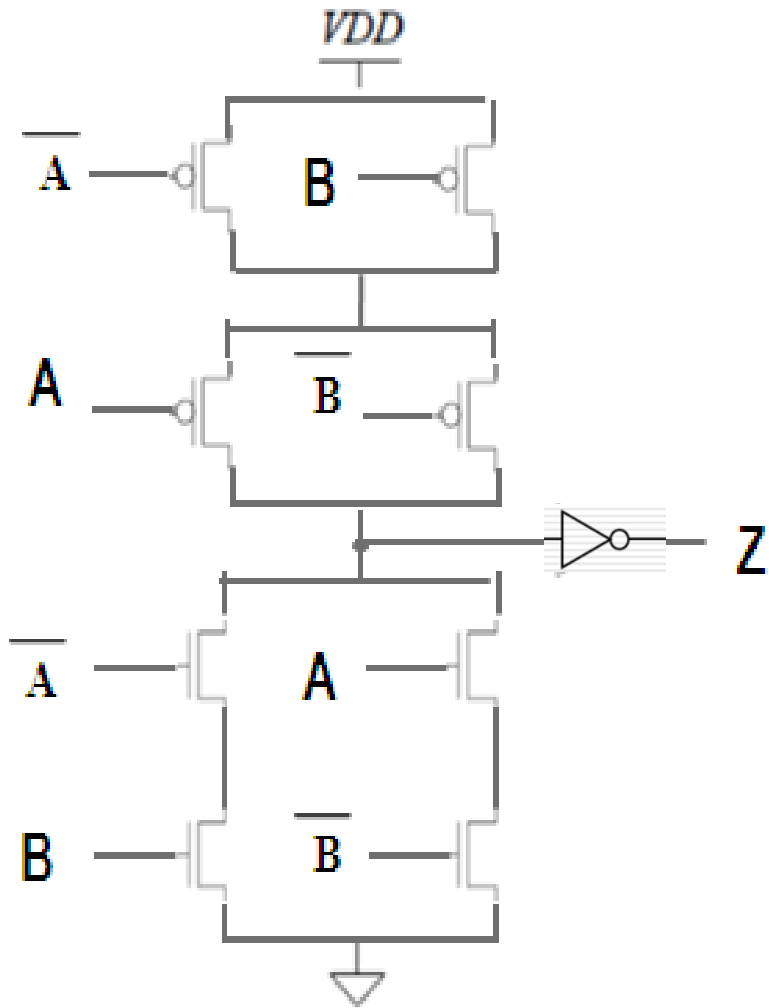
反相门更受欢迎

XOR



$$Z = A \oplus B$$

$$= A \cdot \bar{B} + \bar{A} \cdot B$$

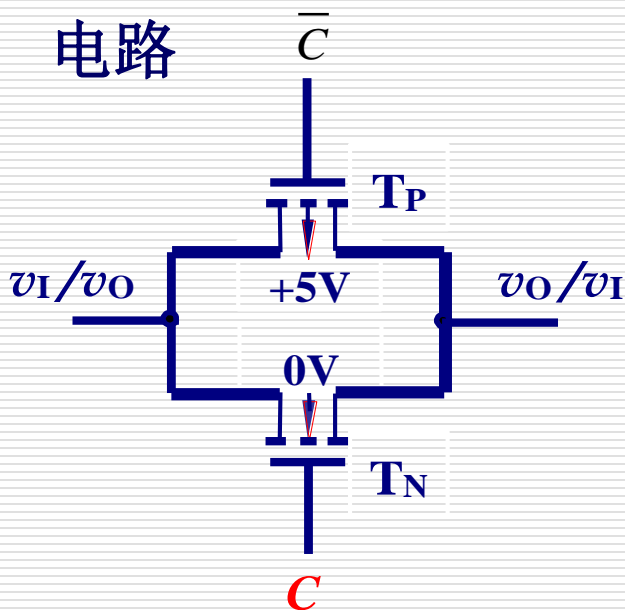


A	B	Z
0	0	0
0	1	1
1	0	1
1	1	0

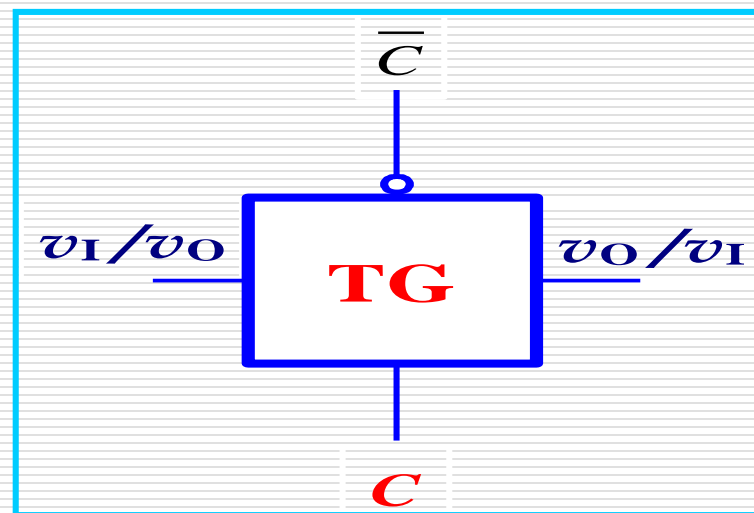
3.2.4 CMOS传输门(双向模拟开关)

TG=Transmission Gate

1. 传输门的结构及工作原理

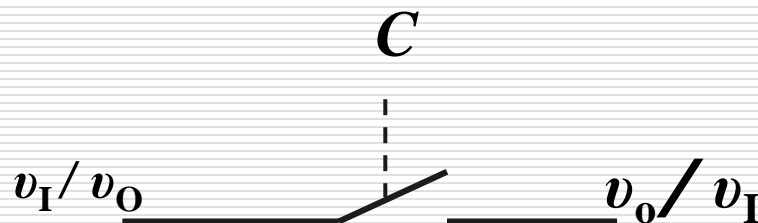


传输门逻辑符号

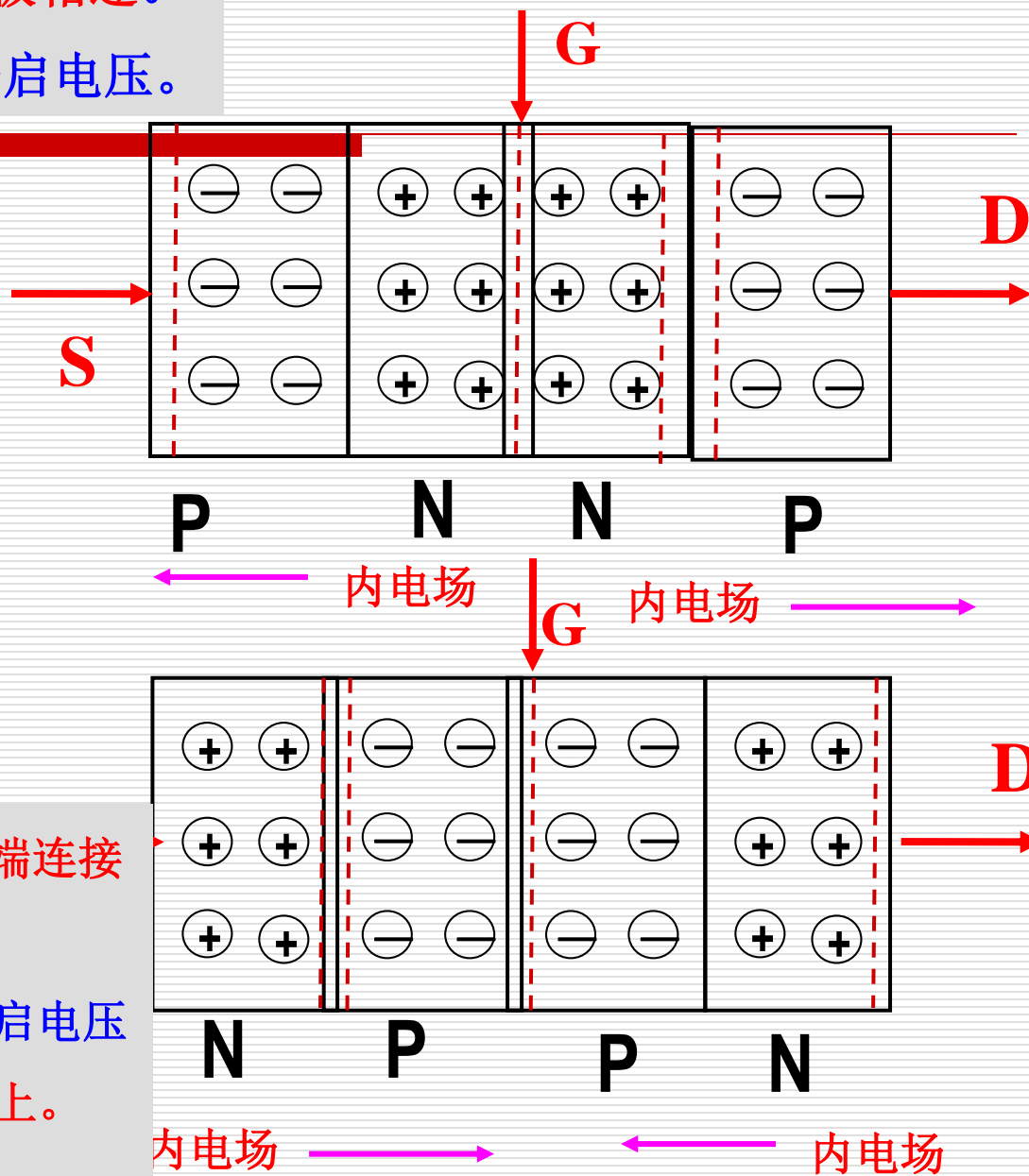
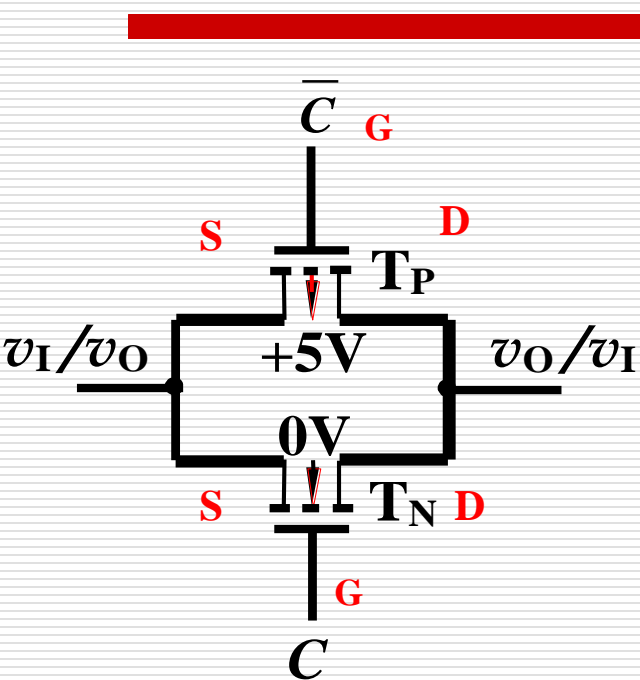


说明：传输门中衬底不和源极相连。能否导通就看 V_{GS} 是否大于开启电压。

等效电路



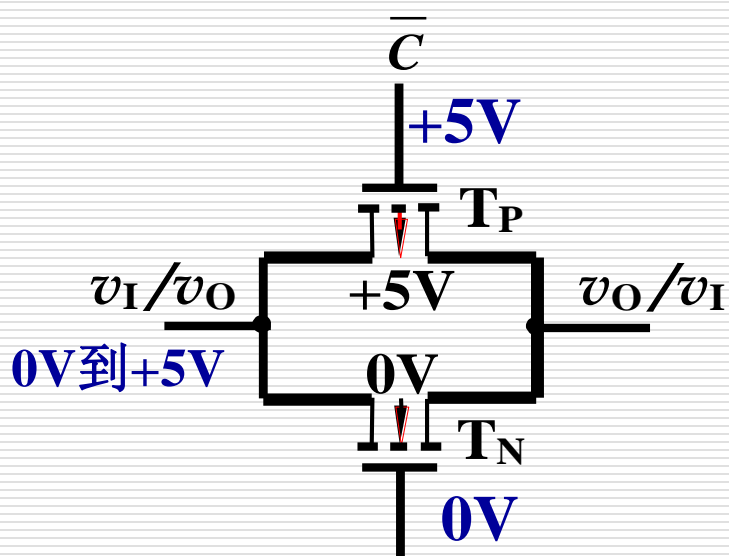
说明：传输门中衬底不和源极相连。
能否导通就看 V_{GS} 是否大于开启电压。



传输门中S端连接信号输入端。D端连接信号输出端。

栅极G作为控制端，当 V_{GS} 大于开启电压 V_T 端，传输门开启。相当于开关合上。

1、传输门的结构及工作原理



设 $T_P: |V_{TP}|=2V$, $T_N: V_{TN}=2V$,
 v_I 的变化范围为0到+5V。

$$c=0=0V, \quad \bar{c}=1=+5V$$

1) 当 $c=0$, $\bar{c}=1$ 时

$$v_{GSN} = 0V - (0V \text{ 到 } +5V) = (0 \text{ 到 } -5)V$$

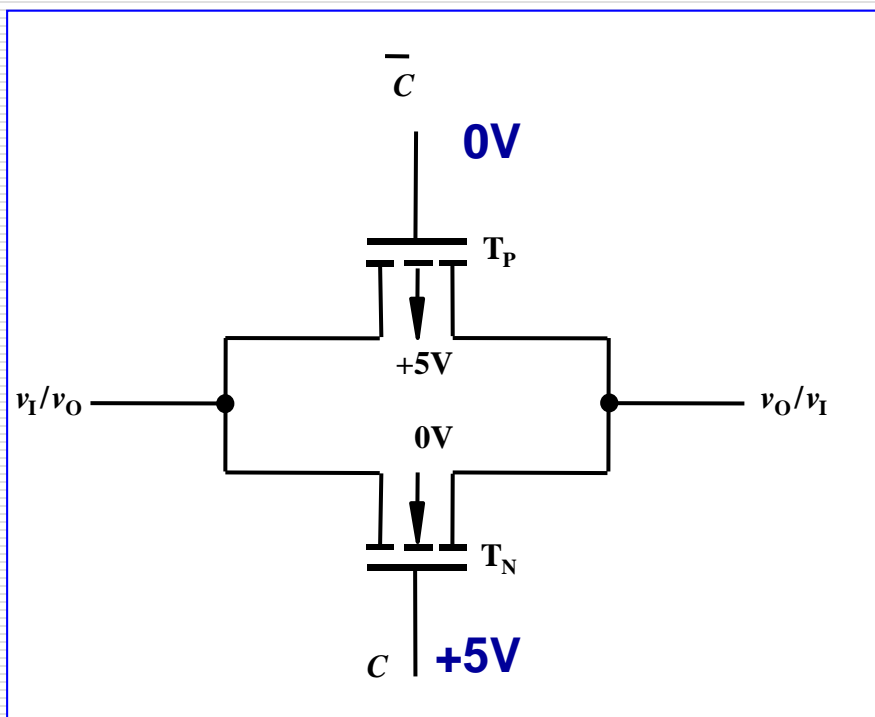
$$v_{GSN} < V_{TN}, \quad T_N \text{ 截止}$$

$$v_{GSP} = +5V - (0V \text{ 到 } +5V) = (5 \text{ 到 } 0)V$$

$$v_{GSP} > 0, \quad T_P \text{ 截止}$$

开关断开，不能转送信号

2) 当 $c=1$, $\overline{c}=0$ 时



a、 $v_I=0V\sim 3V$

$$v_{GSN}=5V-(0V\sim +3V)=(5\sim 2)V$$

$v_{GSN}>V_{TN}$, T_N 导通

b、 $v_I=2V\sim 5V$

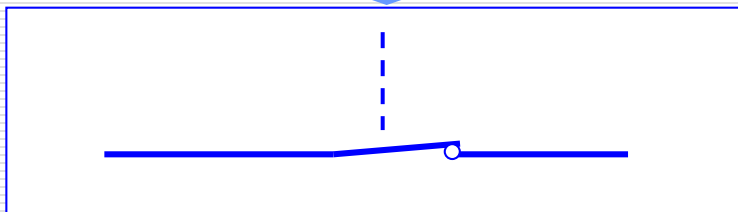
$$v_{GSP}=0V-(2V\sim +5V)=-2V\sim -5V$$

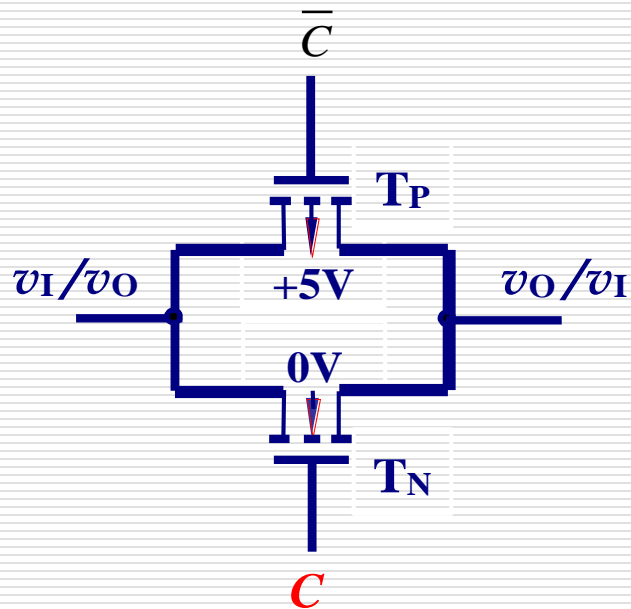
$|v_{GSP}|>|V_T|$, T_P 导通

c、 $v_I=2V\sim 3V$

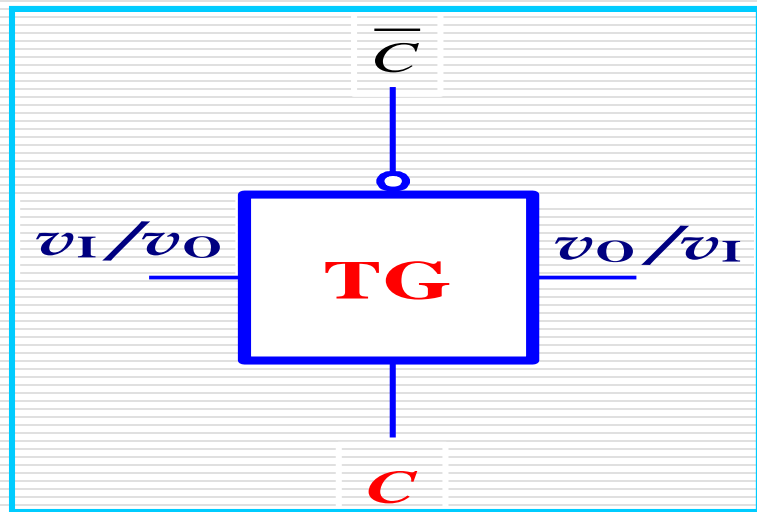
T_N 导通, T_P 导通

$$v_O = v_I$$





综上：传输门的栅极 $C=1$ 时，传输门导通， $C=0$ 时传输门截止。



或者说：上图中有小圆圈的线（栅极）连接0信号，没有小圆圈的线（栅极）连接1信号，传输门导通。