

数 字 逻 辑

Digital Logic Circuit

丁 贤 庆

ahhfdxq@163.com

Home work (P218)

- ❧ 1、本周三晚上**6:30-8:00**在新安学堂**105**教师休息室，安排一次答疑。可以回答作业或者课本中问题。
- ❧ 2、下周会有一次**10**分钟的随堂测验。
- ❧ 3、今天的作业：
 - ❧ 4.2.9
 - ❧ 4.3.3
 - ❧ 4.4.2
 - ❧ 4.4.8

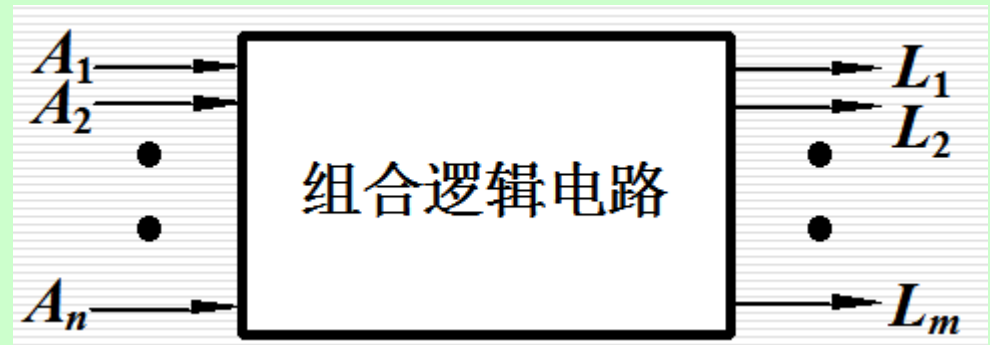
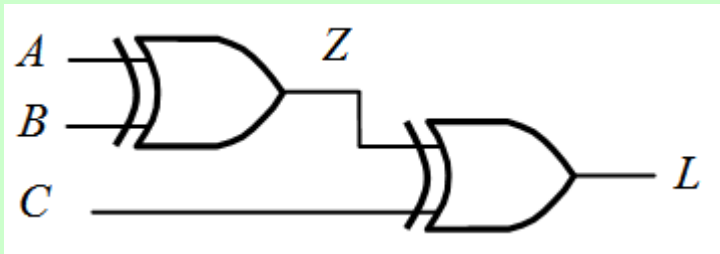
第4章 组合逻辑电路

Combinational Logic Circuit

4.1 组合逻辑电路分析

4.1.1 组合逻辑电路的定义

组合逻辑电路的一般框图



$$L_i = f(A_1, A_2, \dots, A_n) \quad (i=1, 2, \dots, m)$$

结构特征:

- 1、输出、输入之间没有反馈延迟通路,
- 2、不含记忆单元

工作特征:

组合逻辑电路工作特点:在任何时刻, 电路的输出状态只取决于同一时刻的输入状态而与电路原来的状态无关。

4.1.2 组合逻辑电路的分析方法

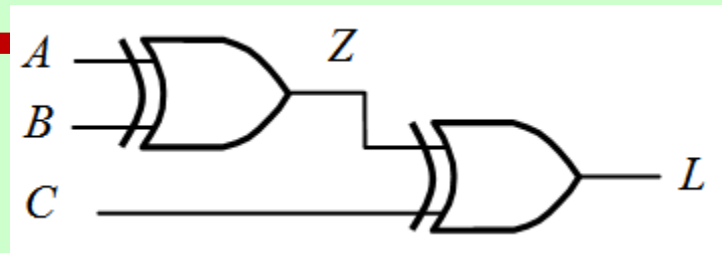
一. 组合逻辑电路分析

根据已知逻辑电路，经分析确定电路的逻辑功能。

二. 组合逻辑电路的分析步骤：

- 1、由逻辑图写出各输出端的逻辑表达式；
- 2、化简和变换逻辑表达式；
- 3、列出真值表；
- 4、根据真值表或逻辑表达式，经分析最后确定其功能。

三、组合逻辑电路的分析举例



例1 分析如图所示逻辑电路的功能。

解：1. 根据逻辑图写出输出函数的逻辑表达式

$$L = Z \oplus C$$

$$= (A \oplus B) \oplus C$$

$$= A \oplus B \oplus C$$

2. 列写真值表。

3. 确定逻辑功能：

输入变量的取值中有奇数个1时， L 为1，否则 L 为0，电路具有为奇校验功能。

A	B	C	$Z = A \oplus B$	$L = (A \oplus B \oplus C)$
0	0	0	0	0
0	0	1	0	1
0	1	0	1	1
0	1	1	1	0
1	0	0	1	1
1	0	1	1	0
1	1	0	0	0
1	1	1	0	1

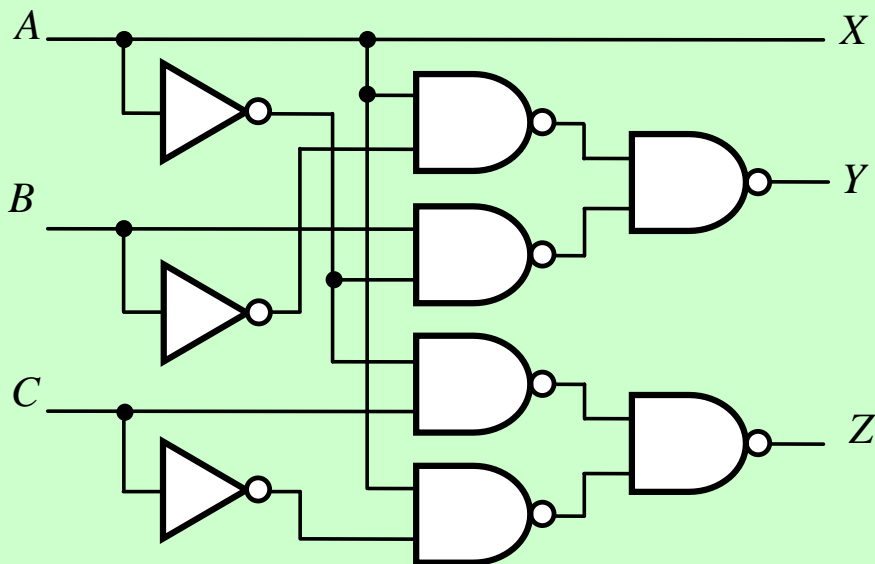
例2 试分析下图所示组合逻辑电路的逻辑功能。

解：1、根据逻辑电路写出各输出端的逻辑表达式，并进行化简和变换。

$$X = A$$

$$Y = \overline{\overline{A}\overline{B}} \cdot \overline{\overline{A}\overline{B}}$$

$$Z = \overline{\overline{A}\overline{C}} \cdot \overline{\overline{A}\overline{C}}$$



2、列写真值表

$$X = A$$

$$Y = \overline{\overline{A}\overline{B}} \cdot \overline{\overline{A}\overline{B}} = A\overline{B} + \overline{A}B$$

$$Z = \overline{\overline{A}\overline{C}} \cdot \overline{\overline{A}\overline{C}} = A\overline{C} + \overline{A}C$$

真值表

<i>A</i>	<i>B</i>	<i>C</i>	<i>X</i>	<i>Y</i>	<i>Z</i>
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	1	1
1	0	1	1	1	0
1	1	0	1	0	1
1	1	1	1	0	0

3、确定电路逻辑功能

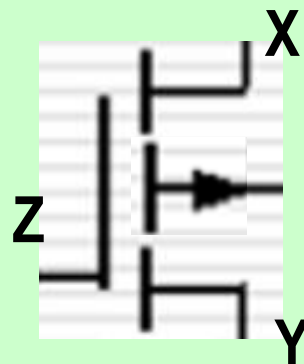
这个电路逻辑功能是对输入的二进制码求反码。最高位为符号位，0表示正数，1表示负数，正数的反码与原码相同；负数反码的数值部分是在原码的基础上逐位求反。

真值表

A	B	C	X	Y	Z
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	1	1
1	0	1	1	1	0
1	1	0	1	0	1
1	1	1	1	0	0

可以用verilog代码描述下图对应的电路，正确的是（ ）

- ☐ A NMOS(X,Y,Z);
- ☐ B PMOS(X,Y,Z);
- ☐ C pmos(Z,Y,X);
- ☒ D pmos(X,Y,Z);



提交

VerilogHDL中，用**关键词****nmos**、**pmos**定义NMOS、PMOS管模型。

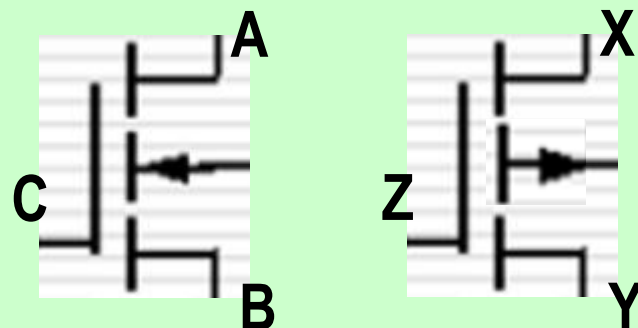
nmos N1(漏极，源极，栅极)

pmos P1(漏极，源极，栅极)

元件实例化名字，可省略

例如：**nmos** mynmos(A, B, C);
pmos newpmos(X,Y,Z);

//(漏极,源极,控制栅极) 由于源极与栅极在同一个水平线上。容易区分。



4.2 组合逻辑电路的设计

4.2.1 组合逻辑电路的设计过程

一、组合逻辑电路的设计：根据实际逻辑问题，求出所要求逻辑功能的最简单逻辑电路。

二、组合逻辑电路的设计步骤

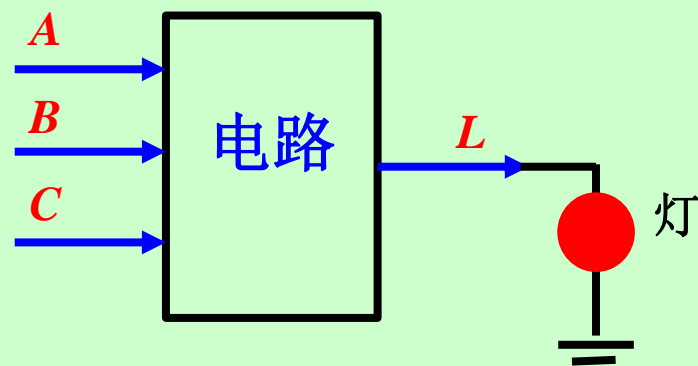
- 1、逻辑抽象：根据实际逻辑问题的因果关系确定**输入、输出变量**，并定义逻辑状态的含义；
- 2、根据逻辑描述列出**真值表**；
- 3、由真值表写出**逻辑表达式**；
- 4、**简化**和变换逻辑表达式，画出逻辑图。

例1 某火车站有特快、直快和慢车三种类型的客运列车进出，试设计一个指示列车等待进站的逻辑电路，**当有两种或以上的列车等待进站时，要求发出信号**，提示工作人员安排进站事宜。

解：（1）逻辑抽象。

输入信号： **A 、 B 、 C** 分别表示特快、直快和慢车，且有进站请求时为1，没有请求时为0。

输出信号： **L** 表示进站状况，有两种以上的车进站为1，否则为0。



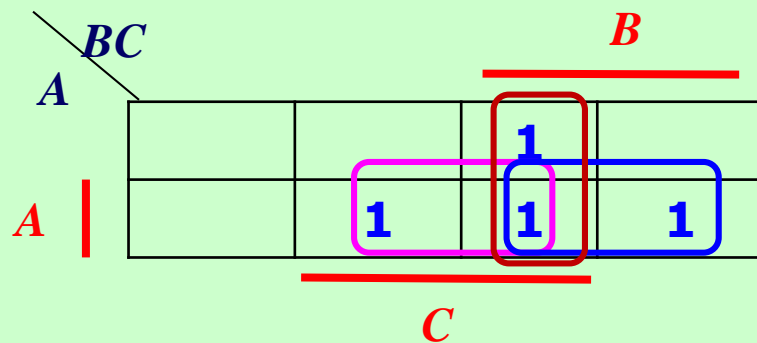
(2) 根据题意列出真值表

输 入			输 出
<i>A</i>	<i>B</i>	<i>C</i>	<i>L</i>
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

(3) 写出输出逻辑表达式,并化简。

$$L = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$$

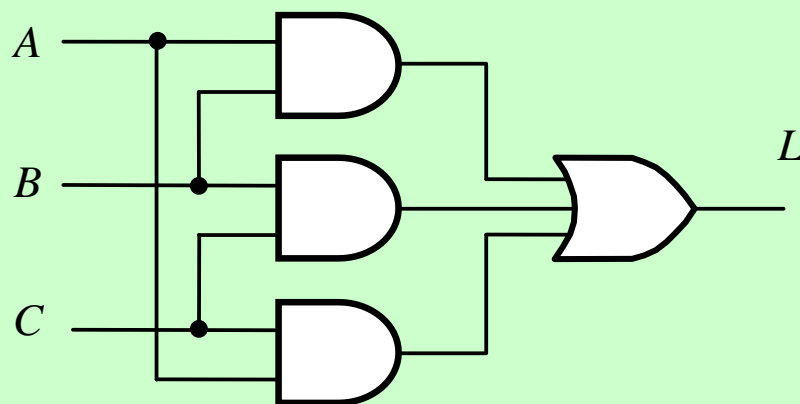
$$L = AB + AC + BC$$



(4) 根据输出逻辑表达式画出逻辑图。

$$L = AB + AC + BC$$

表达式为最简与或式，用与门和或门实现两级“与-或”结构的最简电路如图。



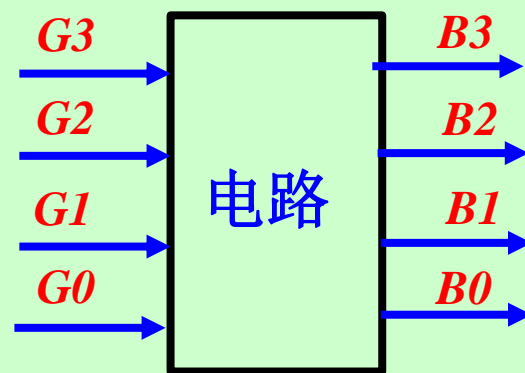
例2 试设计一个码转换电路，将4位格雷码转换为4位自然二进制码。可以采用任何逻辑门电路来实现。

解：(1) 明确逻辑功能，列出真值表。

设输入变量为 G_3 、 G_2 、 G_1 、 G_0 为格雷码，
输出变量 B_3 、 B_2 、 B_1 和 B_0 为自然二进制码。

当输入格雷码按照从0到15递增排序时，

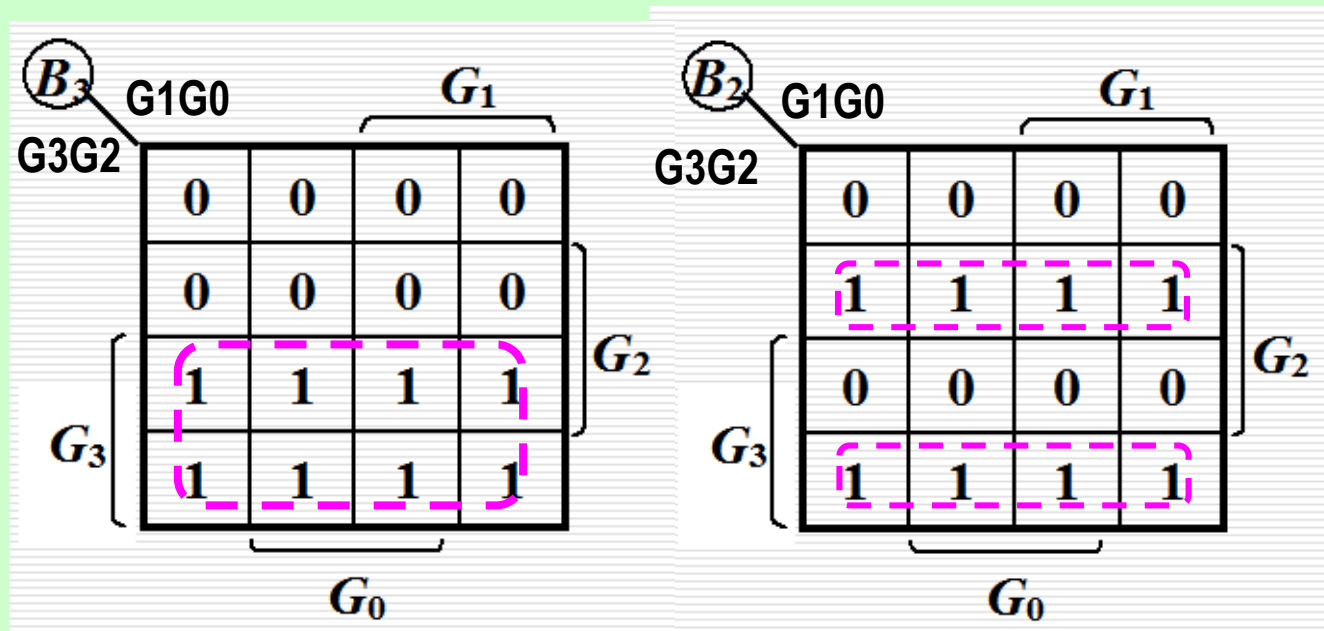
可列出逻辑电路真值表



逻辑电路真值表

输 入	输 出	输 入	输 出
$G_3 G_2 G_1 G_0$	$B_3 B_2 B_1 B_0$	$G_3 G_2 G_1 G_0$	$B_3 B_2 B_1 B_0$
0 0 0 0	0 0 0 0	1 1 0 0	1 0 0 0
0 0 0 1	0 0 0 1	1 1 0 1	1 0 0 1
0 0 1 1	0 0 1 0	1 1 1 1	1 0 1 0
0 0 1 0	0 0 1 1	1 1 1 0	1 0 1 1
0 1 1 0	0 1 0 0	1 0 1 0	1 1 0 0
0 1 1 1	0 1 0 1	1 0 1 1	1 1 0 1
0 1 0 1	0 1 1 0	1 0 0 1	1 1 1 0
0 1 0 0	0 1 1 1	1 0 0 0	1 1 1 1

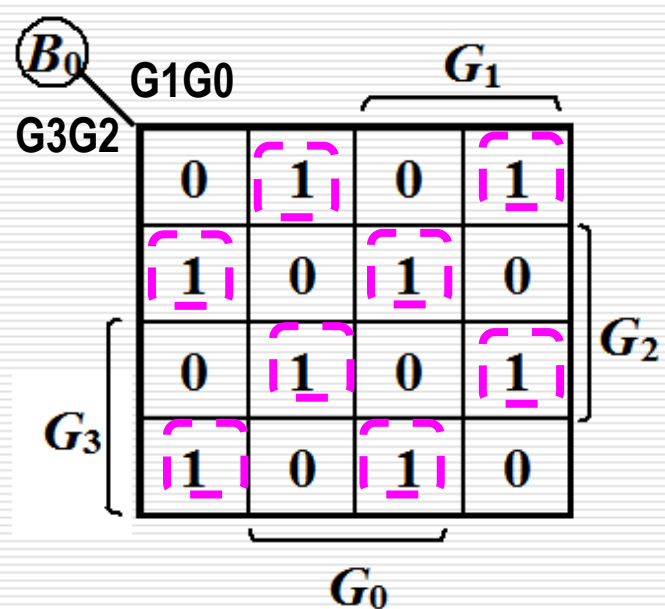
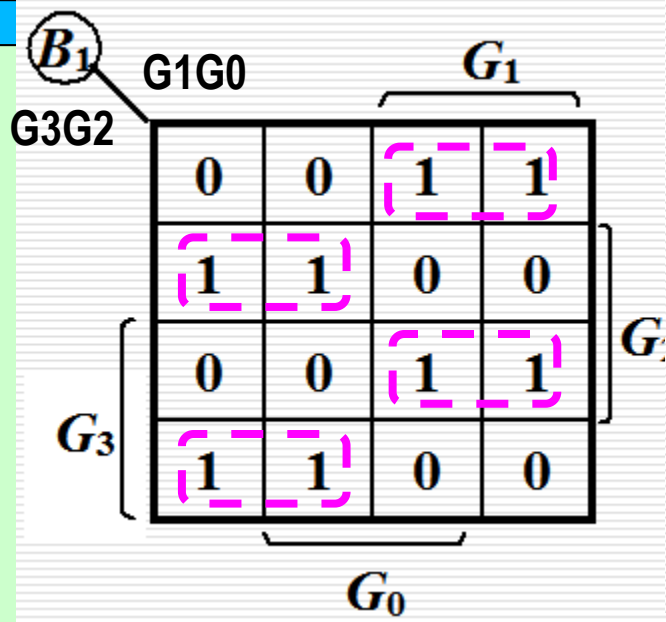
(2) 画出各输出函数的卡诺图，并化简和变换。



$$B_3 = G_3$$

$$\begin{aligned}
 B_2 &= \bar{G}_3 G_2 + G_3 \bar{G}_2 \\
 &= G_3 \oplus G_2
 \end{aligned}$$

当卡诺图中1的分布位于45度方向时，写表达式时，可以向异或门方向靠拢。



$$B_1 = G_3 \bar{G}_2 \bar{G}_1 + \bar{G}_3 G_2 \bar{G}_1 + G_3 G_2 G_1 + \bar{G}_3 \bar{G}_2 G_1$$

$$= (G_3 \bar{G}_2 + \bar{G}_3 G_2) \bar{G}_1 + \overline{G_3 \bar{G}_2 + \bar{G}_3 G_2} G_1$$

$$= G_3 \oplus G_2 \oplus G_1$$

$$B_0 = G_3 \oplus G_2 \oplus G_1 \oplus G_0$$

(3) 根据逻辑表达式，画出逻辑图

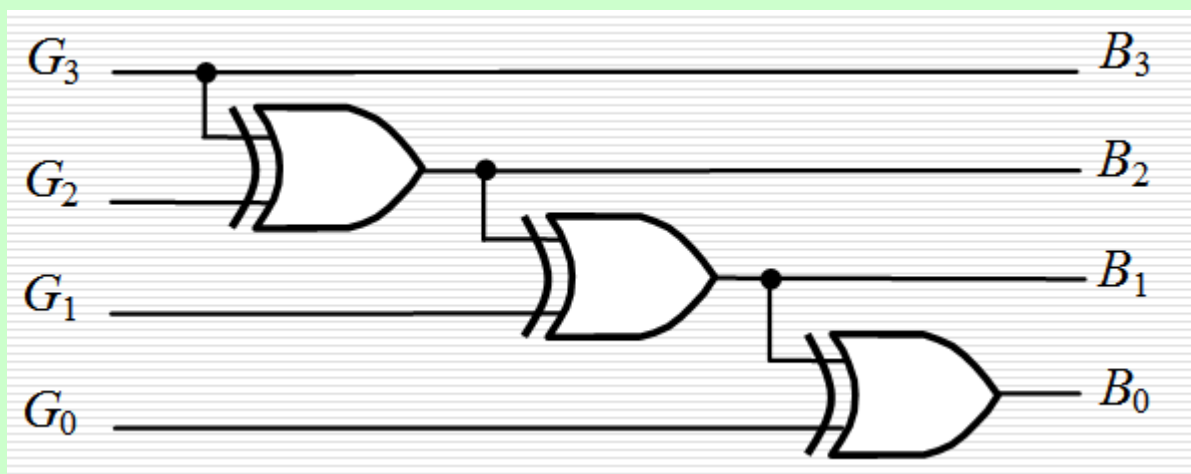
$$B_3 = G_3$$

$$B_2 = \bar{G}_3 G_2 + \bar{G}_3 G_2$$

$$B_1 = G_3 \oplus G_2 \oplus G_1$$

$$B_0 = G_3 \oplus G_2 \oplus G_1 \oplus G_0$$

用异或门代替与门和或门能使逻辑电路比较简单。考虑相同乘积项可以减少门电路数目，降低实现电路的成本。

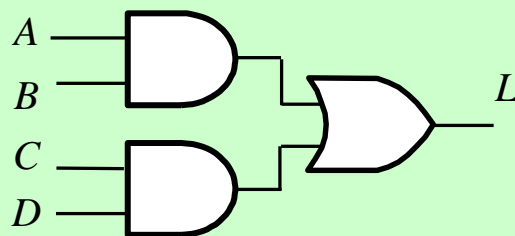


4.2.2 组合逻辑电路的优化实现

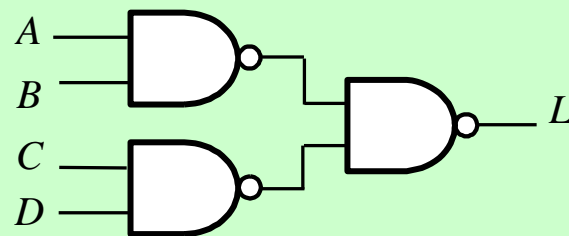
用指定芯片中特定资源实现逻辑函数，使电路的成本低并且工作速度快。因此需要对逻辑表达式进行变换，以减少芯片资源的数目和连线。

1、单输出电路

$$\begin{aligned} L &= AB + CD \\ &= \overline{\overline{AB} \cdot \overline{CD}} \end{aligned}$$



(a) 与-或结构



(b) 与非门结构

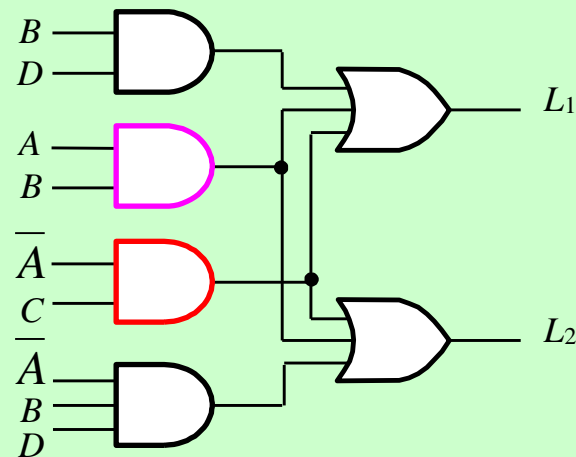
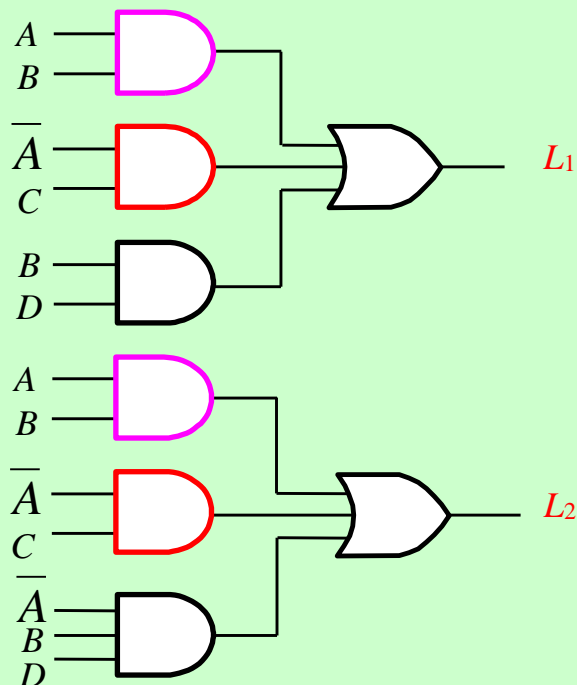
相同输入端的与非门比与门或者或门所用晶体管少，速度快。图(b)电路最优

2、多输出电路

输出多个逻辑函数时需要考虑共享相同乘积项，减少逻辑门数目。

$$L_1 = AB + \bar{A}C + BD$$

$$L_2 = AB + \bar{A}C + \bar{A}BD$$



- (a) 如果分别实现两个逻辑函数，需要6个与门和2个或门。
(b) 如果考虑相同乘积项，需要4个与门和2个或门，如图。

3、多级逻辑电路

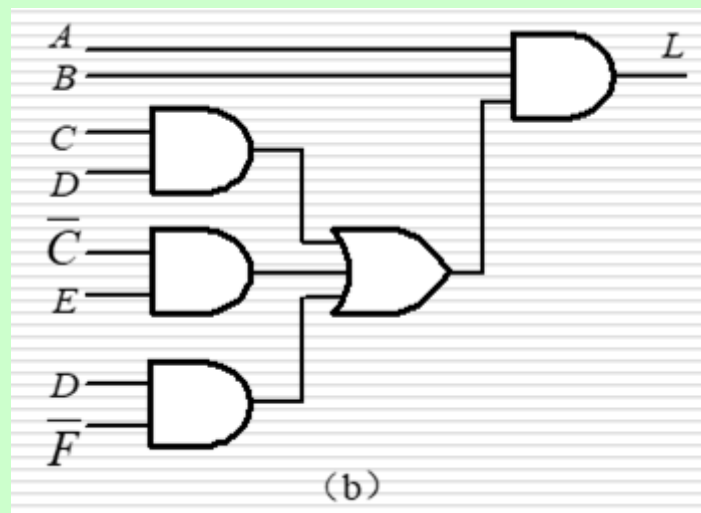
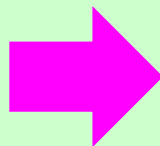
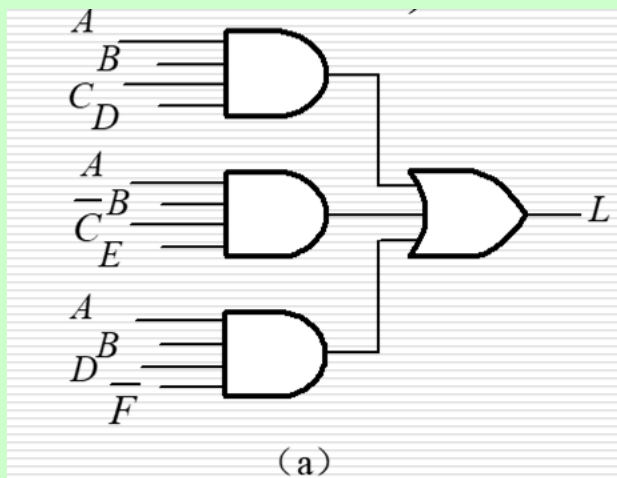
当限定逻辑门输入端数目，则需要进行逻辑变换。

(1) 提取公因子

$$L = ABCD + AB\bar{C}E + ABD\bar{F} \quad (\text{每项中有4个输入变量})$$

用与门、或门实现时，限定逻辑门的扇入数为3，需要变换成：

$$L = AB(CD + \bar{C}E + D\bar{F})$$



图(a)电路为2级，图(b)为3级，但电路连线减少了。图(a)16根连线，图(b)13根。

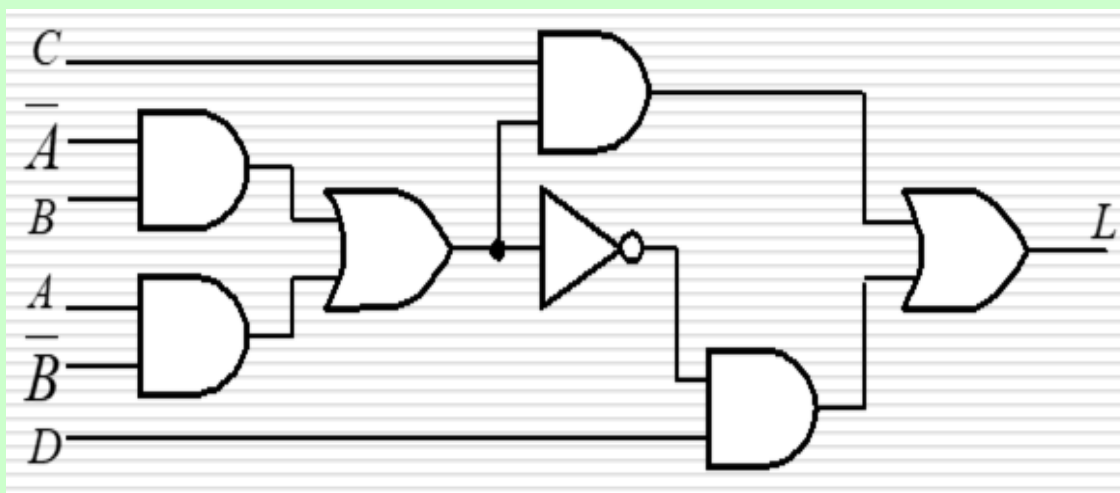
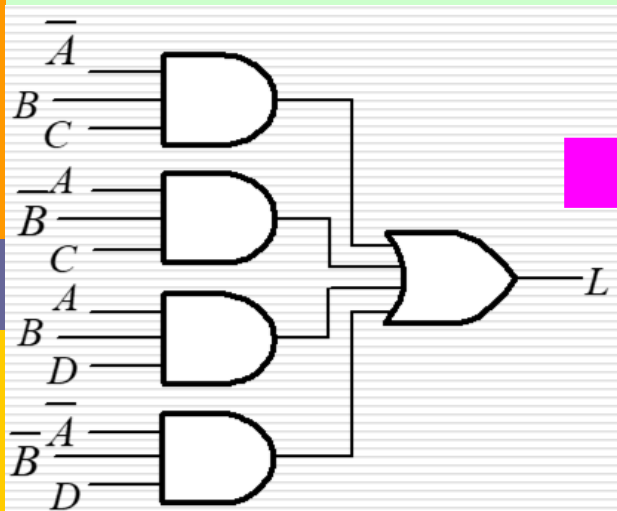
(2) 函数分解

$$L = \overline{A}BC + A\overline{B}C + ABD + \overline{A}\overline{B}D$$

其中有4个与项要进行或运算。

用与门、或门实现时，限定逻辑门的扇入数为3，需要变换成：

$$L = (\overline{A}B + A\overline{B})C + (AB + \overline{A}\overline{B})D = (\overline{A}B + A\overline{B})C + \overline{(\overline{A}B + A\overline{B})}D$$



图(a)电路为2级，图(b)为5级。

上述变换方法只适合手工化简，当变量数很多时，优化策略写入程序由计算机完成。

4.3 组合逻辑电路中的竞争冒险

4.3.1 产生的竞争冒险的原因

4.3.2 消去竞争冒险的方法

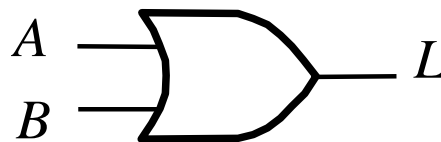
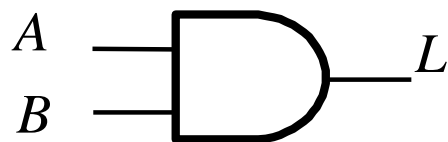
4.3 组合逻辑电路中的竞争冒险

4.3.1 产生的竞争冒险的原因

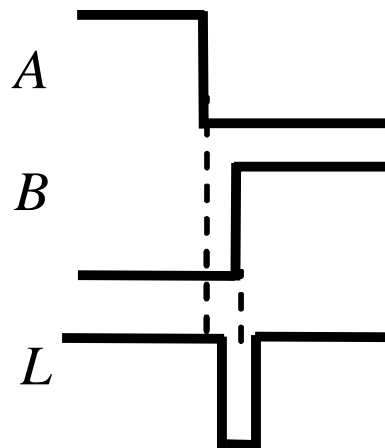
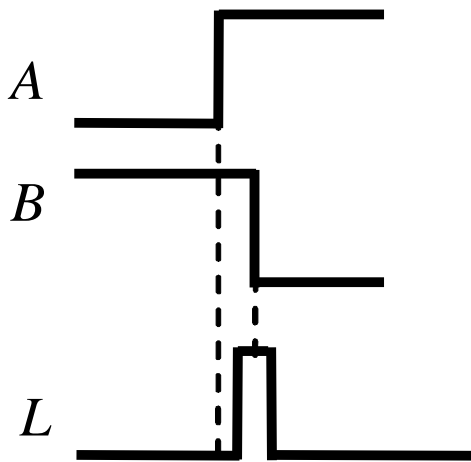
不考虑门的延时时间，且 $B=\bar{A}$

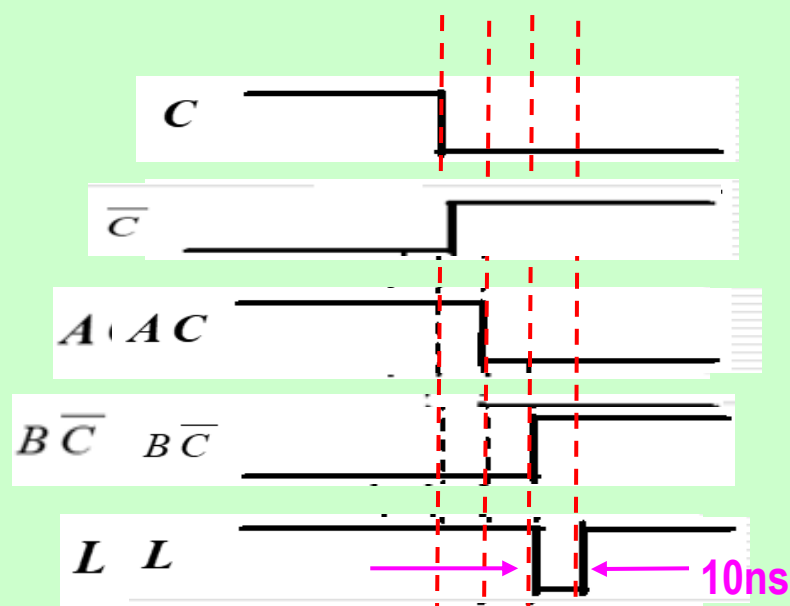
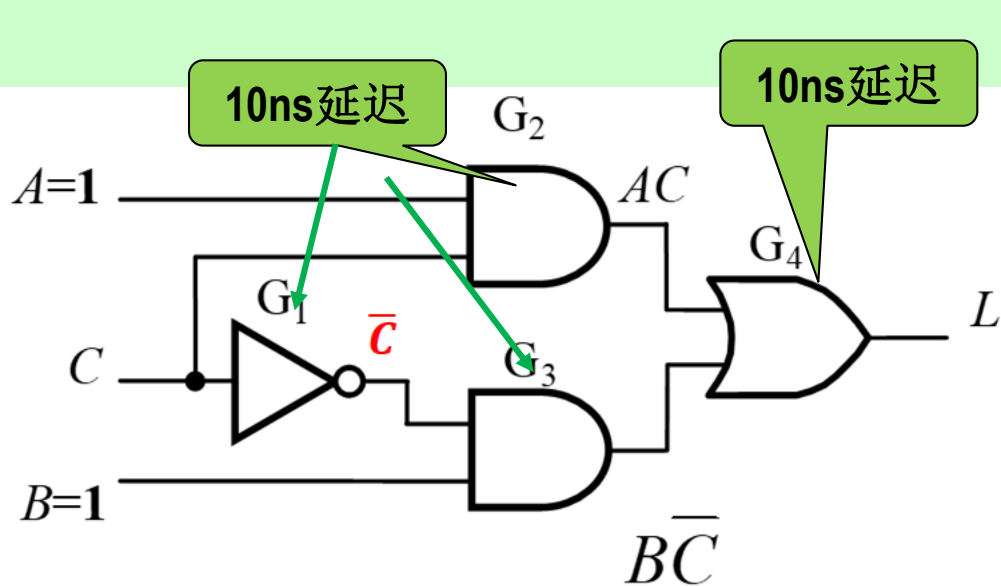
$$L = AB = 0$$

$$L = A + B = 1$$



考虑门的延时时间，且用非门实现 $B=\bar{A}$ 时





若不考虑10ns的门延时： $L = AC + B\bar{C} = 1 \cdot C + 1 \cdot \bar{C} = 1$

竞争: 当一个逻辑门的两个输入端的信号同时向相反方向变化，而变化的时间有差异的现象。

冒险: 两个输入端的信号取值的变化方向是相反时，如门电路输出端的逻辑表达式简化成两个互补信号相乘或者相加，由竞争而可能产生输出干扰脉冲的现象。

竞争-冒险的检查方法

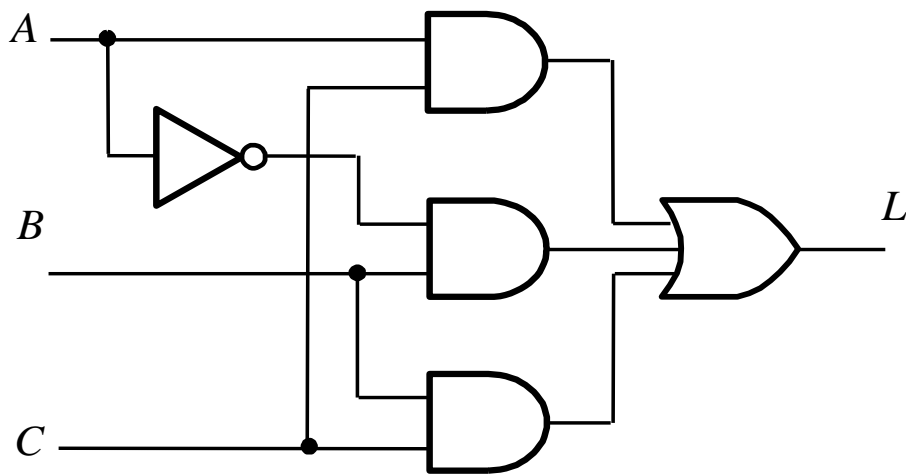
在输入变量每次只有一个改变状态的简单情况下，如果函数表达式中同时存在有 A 和 \bar{A} ，那么我们称 A 为具有竞争能力的变量。对于具有竞争能力的变量，若将其余变量任意取值，函数表达式能够转化成 $Y=A\bar{A}$ 或者 $Y=A+\bar{A}$ 形式之一的，会发生竞争-冒险。

由于竞争-冒险产生的尖峰脉冲持续的时间很短，包含的能量很小，所以大多数竞争-冒险并不会对电路造成危害。但是，如果负载是对尖峰脉冲敏感的存储电路时，竞争-冒险就有可能使存储电路发生误动作而产生错误，因此设计数字系统时应尽量避免竞争-冒险现象的发生。

4.3.2 消去竞争冒险的方法

1. 发现并消除互补变量

$$L = (A + B)(\overline{A} + C)$$



$B = C = 0$ 时

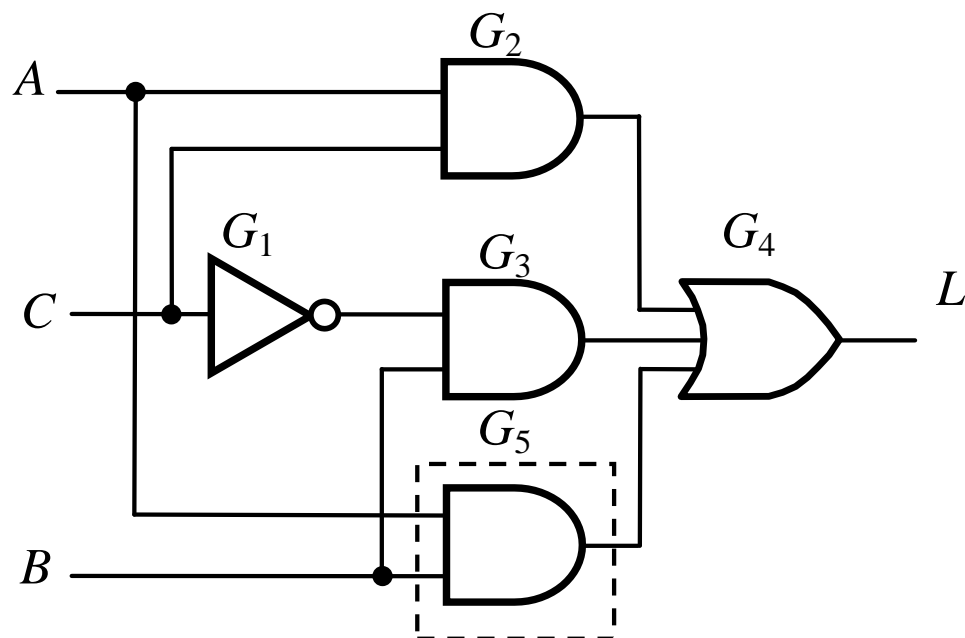
$$L = A\overline{A}$$

可能出现竞争冒险。

为消掉 $A\overline{A}$ ，变换逻辑函数式为

$$L = AC + \overline{A}B + BC$$

2. 增加乘积项, 避免互补项相加



$$L = AC + B\bar{C}$$

当 $A=B=1$ 时

$$L = C + \bar{C}$$

$$L = AC + B\bar{C}$$

$$L = AC + B\bar{C} + AB$$

L	B	C	00	01	11	10
			0	1	1	0
A	0	0	0	0	0	1
	1	0	1	1	1	1

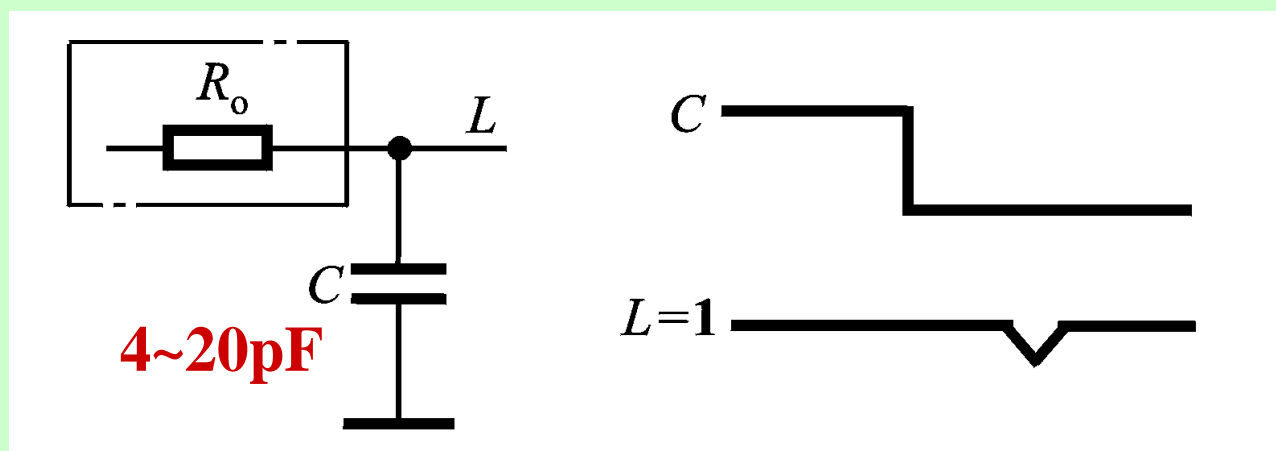
当 $A=B=1$ 时, 根据逻辑表达式有

$$L = C + \bar{C} + 1$$

AB

3. 输出端并联电容器

如果逻辑电路在较慢速度下工作，为了消去竞争冒险，可以在输出端并联一电容器，致使输出波形上升沿和下降沿变化比较缓慢，可对于很窄的负跳变脉冲起到平波的作用。



4.4 若干典型的组合逻辑电路

4.4.1 编码器

4.4.2 译码器/数据分配器

4.4.3 数据选择器

4.4.4 数值比较器

4.4.5 算术运算电路

4.4 若干典型的组合逻辑集成电路

4.4.1 编码器 Encoders

1、编码器 (Encoder)的定义与分类

编码：赋予二进制代码特定含义的过程称为编码。

如：8421BCD码中，用1000表示数字8

如：ASCII码中，用1000001表示字母A等

编码器：具有编码功能的逻辑电路。

编码器能将每一个编码输入信号变换为不同的二进制的代码输出。

1、编码器 (Encoder)的分类

按照编码器的**编码进制**来分, 有:

BCD编码器: 将10个编码输入信号分别编成10个4位码输出。

8线-3线编码器: 将8个输入的信号分别编成 8个3位二进制数码输出。

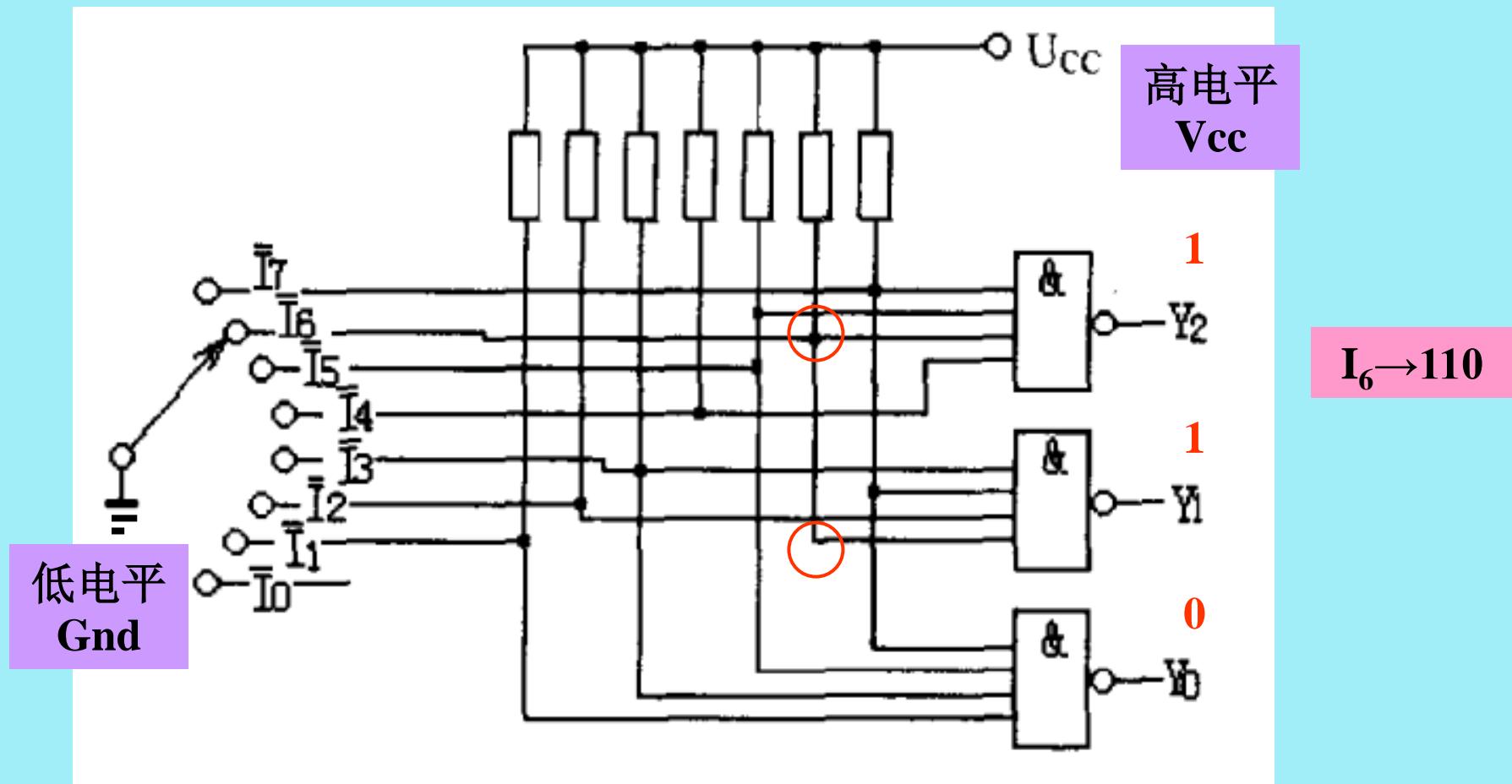
按照**优先级**来分: **普通编码器**和**优先编码器**。

普通编码器和优先编码器的区别：

普通编码器：任何时候只允许输入一个有效编码信号，否则输出就会发生混乱。

优先编码器：允许同时输入两个以上的有效编码信号。当同时输入几个有效编码信号时，优先编码器能按预先设定的优先级别，只对其中优先权最高的一个进行编码。

普通编码器电路



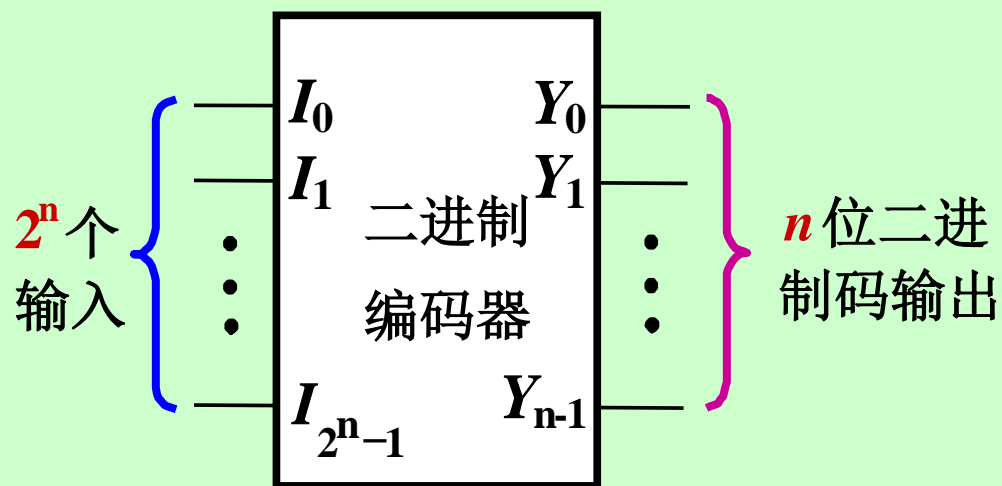
注意：此电路任意时刻只允许一个输入信号为有效信号，输出对这个输入信号编码。

问题：同时为低，编码混乱。

2、编码器的工作原理

普通二进制编码器

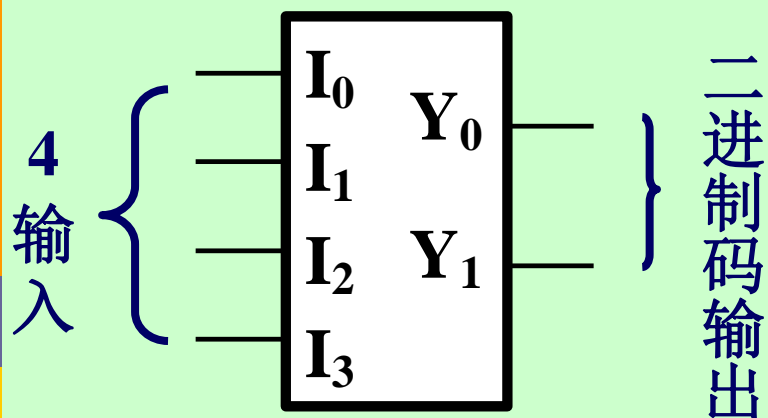
二进制编码器的结构框图



2、编码器的工作原理

(1) 4线—2线普通二进制编码器 (设计) (2) 逻辑功能表

(a) 逻辑框图



$$Y_1 = \bar{I}_0 \bar{I}_1 I_2 \bar{I}_3 + \bar{I}_0 \bar{I}_1 \bar{I}_2 I_3$$

$$Y_0 = \bar{I}_0 I_1 \bar{I}_2 \bar{I}_3 + \bar{I}_0 \bar{I}_1 \bar{I}_2 I_3$$

其它12种组合

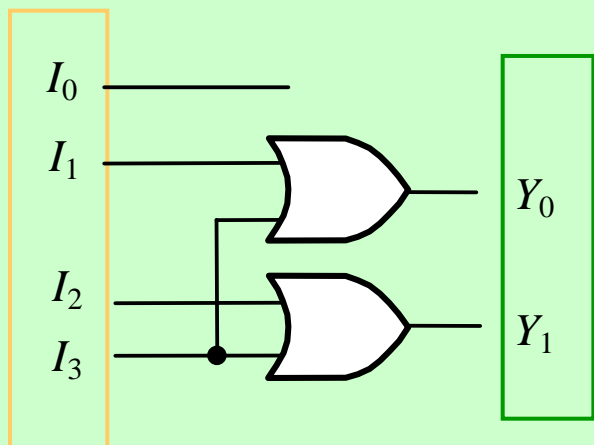
I_0	I_1	I_2	I_3	Y_1	Y_0
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1
0	0	0	0	0	0
...	0	0
1	1	1	1	0	0

编码器的输入为高电平有效。

上述是将输入的其它12种组合对应的输出看做0。如果看做无关项，则表达式为

$$Y_1 = I_2 + I_3$$

$$Y_0 = I_1 + I_3$$

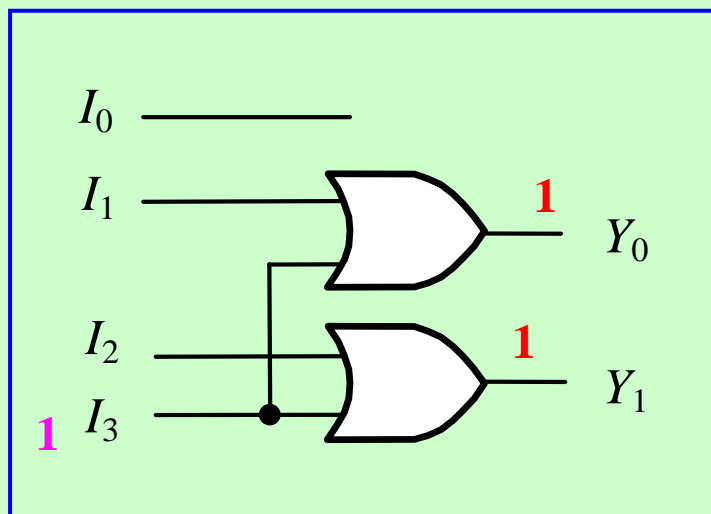


(2) 逻辑功能表

I_0	I_1	I_2	I_3	Y_1	Y_0
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1
0	0	0	0	x	x
...	x	x
1	1	1	1	x	x

其它12种组合

若有2个以上的输入为有效信号？



当只有 I_3 为1时，

$$Y_1 Y_0 = ? \quad Y_1 Y_0 = 11$$

若 $I_1 = I_2 = 1$ ， $I_0 = I_3 = 0$ 时，

$$Y_1 Y_0 = ? \quad Y_1 Y_0 = 11$$

编码相同

无法输出有效编码。

结论：普通编码器不能同时输入两个以上的有效编码信号

3. 优先编码器

实际应用中，经常有两个或更多输入编码信号同时有效。



必须根据轻重缓急，规定好这些外设允许操作的先后次序，即优先级。

识别多个编码请求信号的优先级，并进行相应编码的逻辑部件称为优先编码器。

(2) 优先编码器线(4—2 线优先编码器) (设计)

输入为编码信号 $I_3 \sim I_0$ 输出为 $Y_1 Y_0$

输入编码信号高电平有效，输出为二进制代码

输入编码信号优先级从高到低为 $I_3 \sim I_0$

(1) 列出功能表

输 入				输 出	
I_0	I_1	I_2	I_3	Y_1	Y_0
1	0	0	0	0	0
×	1	0	0	0	1
×	×	1	0	1	0
×	×	×	1	1	1

低 ← 高

(2) 写出逻辑表达式

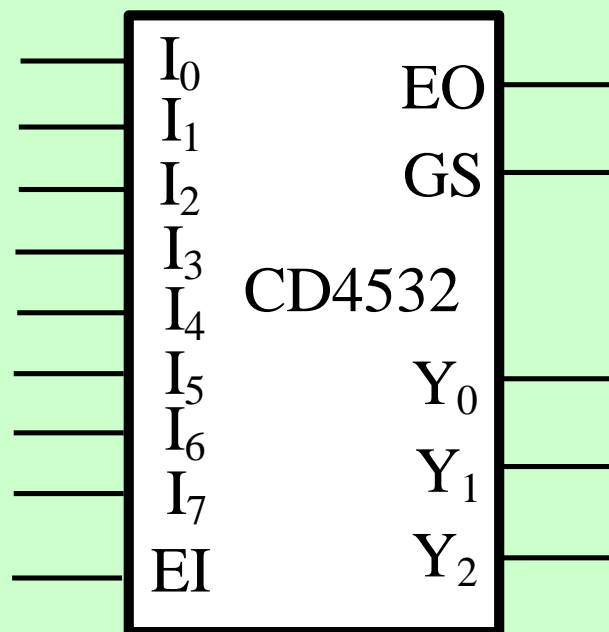
$$Y_1 = I_2 \bar{I}_3 + I_3$$

$$Y_0 = \bar{I}_1 \bar{I}_2 I_3 + I_3$$

(3) 画出逻辑电路 (略)

2 典型编码器电路

优先编码器CD4532的示意框图



8—3 线优先编码器，
真值表如下页所示。

当EI为0时，不论I7~I0怎样变化，GS=0,EO=0

当EI为1时，如I7~I0中有一个1，则GS=1,EO=0

优先编码器CD4532功能表

计算机学院

数字逻辑电路

计算机学院	输 入								输 出				数字逻辑中	
	<i>EI</i>	<i>I</i> ₇	<i>I</i> ₆	<i>I</i> ₅	<i>I</i> ₄	<i>I</i> ₃	<i>I</i> ₂	<i>I</i> ₁	<i>I</i> ₀	<i>Y</i> ₂	<i>Y</i> ₁	<i>Y</i> ₀		<i>EO</i>
0	×	×	×	×	×	×	×	×	×	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	1
1	1	×	×	×	×	×	×	×	×	1	1	1	1	0
1	0	1	×	×	×	×	×	×	×	1	1	0	1	0
1	0	0	1	×	×	×	×	×	×	1	0	1	1	0
1	0	0	0	1	×	×	×	×	×	1	0	0	1	0
1	0	0	0	0	1	×	×	×	×	0	1	1	1	0
1	0	0	0	0	0	1	×	×	×	0	1	0	1	0
1	0	0	0	0	0	0	1	×	×	0	0	1	1	0
1	0	0	0	0	0	0	0	1	×	0	0	0	1	0

为什么要设计GS、EO输出信号？

GS、EO输出信号常用多个芯片的级联