

嵌入式系统原理

The Principle of Embedded System



合肥工业大学·计算机与信息学院

第四章嵌入式存储器系统



- 4.1嵌入式存储器的类型
- 4.2 嵌入式存储器系统的结构
- 4.3 外部存储器芯片连接
- 4.4 Nor Flash存储器芯片
- 4.5 NAND Flash存储器芯片
- 4.6 存储器控制寄存器



母 按用途(所在位置)分类

- ▶主存储器
 - ■用来存放正在执行的或经常使用的程序代码和数据。
 - ✓通常由半导体存储器构成。位于微处理器芯片内部或者主板上。
 - ✓ 存取速度快,CPU可以直接对主存进行访问。
 - ✓ 容量有限,其大小受地址总线位数的限制。

> 外部存储器

- ■用来存放暂时不使用的程序代码和数据。
 - ✓位于主板之外。
 - ✓ 存取速度慢,微处理器不能直接访问,仅在需要时被调入 主存储器。
 - ✓ 容量大、成本低,所存储信息可长期保存,且能修改。



母 按存储介质分类

- > 半导体存储器
 - ■采用大规模集成电路技术将大量的存储单元制作在一个芯 片中,构成一定容量的存储器。
 - ■使用最广泛,主要用作主存储器和高速缓冲存储器Cache, 甚至外部存储器。
- > 光盘存储器
 - ■利用介质材料的光效应,以被照射部分的平面(LAND)和凹坑(PIT)光反射率不同,表示信息"0"或"1"。
- ▶磁表面存储器
 - ■采用磁矩材料作为磁记录载体。在磁场作用下,使各个局部 区域产生相应的磁化状态,利用这些状态来记录信息"0" 和"1"。





随机存取存储器RAM

顺序存取存储器SAM

直接存取存储器DAM

只读存储器ROM

闪速存储器Flash Memory

使用前写入信息并存储。运行时只能从中读出信息,不能写入。电源关闭后,存储的信息不会丢失。常用来存既可在不加电的情况下长期保存信息,又能在线进行快速擦除与重写,具有ROM和RAM的优点。



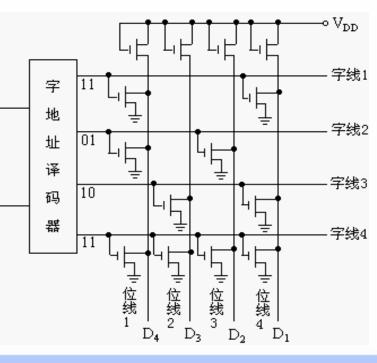
母 按存取方式分类 (续)

- ▶ 随机存取存储器RAM
 - 静态随机存取存储器SRAM (Static RAM)
 - ✓ 一个bit存储单元由多个晶体管耦合(双稳态触发器)而成。
 - ✓ 存储内容可以长时间保持,除非掉电或执行写操作。
 - ✓ 速度非常快,但集成度低,结构复杂,功耗大。
 - 动态随机存取存储器DRAM (Dynamic RAM)
 - ✓ 一个bit存储单元由一个场效应管及其栅极对地接一个电容组成。
 - ✓ 存储内容一定时间后会自动消失,需要周期性刷新——(充电)。
 - ✓ 速度比SRAM慢一些,但集成度高,成本低,功耗低。
 - 同步动态随机存取存储器SDRAM (Synchronous DRAM)
 - ✓ 将CPU和RAM共享一个时钟周期,两者以相同的速度同步工作,在每一个时钟脉冲的上升沿开始传输数据。
 - ■双倍数据速率动态随机存取存储器DDR SDRAM (Double Data Rate SDRAM)
 - ✓ 允许在时钟脉冲的上升沿和下降沿两次传输数据,从而在不提高时钟 频率的情况下能加倍提高SDRAM的传输速度。



母 按存取方式分类 (续)

- > 只读存储器ROM
 - ■掩膜只读存储器MROM (Mask ROM)
 - ✓ 芯片制造时,在一个bit存储单元通过加入一个MOS管表示逻辑"0"。
 - ✓ 程序/数据在出厂前由制造商写入,之后不能修改。
 - ✓ 成本低,适用于定型产品的大批量生产。
 - 可编程只读存储器PROM (Progra
 - ✓ 一个bit存储单元由二极管或者熔
 - ✓ 使用专用编程设备,完成程序/ 修改——(一次可编程)。
 - 可擦除可编程只读存储器EPROM
 - ✓ 使用专用紫外线设备,对已写入 程设备,完成程序/数据多次写户
 - 电可擦除可编程只读存储器E²PRO
 - ✓ 施加高于工作电压的编程电压(1 程序/数据多次写入。
 - ✓ 可以在工作系统中在线进行。





母 按存取方式分类 (续)

- ▶ 闪速存储器Flash Memory——非易失性存储器,可读可写
 - Nor Flash 存储器
 - ✓ 具有芯片内执行 (eXecute In Place, XIP) 特性。应用程序可以直接在其内运行,不必先读到RAM中再运行。
 - ✓ 数据传输效率很高,使用方便在小容量时具有很高的成本效益。
 - ✓ 写入和擦除速度很低,大大影响其性能。
 - NAND Flash存储器
 - ✓ 能提供极高的单元密度,可以达到高存储密度,并且写入和擦除的速度也很快。
 - ✓ 存储器管理较为复杂、系统接口特殊。

对 比

- 1.NAND Flash的写入速度比Nor Flash快很多,而Nor Flash的读取速度比NAND Flash稍快一些。
- 2.NAND Flash最大擦写次数是100万次,而Nor Flash是10万次。
- 3.Nor Flash主要用于程序存储,而NAND Flash同时也适用于数据存储。

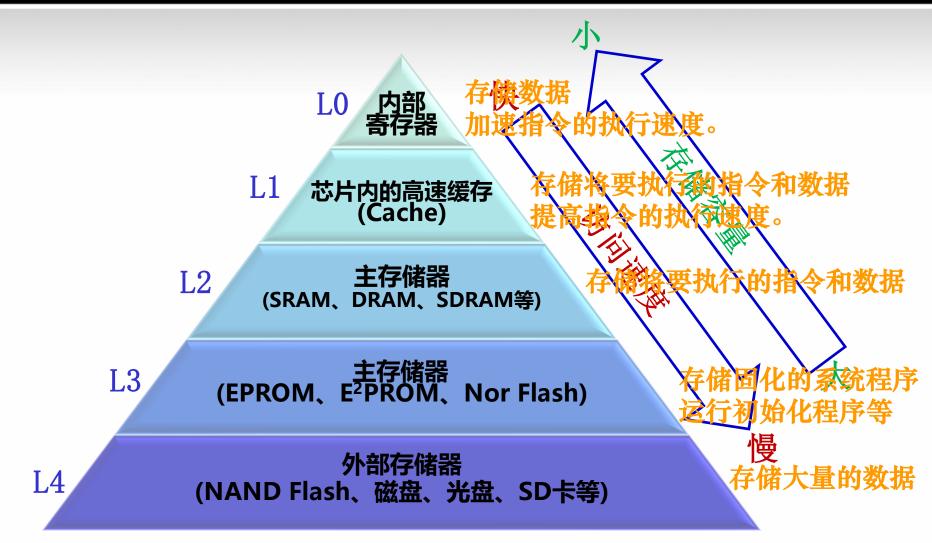
第四章嵌入式存储器系统



- 4.1嵌入式存储器的类型
- 4.2 嵌入式存储器系统的结构
- 4.3 外部存储器芯片连接
- 4.4 Nor Flash存储器芯片
- 4.5 NAND Flash存储器芯片
- 4.6 存储器控制寄存器

嵌入式存储器系统结构



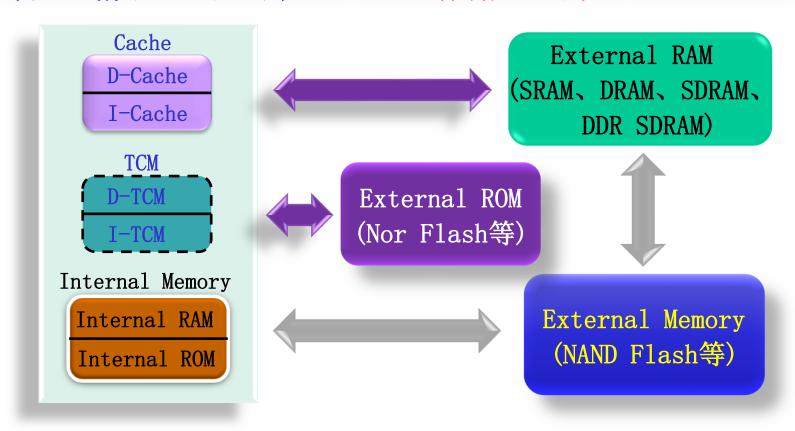


嵌入式存储器系统结构



嵌入式微处理器芯片

存储器芯片



嵌入式存储器系统实物



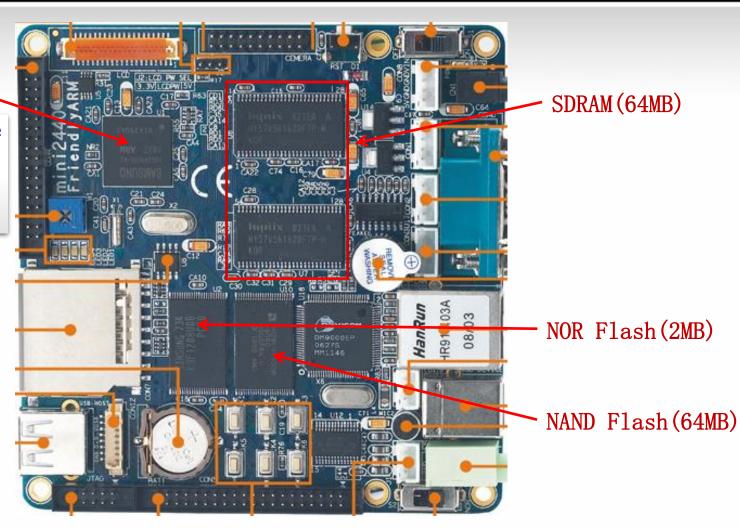


• 16KB: D-Cache

• 16KB: I-Cache

• 4KB: SRAM

(Stepping Stone)



Mini2440嵌入式开发板

嵌入式存储器系统实物



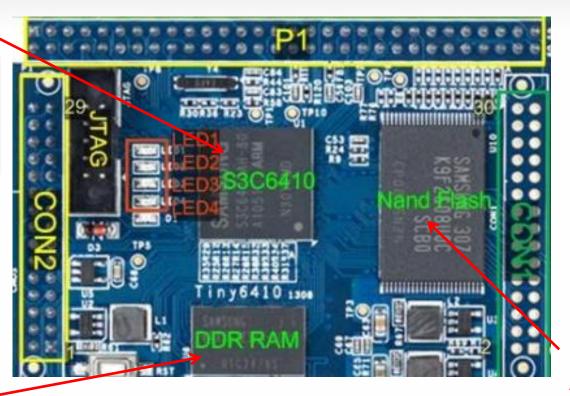
三星、 S3C6410

• 16KB: D-Cache

• 16KB: I-Cache

• 8KB: SRAM

(Stepping Stone)



NAND Flash (128/256M/512M /1GB/2GB)

DDR RAM (256MB)

Tiny6410嵌入式开发板——核心板



サ以S3C2440微处理器为例

- >支持小端/大端模式。——通过编程设定
- ▶可寻址外部存储空间为1GB。
 - 被分成8个Bank(Bank0~Bank7),每个Bank为128MB。 (8×128MB = 1024MB = 1GB)
 - ✓ Bank0的数据位宽只能是16或者32位(由引脚电平决定),其它Bank可以编程设定为8、16或者32位。
 - ✓ 前6个Bank(Bank0~Bank5)可以外接ROM、SRAM类型的存储器; Bank6和Bank7可以外接ROM、SRAM、SDRAM类型的存储器。
 - ✓ Bank6和Bank7的大小可以编程设定。
 - ✓ 前7个Bank(Bank0~Bank6)有固定的起始地址;最后1个Bank(Bank7)起始地址 = Bank6的末地址 + 1。
 - ✓ 所有Bank的访问周期可编程设定。



Bank 0

- >数据总线宽度应在第一次访问之前设定为16位或32位。
 - 由S3C2440芯片的OM(Operation Mode)引脚决定。

OM1(操作模式1)	OM0(操作模式0)	启动ROM 的数据宽度
0	0	NAND Flash 模式
0	1	16 位
1	0	32位
1	1	测试模式

▶外接SRAM类型的存储器或者具有SDRAM接口特性的 ROM存储器 (例如Nor Flash)。



◆ 其它Bank (Bank1~Bank7)

- >数据总线宽度应设定为8位、16位或32位。
- ▶可以外接SRAM类型的存储器或者具有SDRAM接口特性的 ROM存储器。并且,Bank6、Bank7还可以外接SDRAM类型的存储器。
- ▶Bank6、Bank7的容量可以编程设定,且两者必须相等。



	OM(1:0)=01, 10	大地址	OM(1:0)=00	
0x3FFF_FFFF	SROM/SDRAM	1	SROM/SDRAM	2M/4M/8M/16M/
0x3800_0000	(nGCS7)		(nGCS7)	32M/64M/128M
0.12.000_0000	SROM/SDRAM		SROM/SDRAM	2M/4M/8M/16M/
0x3000_0000	(nGCS6)		(nGCS6)	32M/64M/128M
	SROM		SROM	1 _{128M}
0x2800 0000	(nGCS5)		(nGCS5)	1GB
_	SROM		SROM	128M HADDR[29:0] Accessible
0x2000 0000	(nGCS4)		(nGCS4)	Region
_	SROM		SROM	128M
0x1800_0000	(nGCS3)		(nGCS3)	*
	SROM (TCCS2)		SROM	128M
0x1000_0000	(nGCS2)		(nGCS2)	12011
	SROM (nCCS1)		SROM (pCCS1)	128M
0x0800_0000	(nGCS1)		(nGCS1)	*
	SROM (nCCS0)		BOOT Internal	128M
$0x0000_0000$ —	(nGCS0)		SRAM(4KB)	<u>+</u>

[未使用NAND Flash为引导ROM]

[使用NAND Flash为引导ROM]



+ Bank6与Bank7的地址空间

容量	2MB	4MB	8MB	16MB	32MB	64MB	128MB
Bank6	Bank6						
起始	0x3000	0x3000	0x3000	0x3000	0x3000	0x3000	0x3000
地址	_0000	_0000	_0000	_0000	_0000	_0000	_0000
结束	0x301F	0x303F	0x307F	0x30FF	0x31FF	0x33FF	0x37FF
地址	_FFFF	_FFFF	_FFFF	_FFFF	_FFFF	_FFFF	_FFFF
Bank7							
起始	0x3020	0x3040	0x3080	0x3100	0x3200	0x3400	0x3800
地址	_0000	_0000	_0000	_0000	_0000	_0000	_0000
结束	0x303F	0x307F	0x30FF	0x31FF	0x33FF	0x37FF	0x3FFF
地址	_FFFF	_FFFF	_FFFF	_FFFF	_FFFF	_FFFF	_FFFF



Flash Memory

Nor Flash

- 1.访问速度快,程序可 以在其内直接运行;
- 2.CPU可以直接访问;
- 3.容量小,价格高。
- 4.常作为内部或者外部ROM , 存 放 Boot-Loader程序,引导系统启动。

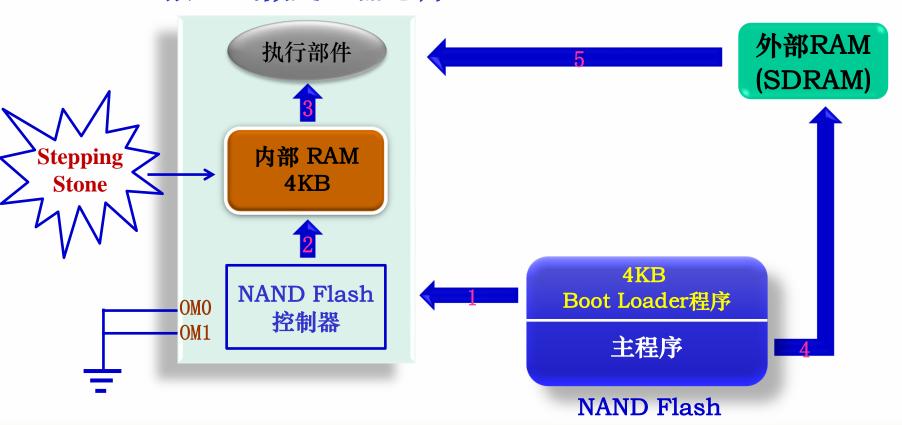
NAND Flash

- 1.速度相对慢,程序必须放入RAM才能执行;
- 2.CPU需要通过专门的 控制器才能访问;
- 3.容量大,价格经济。
- 4.需要借助内部RAM才 能实现引导系统启动。



⊕ 使用NAND Flash为引导ROM的启动流程

嵌入式微处理器芯片



第四章嵌入式存储器系统



- 4.1嵌入式存储器的类型
- 4.2 嵌入式存储器系统的结构
- 4.3 外部存储器芯片连接
- 4.4 Nor Flash存储器
- 4.5 NAND Flash存储器
- 4.6 存储器控制寄存器*



⊕常见外部存储器芯片

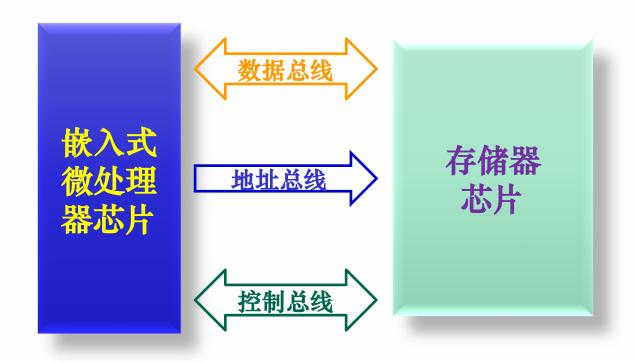
>8位存储器芯片: 低端领域使用。

▶16位存储器芯片:在成本和功耗上有显著优势。

>32位存储器芯片:性能高,但价格昂贵,故使用很少。



- ⊕微处理器芯片与外部存储器芯片的连接
 - 本质上是三种总线的连接。





母数据总线的连接

>将存储器芯片的数据引脚与微处理器芯片的数据引脚顺序连接。

◆ 控制总线的连接

▶ 将存储器芯片的控制引脚(读/写/片选等)与微处理器芯片对应的控制引脚连接。



サ地址总线的连接

>与系统数据总线的宽度(位数)有关。

存储器芯片的 地址引脚	S3C2440的地址引脚 (8 位数据总线)	S3C2440的地址引脚 (16 位数据总线)	S3C2440的地址引脚 (32 位数据总线)
AO	AO	A1	A2
A1	A1	A2	A3
•••••	•••	•••	•••

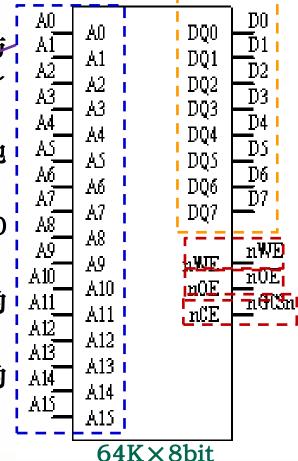


母存储器芯片连接实例

>8位存储器芯片构成8位存储器系统

■ 存储器的8位数据线DQ7~DQ0/与 S3C2440的低8位数据总线DATA7~ DATA0相连。

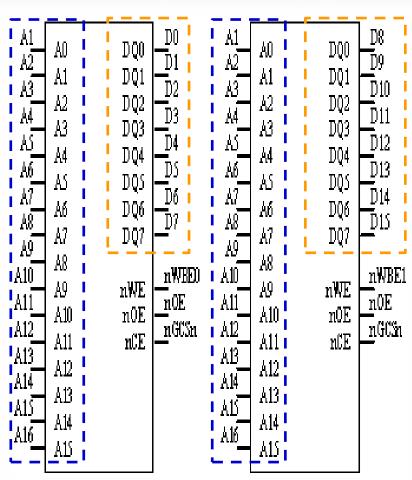
- 存储器的地址线···A1、A0与S3C2440的地址总线···ADDR1、ADDR0相连。
- 存储器的允许输出信号nOE端接S3C2440的nOE引脚。
- 存储器的写信号nWE 端接S3C2440的 nWE引脚。
- 存储器的片选信号nCE端接S3C2440的nGCSn引脚。





母 存储器芯片连接实例 (续)

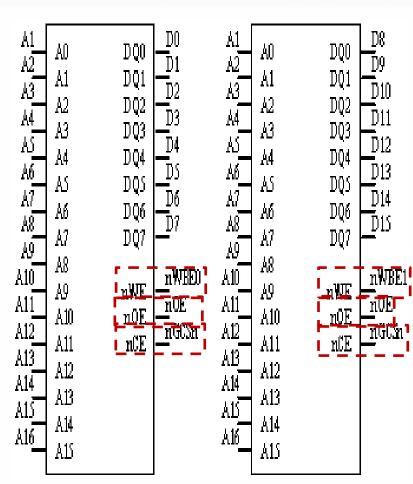
- ▶两片8位存储器芯片并联构成 TAI 16位存储器系统
 - 低8位存储器的8位数据线DQ7 ~DQ0与S3C2440的低8位数据 总线DATA7~DATA0相连;
 - 高8位存储器的8位数据线DQ7~DQ0与S3C2440的高8位数据总线DATA15~DATA8相连。
 - 两片存储器的地址线···A1、A0 与 S3C2440 的 地 址 总 线 ··· ADDR2、ADDR1相连。





母 存储器芯片连接实例 (续)

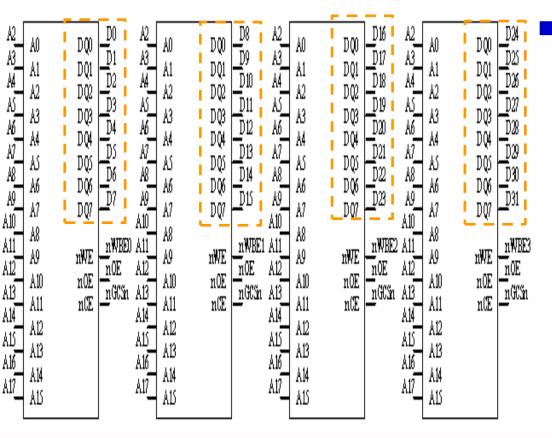
- ➤两片8位存储器芯片并联构成 16位存储器系统(续)
 - 两片存储器的允许输出信号nOE 端都接S3C2440的nOE引脚。
 - 低8位存储器的写信号nWE端接 S3C2440的nWBE0引脚,用于 写入低字节数据;
 - 高8位存储器的写信号nWE端接 S3C2440的nWBE1引脚,用于 写入高字节数据。
 - 两片存储器的片选信号nCE端都接 S3C2440的nGCSn引脚。 (作为一个整体配置到同一Bank中)





母 存储器芯片连接实例 (续)

▶四片8位存储器芯片并联构成32位存储器系统



低8位存储器的8位数据线DQ7~DQ0与S3C2440的低8位数据总线DATA7~DATA0相连;

次低8位存储器的8位数据线DQ7~DQ0与S3C2440的次低8位数据总线DATA15~DATA8相连;

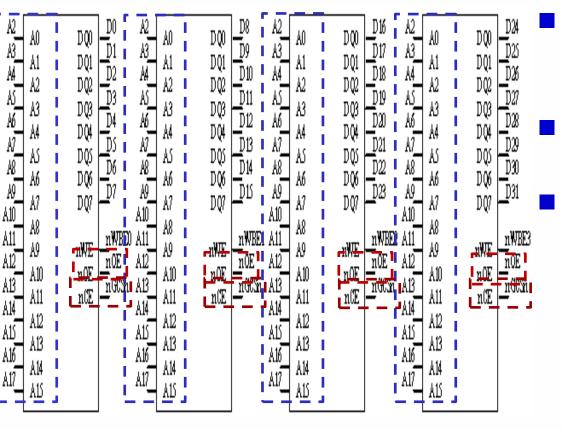
次高8位存储器的8位数据线DQ7~DQ0与S3C2440的次高8位数据总线DATA23~DATA16相连;

高8位存储器的8位数据线DQ7~DQ0与S3C2440的高8位数据总线DATA31~DATA24相连。



母 存储器芯片连接实例 (续)

▶四片8位存储器芯片并联构成32位存储器系统(续)

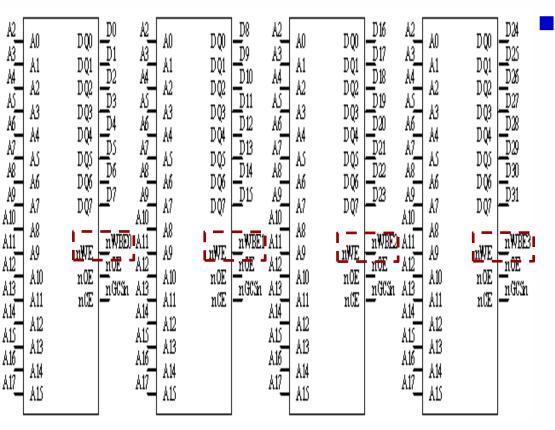


- 四片存储器的地址线···A1、A0 与 S3C2440 的 地 址 总 线 ··· ADDR3、ADDR2相连。
- 四片存储器的允许输出信号nOE 端都接S3C2440的nOE引脚。
- 四片存储器的片选信号nCE端都接 S3C2440的nGCSn引脚。 (作为一个整体配置到同一Bank中)



母 存储器芯片连接实例 (续)

▶四片8位存储器芯片并联构成32位存储器系统(续)



■ 低8位存储器的写信号nWE端接 S3C2440的nWBE0引脚,用于写 入低字节数据;

次低8位存储器的写信号nWE端接 S3C2440的nWBE1引脚,用于写 入次低字节数据;

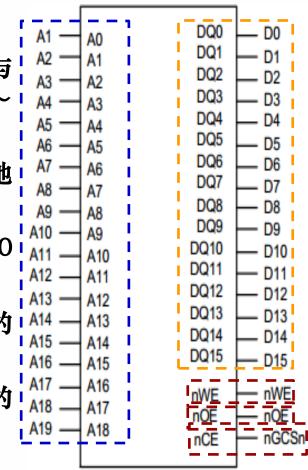
次高8位存储器的写信号nWE端接 S3C2440的nWBE2引脚,用于写 入次高字节数据;

高8位存储器的写信号nWE端接 S3C2440的nWBE3引脚,用于写 入高字节数据。



母 存储器芯片连接实例 (续)

- ▶16位存储器芯片构成16位存储器系统
 - 存储器的16位数据线DQ15~DQ0与 S3C2440的低16位数据总线DATA16~ DATA0相连。
 - 存储器的地址线···A1、A0与S3C2440的地址总线···ADDR2、ADDR1相连。
 - 存储器的允许输出信号nOE端接S3C2440的nOE引脚。
 - 存储器的写信号nWE端接S3C2440的 nWE引脚。
 - 存储器的片选信号nCE端接S3C2440的nGCSn引脚。

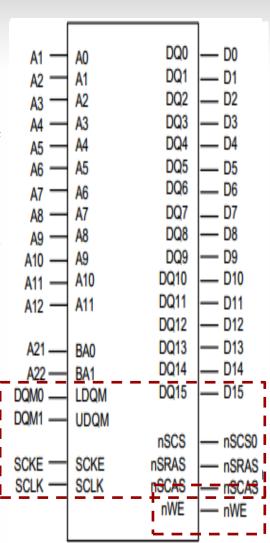




母 存储器芯片连接实例 (续)

- ▶16位存储器芯片构成16位存储器系统
 - SRAM存储器: 还需存储器nUB、nLB端接 S3C2440的nBE1、nBE0引脚。
 - SDRAM存储器:还需保证存储器LDQM、UDQM、SCKE、SCLK、nSRAS、nSCAS、nSCS的正确连接。

nSRAS			SDRAM 行地址选通	
nSCAS	只	能映射到Ba	n STAM 列地址选通	
nSCS[1:0]		或Bathk7。	SDRAM 片选	
DQM[3:0]		0	SDRAM 数据屏蔽	
SCLK[1:0]		0	SDRAM 时钟	
SCKE		0	SDRAM 时钟使能	
		I I		



第四章嵌入式存储器系统



- 4.1嵌入式存储器的类型
- 4.2 嵌入式存储器系统的结构
- 4.3 外部存储器芯片连接
- 4.4 Nor Flash存储器芯片
- 4.5 NAND Flash存储器芯片
- 4.6 存储器控制寄存器

Nor Flash存储器芯片连接



⊕ Nor Flash存储器性能特点

- ▶读取速度快,具有芯片内执行XIP特性。
- >写入速度慢,单位体积下容量小,价格高。
- >擦写次数约10万次。
- ▶ 带有SRAM接口,与微处理器连接方便,便于数据存取。
- ▶适用于存储固化的系统启动引导代码、操作系统代码、应用程序代码。
- ▶通常配置到Bank0。当系统上电或复位后从其内获取指令 并开始执行。

Nor Flash存储器芯片连接



⊕ Nor Flash存储器芯片——SST39VF1601

- ▶单片存储容量为2MB。以半字模式(16位数据宽度)方式工作。
- ▶工作电压2.7~3.6V。
- ▶采用48脚TSOP封装或48脚TFBG封装。



Nor Flash存储器芯片连接



◆ Nor Flash存储器 的接口电路

- 》微处理器芯片的OM1引脚接地,OMO引脚接高电平。——16位存储器系统
- >SST39VF3201——4MB, A20有效,接微处理器ADDR21。
- SST39VF6401——
 8MB, A21、A20有效。
 分别接微处理器ADDR22□
 ADDR21。

ADDR1 ADDR2 ADDR3 ADDR4 ADDR5	25 24 23 22 21	A0 D0 A1 D1 A2 D2 A3 D3 A4 D4	29 DATA0 31 DATA1 33 DATA2 35 DATA3 38 DATA4	
ADDR6 ADDR7 ADDR8 ADDR9 ADDR10 ADDR11 ADDR12 ADDR13 ADDR14	20 19 18 8 7 6 5 4 3	A5 D5 A6 D6 A7 D7 A8 D8 A9 D9 A10 D10 A11 D11 A12 D12	40 DATA5 42 DATA6 44 DATA7 30 DATA8 32 DATA9 34 DATA10 36 DATA11 39 DATA12 41 DATA13	
ADDR15 ADDR16 ADDR17 ADDR18 ADDR19 ADDR20 ADDR21	2 1 48 17 16 9	A13 D13 A14 D14 A15 D15 A16 A17 A18 A19 A20/NC VDD	43 DATA14 45 DATA15 VDD33V 37	
22 —	15 47 27 46	A21/NC OE NC WE NC CE VSS /RST/NC VSS /WP	28 nOE 11 nWE 26 nGCS0 12 nRESET 14 Bank0	R21 1K
——————————————————————————————————————		SST39VF1601	_	GND 37

第四章嵌入式存储器系统



- 4.1嵌入式存储器的类型
- 4.2 嵌入式存储器系统的结构
- 4.3 外部存储器芯片连接
- 4.4 Nor Flash存储器芯片
- 4.5 NAND Flash存储器芯片
- 4.6 存储器控制寄存器

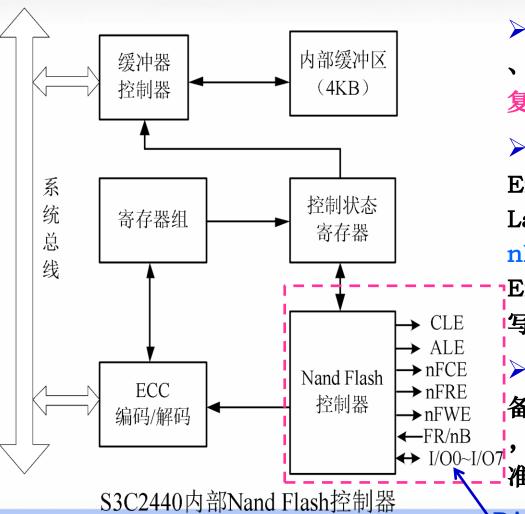


⊕ NAND Flash存储器性能特点

- ▶擦除和写入速度很快。单位体积下数据存储密度大,价格相对便宜。
- ▶使用时需要复杂的I/O接口电路(专用控制器)和存储 管理操作。
 - 以页(Page)为最小单位进行读写;以块(Block)为最小单位进行擦除。
- >擦写次数约100万次。
- >适用于存储大量的用户数据、程序代码。
- ▶支持自动启动引导。



+8位NAND Flash控制器

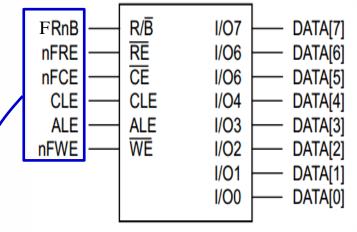


- ▶I/O引脚: I/O0~I/O7用于输出地址、输出命令、输入/输出数据。——分时
- 、 制出 何 令 、 制 八 / 制 出 叙 旂 。 —— 分 时 复 用
- ▶控制引脚: CLE(Command Latch Enable)命令锁存使能; ALE(Address Latch Enable)地址锁存使能; nFCE(Chip Enable)片选; nFRE(Read Enable)读使能和;nFWE(Write Enable)写使能。
- →状态引脚: FR/nB(Ready/Busy)准备就绪或忙状态信号。=0时表示"忙",程序不能对芯片进行操作;=1时表示上准备就绪,可以操作芯片。

DATA0~DATA7

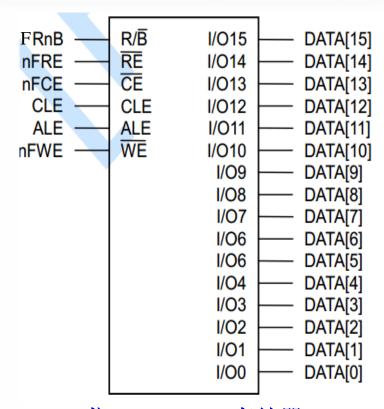


◆NAND Flash存储器芯片引脚(接口)



8位NAND Flash存储器

CLE	0	指令锁存使能
ALE	0	地址锁存使能
nFCE	0	Nand Flash 片选使能
nFRE	0	Nand Flash 读使能
nFWE	0	Nand Flash 写使能
FRnB	1	Nand Flash 就绪/忙

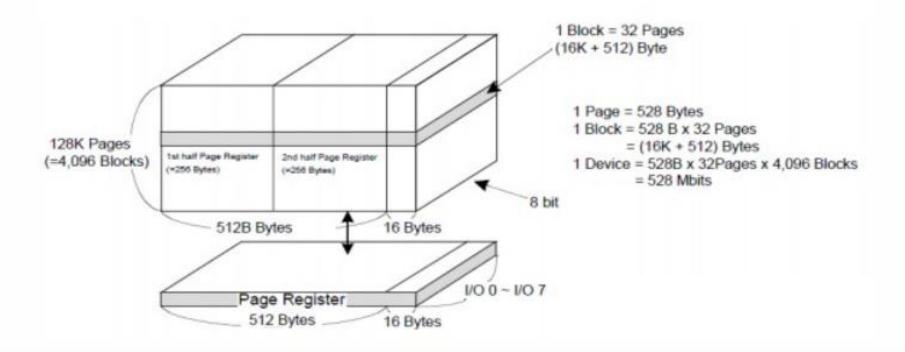


16位NAND Flash存储器



◆ NAND Flash存储器芯片——K9F1208

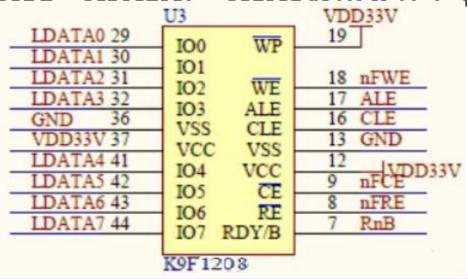
》有效容量64MB:被分为4096块,每块32页,每页528字节 (前512字节用于存放有效数据,后16字节作为用于存放ECC 代码、坏块信息和文件系统代码等辅助数据)。





◆ NAND Flash存储器芯片——K9F1208

- ▶有效容量64MB:被分为4096块,每块32页,每页528字节 (前512字节用于存放有效数据,后16字节作为用于存放ECC 代码、坏块信息和文件系统代码等辅助数据)。
- ▶没有对外的地址线,但芯片内部使用地址线 A25A24···A14A13···A9A8A7···A1A0表示其各字节单元地址。





◆ NAND Flash存储器芯片——K9F1208

- 》有效容量64MB:被分为4096块,每块32页,每页528字节 (前512字节用于存放有效数据,后16字节作为用于存放ECC 代码、坏块信息和文件系统代码等辅助数据)。
- ▶没有对外的地址线,但芯片内部使用地址线 A25A24···A14A13···A9A8A7···A1A0表示其各字节单元地址。
 - A25~A14是12根块地址线——提供块索引,A13~A9是5根页地址线——提供页索引,A8~A0是列地址线——提供页内偏移地址。
 - ✓ A8=0: 选中1st Half Page (256字节); A8=1: 选中2nd Half Page (256字节)。
 - ✓ A7~A0是选中的Half Page的页内偏移地址。

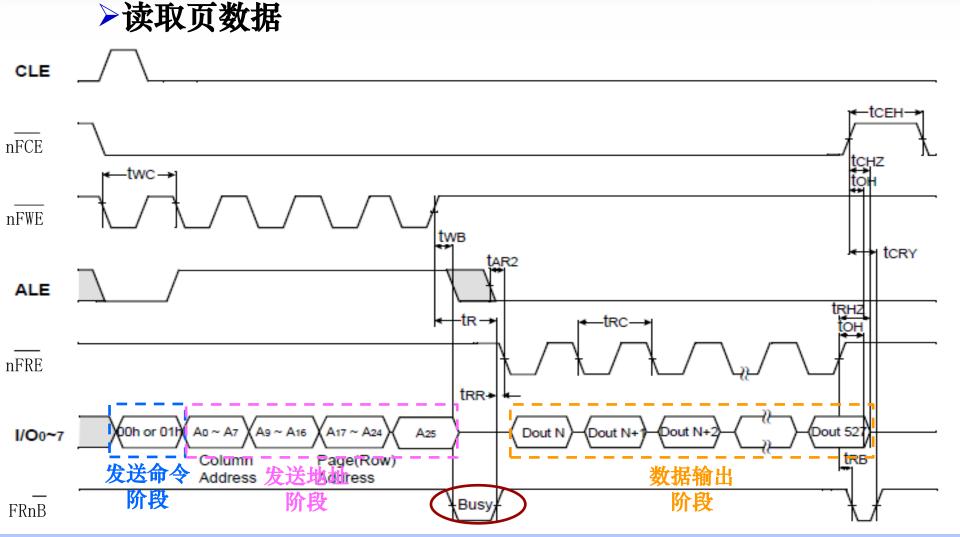


◆ NAND Flash存储器读写操作过程

- >当从芯片中读取数据时,分为2个半页进行读取。
 - 读取1st Half Page使用命令0x00代替A8=0;读取2nd Half Page使用命令0x01代替A8=1。
 - 发送地址信号时按字节分为 A0~A7、 A9~A16、 A17~A24、A25, 即采用四步寻址法。
 - ✓ 物理地址 = 块编号×块大小 + 页编号×页大小 + 页内偏移地址



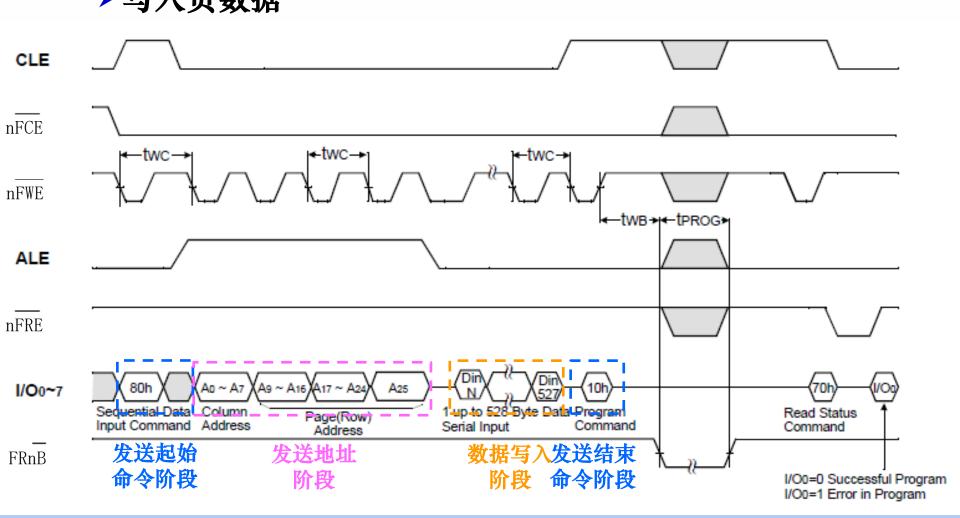
⊕ NAND Flash存储器读写操作过程(续)





⊕ NAND Flash存储器读写操作过程(续)

>写入页数据





◆与NAND Flash存储器相关的微处理器引脚

▶NAND Flash控制器通过一些输入引脚上的电平状态,获取所连接的NAND Flash存储器的参数信息。

• NAND Flash存储器选择位 NCON

• NAND Flash存储器页容量选择位GPG13

• NAND Flash存储器地址周期选择位GPG14

· NAND Flash存储器总线宽度选择位GPG15



◆与NAND Flash存储器相关的微处理器引脚(续)

- ▶NCON: NAND Flash存储器选择位
 - ✓当NCON=0时,选择普通NAND Flash (256字/512字节页大小, 3/4地址周期)。
 - ✓当NCON=1时,选择高级NAND Flash (1K字/2K字节页大小, 4/5地址周期)。
- ➤GPG13: NAND Flash存储器页容量选择位
 - ✓当GPG13=0时,页=256字(NCON=0)或页=1K字(NCON=1)。
 - ✓当GPG13=1时,页=512字节(NCON=0)或页=2K字节(NCON=1)。



◆与NAND Flash存储器相关的微处理器引脚(续)

- ➤GPG14: NAND Flash存储器地址周期选择位。
 - ✓当GPG14=0时,3个地址周期(NCON=0)或4个地址周期(NCON=1)。
 - ✓当GPG14=1时,4个地址周期(NCON=0)或5个地址周期(NCON=1)。
- ➤GPG15 NAND Flash存储器总线宽度选择位。
 - ✓当GPG15=0时,8 位总线宽度。
 - ✓当GPG15=1时,16位总线宽度。



◆NAND Flash存储器配置列表

NCON0	GPG13	GPG14	GPG15
0:普通 NAND	0:256字	0:3个地址周期	0:8 位总线宽度
U. 百旭 INAIND	1:512字节	1:4个地址周期	0.0 过芯线免疫
1 · #:# NAND	0:1K字	0:4个地址周期	1:16 总台建守庄
1: 先进 NAND	1:2K 字节	1:5个地址周期	1:16 位总线宽度

例: NAND Flash 配置设置

器件	页面大小/总计大小	NCON0	GPG13	GPG14	GPG15
K9S1208V0M-xxxx	512 字节/ 512M 比特	0	1	1	0
K9K2G16U0M-xxxx	1K 字/2G 比特	1	0	1	1





⊕ NAND Flash存储器的两种工作模式

NAND Flash Memory

自动引导模式

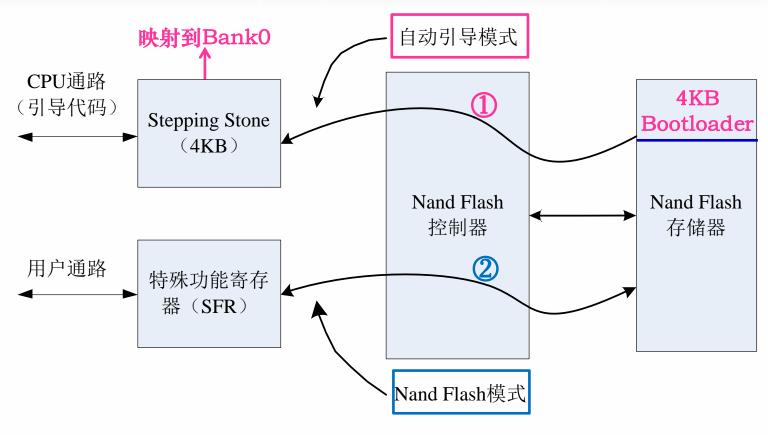
S3C2440 的 引 脚 OM1、OM0均接为 低电平时,则系统处 于NAND Flash自动 引导模式。

普通闪存模式

支持数据读、写、擦除操作。



⊕ NAND Flash存储器的两种工作模式(续)



Nand Flash执行流程

第四章嵌入式存储器系统



- 4.1嵌入式存储器的类型
- 4.2 嵌入式存储器系统的结构
- 4.3 外部存储器芯片连接
- 4.4 Nor Flash存储器芯片
- 4.5 NAND Flash存储器芯片
- 4.6 存储器控制寄存器



母存储器系统组织的途径

- ▶集成在微处理器芯片内的存储器控制器和NAND Flash 控制器,提供了访问存储器所需的全部控制信号。
- 》通过其内一组特殊功能寄存器SFR,可以实现对存储器系统相关参数的设定以及芯片引脚状态的读取。
 - 总线宽度和等待控制器寄存器 BWS C2440为例
 - · 存储块控制寄存器 BANKCONn (n=0~7)
 - 刷新控制寄存器 REFRESH
 - 存储块大小控制寄存器 BANKSIZE



◆ 总线宽度和等待控制寄存器BWSCON

寄存器	地址	R/W	描述	复位值
BWSCON	0x48000000	R/W	总线宽度和等待控制寄存器	0x000000

引脚名称	位	描述	初始值
ST7	[31]	SRAM对Bank7是否使用UB/LB控制位。 0 = 不使用UB/LB (引脚对应nWBE[3:0]); 1 = 使用UB/LB (引脚对应nBE[3:0])。	0
WS7	[30]	Bank7等待状态控制位。 0 = WAIT不使能; 1 = WAIT使能。	0
DW7	[29:28]	Bank7数据总线宽度控制位。 00 = 8bit; 01= 16bit; 10 = 32bit; 11 =保留。	0
ST6	[27]	SRAM对Bank6是否使用UB/LB控制位。 0 = 不使用UB/LB (引脚对应nWBE[3:0]); 1 = 使用UB/LB (引脚对应nBE[3:0])。	0
WS6	[26]	Bank6 的 等待状态控制位。 0 = WAIT不使能; 1 = WAIT使能。	0



◆ 总线宽度和等待控制寄存器BWSCON(续)

引脚名称	位	描述	初始值
DW6	[25:24]	决定对于Bank6的数据总线宽度。 00 = 8bit; 01 = 16bit; 10 = 32bit; 11 =保留。	0
ST5	[23]	SRAM对Bank5是否使用UB/LB控制位。 0 = 不使用UB/LB (引脚对应nWBE[3:0]); 1 = 使用UB/LB (引脚对应nBE[3:0])。	0
WS5	[22]	Bank5 的等待状态控制位。 0 = WAIT 不使能; 1 = WAIT 使能。	0
DW5	[21:20]	Bank5 的数据总线宽度控制位。 00 = 8bit; 01= 16bit; 10= 32bit; 11= 保留。	0
ST4	[19]	SRAM 对 Bank4 是否使用 UB/LB 控制位。 0 = 不使用 UB/LB (引脚对应 nWBE[3:0]); 1 = 使用 UB/LB (引脚对应 nBE[3:0])。	0
WS4	[18]	Bank4 的等待状态控制位。 0 = WAIT 不使能; 1 = WAIT 使能。	0



◆ 总线宽度和等待控制寄存器BWSCON(续)

引脚名称	位	描述	初始值
DW4	[17:16]	Bank4 的数据总线宽度控制位。 00= 8bit; 01= 16bit; 10=32bit; 11= 保留。	0
ST3	[15]	决定SRAM对Bank3是否使用UB/LB。 0 = 不使用UB/LB(引脚对应nWBE[3:0]); 1 = 使用UB/LB(引脚对应nBE[3:0])	0
WS3	[14]	Bank3 的等待状态控制位。 0 = WAIT 不使能; 1 = WAIT 使能。	0
DW3	[13:12]	Bank3 的数据总线宽度控制位。 00 = 8bit; 01= 16bit; 10= 32bit; 11 = 保留。	0
ST2	[11]	SRAM对Bank2是否使用UB/LB控制位。 0 = 不使用UB/LB (引脚对应nWBE[3:0]); 1 = 使用UB/LB (引脚对应nBE[3:0])。	0
WS2	[10]	Bank2 的 等待状态控制位。 0 = WAIT不使能; 1 = WAIT使能。	0



◆ 总线宽度和等待控制寄存器BWSCON(续)

引脚名称	位	描述	初始值
DW2	[9: 8]	Bank2 的数据总线宽度控制位。 00= 8bit; 01= 16bit; 10= 32bit; 11=保留。	0
ST1	[7]	SRAM对Bank1是否使用UB/LB控制位。 0 = 不使用UB/LB (引脚对应nWBE[3:0]); 1 = 使用UB/LB (引脚对应nBE[3:0])。	0
WS1	[6]	Bank1 的等待状态控制位。 0 = WAIT 无效 ; 1 = WAIT使能。	0
DW1	[5: 4]	Bank1 的数据总线宽度控制位。 00= 8bit; 01=16bit; 10=32bit; 11=保留。	0
DW0	[2:1]	Bank0数据总线宽度状态位。——由 OM[1:0]引脚决定 01= 16bit; 10 = 32bit。	_
Reserved	[0]	保留为0	0



◆ 存储块控制寄存器BANKCONn

寄存器	地址	R/W	描述	复位值
BANKCON0	0x48000004	R/W	Bank0 控制寄存器	0x0700
BANKCON1	0x48000008	R/W	Bank1 控制寄存器	0x0700
BANKCON2	0x4800000C	R/W	Bank2 控制寄存器	0x0700
BANKCON3	0x48000010	R/W	Bank3 控制寄存器	0x0700
BANKCON4	0x48000014	R/W	Bank4 控制寄存器	0x0700
BANKCON5	0x48000018	R/W	Bank5 控制寄存器	0x0700

寄存器	地址	R/W	描述	复位值
BANKCON6	0x4800001C	R/W	Bank6 控制寄存器	0x18008
BANKCON7	0x48000020	R/W	Bank7 控制寄存器	0x18008



◆存储块控制寄存器BANKCONn(续)

引脚名称	位	描述	初始值
Tacs	[14:13]	确定nGCSn信号有效之前,建立有效地址的时间。 00=0时钟周期;01=1时钟周期; 10=2时钟周期;11=4时钟周期。	00
Tcos	[12:11]	确定nOE信号有效之前,建立片选信号的时间。 00=0时钟周期;01=1时钟周期; 10=2时钟周期;11=4时钟周期。	00
Tacc	[10:8]	访问周期控制位,当 nWAIT 信号被使用, Tacc 大于等于 4时钟周期。 000 = 1时钟周期; 001 = 2时钟周期; 010 = 3时钟周期; 011 = 4时钟周期; 100 = 6时钟周期; 101 = 8时钟周期; 110 = 10时钟周期; 111 = 14时钟周期;	111

(注: 仅限BANKCONO ∼ BANKCON5)



→ 存储块控制寄存器BANKCONn(续)

引脚名称	位	描述	初始值
Tcoh	[7:6]	确定nOE信号失效后,片选信号保持时间。 00=0时钟周期;01=1时钟周期; 10=2时钟周期;11=4时钟周期;	00
Tcah	[5:4]	确定nGCSn信号失效之后,地址保持时间。 00=0时钟周期; 01=1时钟周期; 10=2时钟周期; 11=4时钟周期。	00
Таср	[3:2]	页模式下的访问周期控制位。 00 = 2时钟周期; 01 = 3时钟周期; 10 = 4时钟周期; 11 = 6时钟周期。	00
PMC	[1:0]	页模式配置位。 00 = 常规(1 data); 01 = 4 data; 10 = 8 data; 11 = 16 data。	00

(注: 仅限BANKCONO ∼ BANKCON5)

△BANKCON6和BANKCON7寄存器的定义,可查阅《S3C2440 Datasheet》。差别主要是多了对SDRAM的控制。



→ 刷新控制寄存器REFRESH

寄存器	地址	R/W	描述	复位值
REFRESH	0x48000024	RW	SDRAM 刷新控制寄存器	0xAC0000

引脚名称	位	描述	初始值
REFEN	[23]	SDRAM 刷新使能控制位。 0 = 无效; 1 = 有效(Self, CBR/Auto刷新)	1
TREFMD	[22]	SDRAM刷新模式控制位。 0 = CBR/Auto模式; 1 = Self模式 在自刷新模式下,SDRAM 控制信号被置于适当的电平。	0
Trp	[21:20]	SDRAM RAS预充电时间(Trp)控制位。 00 = 2时钟周期; 01 = 3时钟周期; 10 = 4时钟周期; 11 = 不支持。	10
Tsrc	[19:18]	SDRAM 半行周期时间 (Tsrc) 00 = 4 时钟周期 ; 01 = 5 时钟周期 ; 10 = 6 时钟周期 ; 11 = 7 时钟周期 。 SDRAM 行周期时间 : Trc=Tsrc+Trp。	11



→刷新控制寄存器REFRESH(续)

引脚名称	位	描述	初始值
Reserved	[17:16]	保留	00
Reserved	[15:11]	保留	0000
Refresh Counter	[10:0]	SDRAM 刷新计数值。 刷新时间 = (211- 刷新计数值 +1)/HCLK 如果刷新时间是 7.8 us 并且 HCLK 是 100 MHz, 刷新计数值如下 : 刷新计数值 = 211+ 1 - 100x7.8 = 1269	0



◆ 存储块大小控制寄存器BANKSIZE

寄存器	地址	R/W	描述	复位值
BANKSIZE	0x48000028	RW	可变 Bank 大小寄存器	0x0

引脚名称	位	描述	初始值
BURST_EN	[7]	ARM 内核突发操作使能控制位。 0 =不使能; 1 =使能突发操作。	0
Reserved	[6]	保留	0
SCKE_EN	[5]	SDRAM 省电模式使能控制位。 0 = 禁止; 1 = 使能。	0
SCLK_EN	[4]	SCLK 信号使能控制位。 SDRAM 没有被访问时, SCLK 变成低电平。 0 = SCLK 总是激活 ; 1 = SCLK 仅当访问周期才被激活 (推荐)。	0
Reserved	[3]	保留	0
BK7MAP	[2:0]	Bank6/7 号存储块的容量控制位。 010=128MB; 001=64MB; 000=32M; 111=16M; 110=8M; 101=4M; 100=2M。	010



◆NAND Flash存储器相关的寄存器

常用寄存器

• NAND Flash配置寄存器NFCONF

• NAND Flash控制寄存器NFCONT

• NAND Flash命令寄存器NFCMMD

• NAND Flash地址寄存器NFADDR

• NAND Flash数据寄存器NFDATA

• NAND Flash状态寄存器NFSTAT



◆NAND Flash配置寄存器NFCONF

寄存器	地址	R/W	描述	复位值
NFCONF	0x4E000000	RW	NAND Flash 配置寄存器	0x0000100X

引脚名称	位	描述	初始值
Reserved	[15:14]	保留。	
TACLS	[13:12]	确定CLE和ALE的持续时间值,可以设置的范围是0~3。 持续时间值=HCLK×TACLS。	01
Reserved	[11]	保留。	0
TWRPH0	[10:8]	确定TWRPHO的持续时间值,可以设置的范围是0~7。 持续时间值=HCLK×(TWRPHO+1)。	000
Reserved	[7]	保留。	0
TWRPH1	[6:4]	确定TWRPH1的持续时间值,可以设置的范围是0~7。 持续时间值=HCLK×(TWRPH1+1)。	000



◆NAND Flash配置寄存器NFCONF(续)

引脚名称	位	描述	初始值
AdvFlash (Read only)	[3]	自动加载高级NAND Flash存储器。 0= NAND Flash为256 /512字节页大小; 1= NAND Flash为1024 /2048字节页大小。 这个标志位由从睡眠模式重启或唤醒过程中的NCON0引脚状态决定。	设置H/W (NCONO)
PageSize (Read only)	[2]	NAND Flash存储器页容量选择位。 当AdvFlash=0时,0=256字/页;1=512字节/页。 当AdvFlash=1时,0=1024字/页;1=2048字节/页。 这个标志位由从睡眠模式重启或唤醒过程中的GPG13引脚状态决定。 复位之后,GPG13作为一般的I/0端口或外部中断。	设置 H/W (GPG13)
AddrCycle (Read only)	[1]	NAND Flash存储器地址周期选择位。 当AdvFlash=0时,0=3地址周期; 1=4地址周期。 当AdvFlash=1时,0=4地址周期; 1=5地址周期。 这个标志位由从睡眠模式重启或唤醒过程中的GPG14引脚状态决定。 复位之后,GPG14作为一般的I/0端口或外部中断。	设置 H/W (GPG14)
BusWidth (R/W)	[0]	NAND Flash存储器总线宽度选择位。 0=8 位总线宽度; 1=16位总线宽度。 这个标志位由从睡眠模式重启或唤醒过程中的GPG15引脚状态决定。 复位之后,GPG15作为一般的I/0端口或外部中断。能被软件改变。	设置 H/W (GPG15)



◆NAND Flash控制寄存器NFCONT

寄存器	地址	R/W	描述	复位值
NFCONT	0x4E000004	R/W	NAND Flash 控制寄存器	0x0384

引脚名称	位	描述	初始值
Reserved	[15:14]	保留。	00
Lock-tight	[13]	Lock-tight配置位。0=不使能;1=使能。 一旦被设置为1,将不能被清除。只有从睡眠模式复位或唤醒时,才能置为不使能。当设置为1时,NFSBLK(0x4E000038)~ NFEBLK(0x4E00003C)-1的地址寄存器空间为不锁定,除了这个区域外的其它地址寄存器空间只读。 当试图写或擦除锁定区域时,将发生非法访问(NFSTAT[3]位将被置1)。 若NFSBLK和NFEBLK地址寄存器相同,则整个区域都将被锁定。	0
Soft Lock	[12]	软件锁定配置位。0=不使能; 1=使能。 软件可以随时修改软锁的区域。 操作方式同Lock-tight位。	1
Reserved	[11]	保留。	0



◆NAND Flash控制寄存器NFCONT(续)

引脚名称	位	描述	初始值
EnbIllegalAccINT	[10]	非法访问中断控制。 0=不使能中断; 1=使能中断。 当处理器试图编程或擦写锁存区域时发生非法访问中断控制。	0
EnbRnBINT	[9]	RnB状态输入信号转换中断控制。 0=不使能RnB中断; 1=使能RnB中断。	0
RnB_TransMode	[8]	RnB 转换检测配置。 0=上升沿检测; 1=下降沿检测。	0
Reserved	[7]	保留。	0
SpareECCLock	[6]	空闲区域ECC锁定。0=未锁定;1=锁定。 空闲区域ECC状态寄存器是FSECC,地址为0x4E000034。	1
MainECCLock	[5]	主数据区域ECC锁定。 0=未锁定; 1=锁定。 主数据区域ECC状态寄存器是NFMECCO/1, 地址为 0x4E00002C/30。	1



◆NAND Flash控制寄存器NFCONT(续)

引脚名称	位	描述	初始值
InitECC	[4]	初始化ECC译码器/编码器(只读)。 1=初始化ECC译码器/编码器。	0
Reserved	[3:2]	保留。	0
Reg_nCE	[1]	NAND Flash的nFCE信号控制。 0=nFCE为低电平; 1= nFCE为高电平。 注意:在启动期间,它能自动控制,当MODE方式位为1时,该值才有效。	1
MODE	[0]	NAND flash <mark>控制器的运行模式。</mark> 0=控制器不使能; 1=控制器使能。	0



◆NAND Flash命令寄存器NFCMMD

寄存器	地址	R/W	描述	复位值
NFCMMD	0x4E000008	RW	NAND Flash 命令集寄存器	0x00

引脚名称	位	描述	初始值
Reserved	[15:8]	保留。	0x00
NFCMMD	[7:0]	NAND Flash 存储器的命令值。	0x00

命令操作	命令值
W マ ま I F	메 구 ILL

Read	00h
Read for Copy Back	00h
Read ID	90h
Reset	FFh
Page Program	80h
Block Erase	60h



◆NAND Flash地址寄存器NFADDR

寄存器	地址	R/W	描述	复位值
NFADDR	0x4E00000C	R/W	NAND Flash 地址集寄存器	0x0000XX00

引脚名称	位	描述	初始值
Reserved	[15:8]	保留。	0x00
NFADDR	[7:0]	NAND Flash 存储器地址值。	0x00



◆NAND Flash数据寄存器NFDATA

寄存	ii iii	地址	R/W	描述	复位值
NFDA [*]	TA	0x4E000010	RW	NAND Flash 数据寄存器	0xXXXX

引脚名称	位	描述	初始值
NFDATA	[31:0]	NAND Flash 的数据,读取时存放的是读出的数据,写入时是编程 I/0 的数据。	

1) 16 位 NAND Flash 存储器接口

A 字访问

寄存器	大/小端	位[31:24]	位[2316]	位[15:8]	位[7:0]
NFDATA	小端	2 nd I/O[15:8]	2 nd I/O[7:0]	1 st I/O[15:8]	1 st I/O[7:0]
NFDATA	大端	1 st I/O[15:8]	1 st I/O[7:0]	2 nd I/O[15:8]	2 nd I/O[7:0]

B 半字访问

寄存器	大/小端	位[31:24]	位[2316]	位[15:8]	位[7:0]
NFDATA	大/小端	无效值	无效值	1 st I/O[15:8]	1 st I/O[7:0]
NFDATA	大/小端	七双值	七双值	七双值	1~1/0[7:0]



◆NAND Flash状态寄存器NFSTAT

寄存器	地址	R/W	描述	复位值
NFSTAT	0x4E000020	RW	NAND Flash 运行状态寄存器	0xXX00

引脚名称	位	描述	初始值
Reserved	[7]	保留。	_
Reserved	[6:4]	保留。	0
IllegalAccess	[3]	一旦软锁或Lock-tigh位被激活,若非法存取 (程序或擦除), 将置位该位。 0=非法存取不被检测; 1=非法存取被检测。	0
RnB_TransDetect	[2]	当FRnB 引脚由低变高时发生传输,如果使能了此位则设置和 发出中断。要清除此位时对其写入"1"。 0= 不检测 FRnB 传输; 1=检测FRnB 传输。	0
nCE (Read-only)	[1]	nCE 输出引脚状态位。	1
RnB (Read-only)	[0]	FRnB 输入引脚状态位。 0= NAND Flash 忙 ; 1=NAND Flash 就绪,可以运行。	1



The End!

本章要点



- + 熟悉嵌入式存储器的分类,及不同类型存储器的特点和使用场合。
- 申 弄清嵌入式存储器系统的构成及其存储空间的分布和 特点。
- ⊕ 通过实例,掌握常用存储器芯片与嵌入式微处理器芯片的连接方法。
- ◆ 简单了解存储器控制器中相关特殊功能寄存器控制字 的分析方法。