

数 字 逻 辑

Digital Logic Circuit

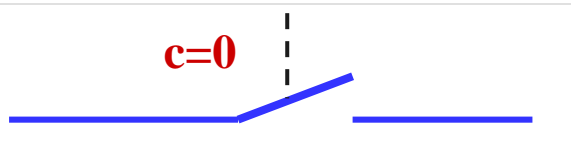
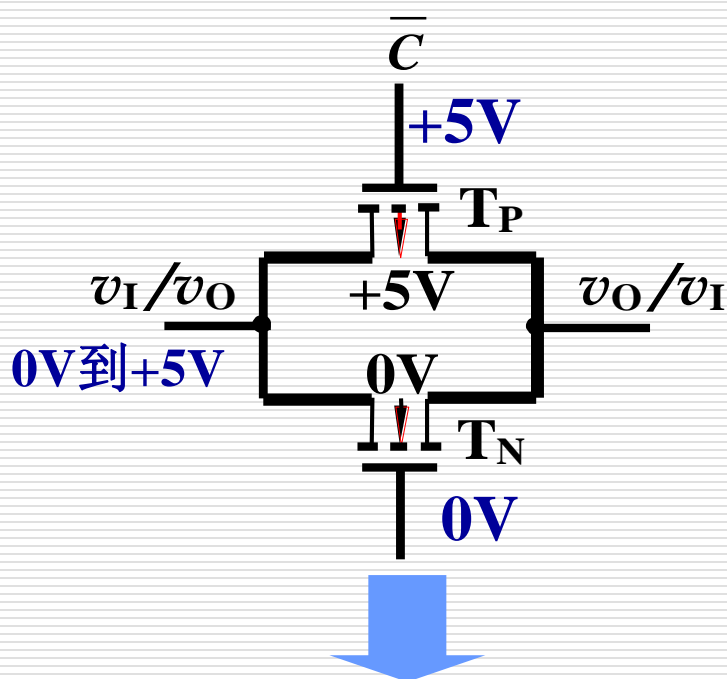
丁 贤 庆

ahhfdxq@163.com

Home work (P218)

- 1、下周是第5周，下周第一次课前交作业。
- 2、今天的作业：
 - 3.3.4
 - 4.1.1
 - 4.1.3
 - 4.2.2
 - 4.2.3
- 3、下周三晚上6:30-8:00在新安学堂105教师休息室，安排答疑。可以回答作业或者课本等疑难问题。

1、传输门的结构及工作原理



设 $T_P: |V_{TP}|=2V$, $T_N: V_{TN}=2V$,
 v_I 的变化范围为 0 到 $+5V$ 。

1) 当 $c=0$, $\bar{c}=1$ 时

$$c=0=0V, \quad \bar{c}=1=+5V$$

$$v_{GSN} = 0V - (0V \text{ 到 } +5V) = (0 \text{ 到 } -5)V$$

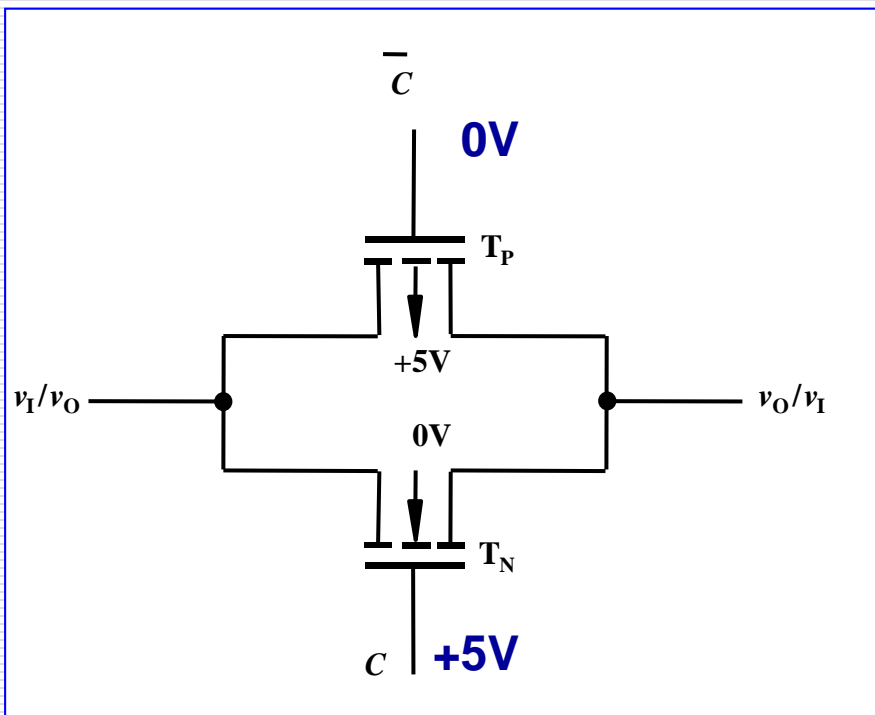
$$v_{GSN} < V_{TN}, \quad T_N \text{ 截止}$$

$$v_{GSP} = +5V - (0V \text{ 到 } +5V) = (5 \text{ 到 } 0)V$$

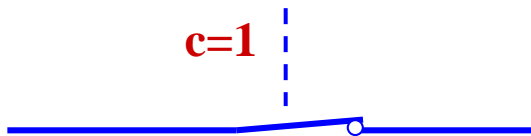
$$v_{GSP} > 0, \quad T_P \text{ 截止}$$

综上，可以看出：当 $C=0$ 时，开关断开，不能转送信号

2) 当 $c=1$, $\overline{c}=0$ 时



$c=1$



a、 $v_I=0V\sim 3V$

$$v_{GSN}=5V - (0V\sim +3V)=(5\sim 2)V$$

$v_{GSN}>V_{TN}$, T_N 导通

b、 $v_I=2V\sim 5V$

$$v_{GSP}=0V - (2V\sim +5V)=-2V\sim -5V$$

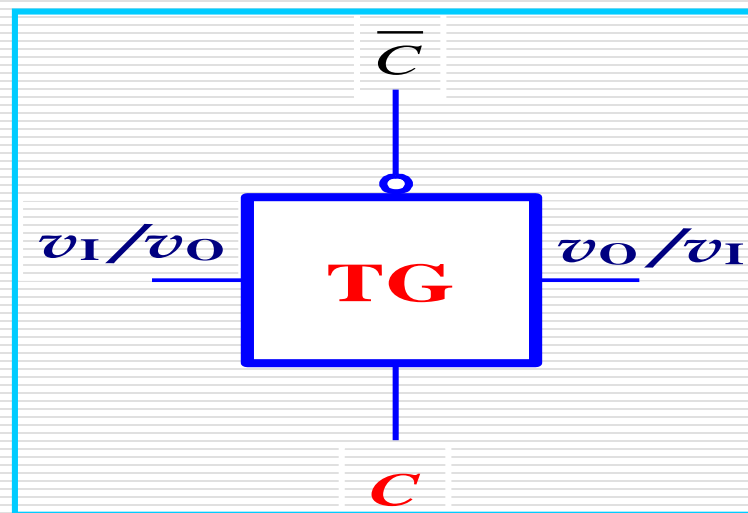
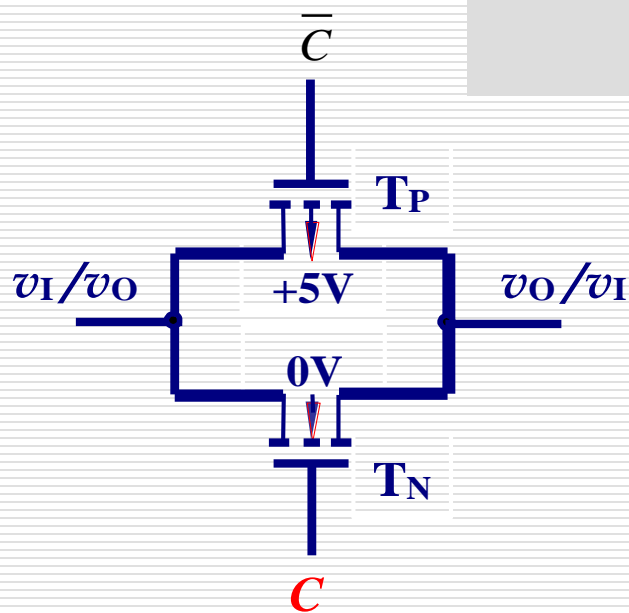
$|v_{GSP}|>|V_{TP}|$, T_P 导通

c、 $v_I=2V\sim 3V$

T_N 导通, T_P 导通

综上, 可以看出: 当 $C=1$ 时, $v_O = v_I$

综上：传输门的控制端 $C=1$ 时，传输门导通， $C=0$ 时传输门截止。



或者说：上图中有小圆圈的线（控制极）连接0信号，没有小圆圈的线（控制极）连接1信号，传输门导通。

2. 传输门的应用

(1) 分析右图传输门电路的输出

$B=0$

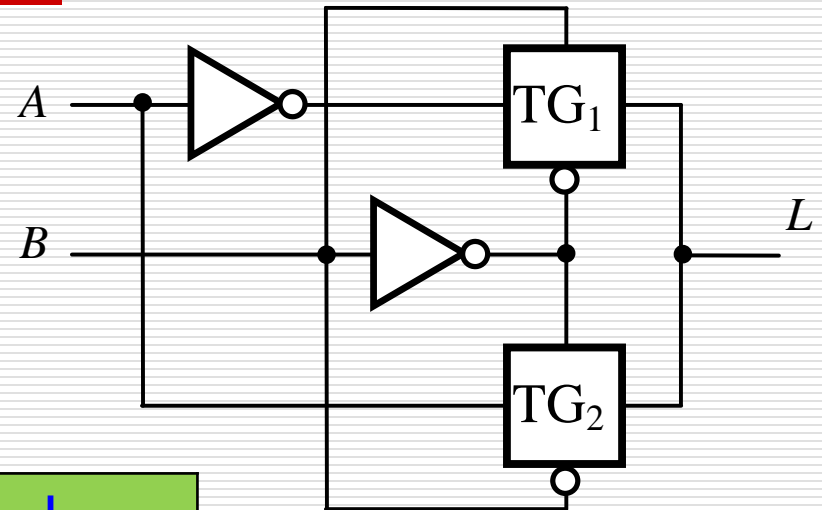
TG1断开, **TG2**导通

$L=A$

$B=1$

TG1导通, **TG2**断开

$L=\bar{A}$



| B | L |
|---|-----------|
| 0 | A |
| 1 | \bar{A} |

简化真值表

| A | B | L |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

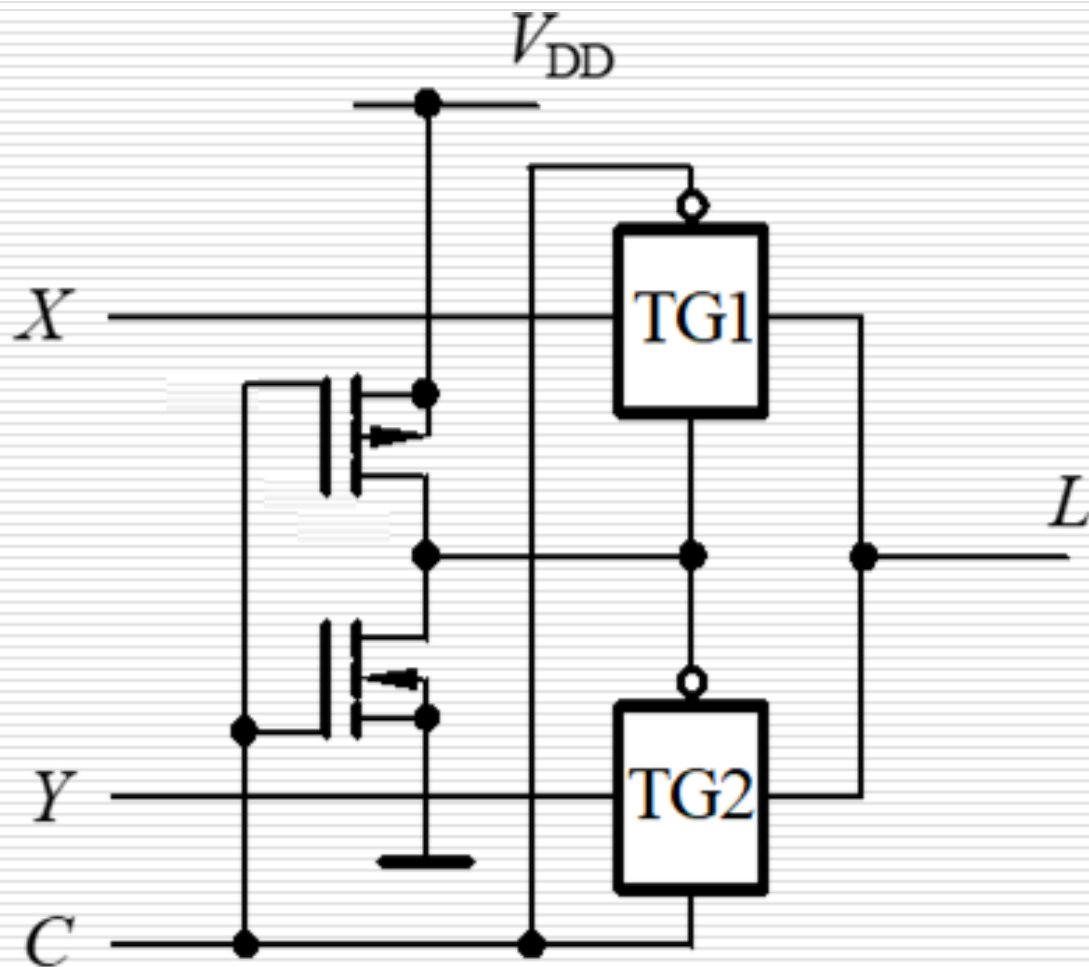
$$L = A\bar{B} + \bar{A}B$$

上图是有传输门构成的异或门，由8个MOS管构成，制造成本低。

右图电路中，输出L与输入X、Y、C之间的关系式正确的是：（ ）

- ☒ A $L = \overline{C} X + C Y$
- ☐ B $L = C X + \overline{C} Y$
- ☐ C $L = C X + C \overline{Y}$
- ☐ D $L = C \overline{X} + C Y$

提交



2. 传输门的应用

(2) 传输门组成的数据选择器

C=0

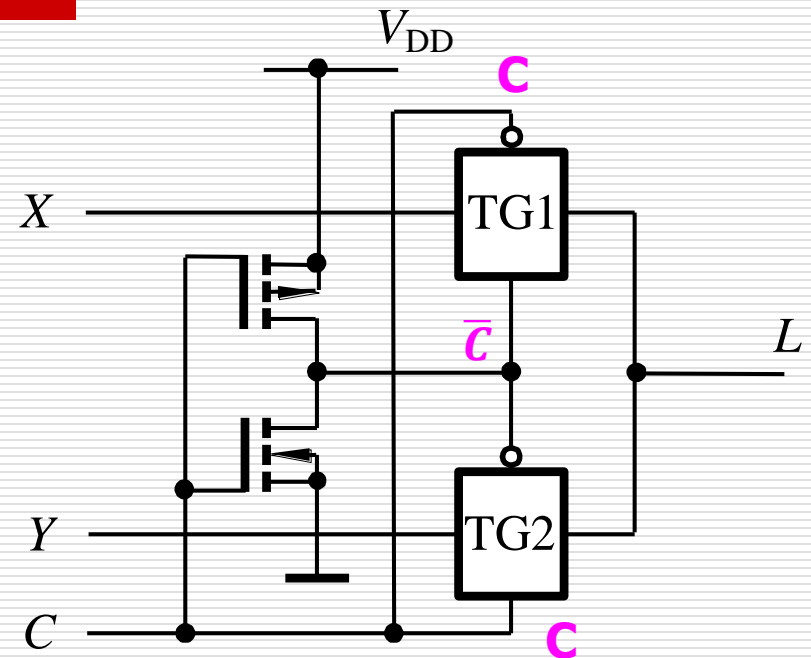
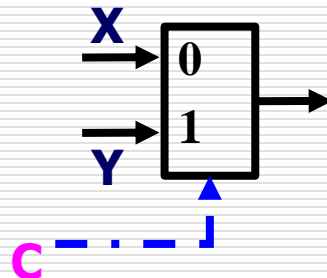
TG1导通, TG2断开

L=X

C=1

TG2导通, TG1断开

L=Y



| C | L |
|---|---|
| 0 | X |
| 1 | Y |

简化真值表

$$L = \bar{C} X + C Y \quad \text{数据选择器}$$

3.3 CMOS逻辑门电路的不同输出结构及参数

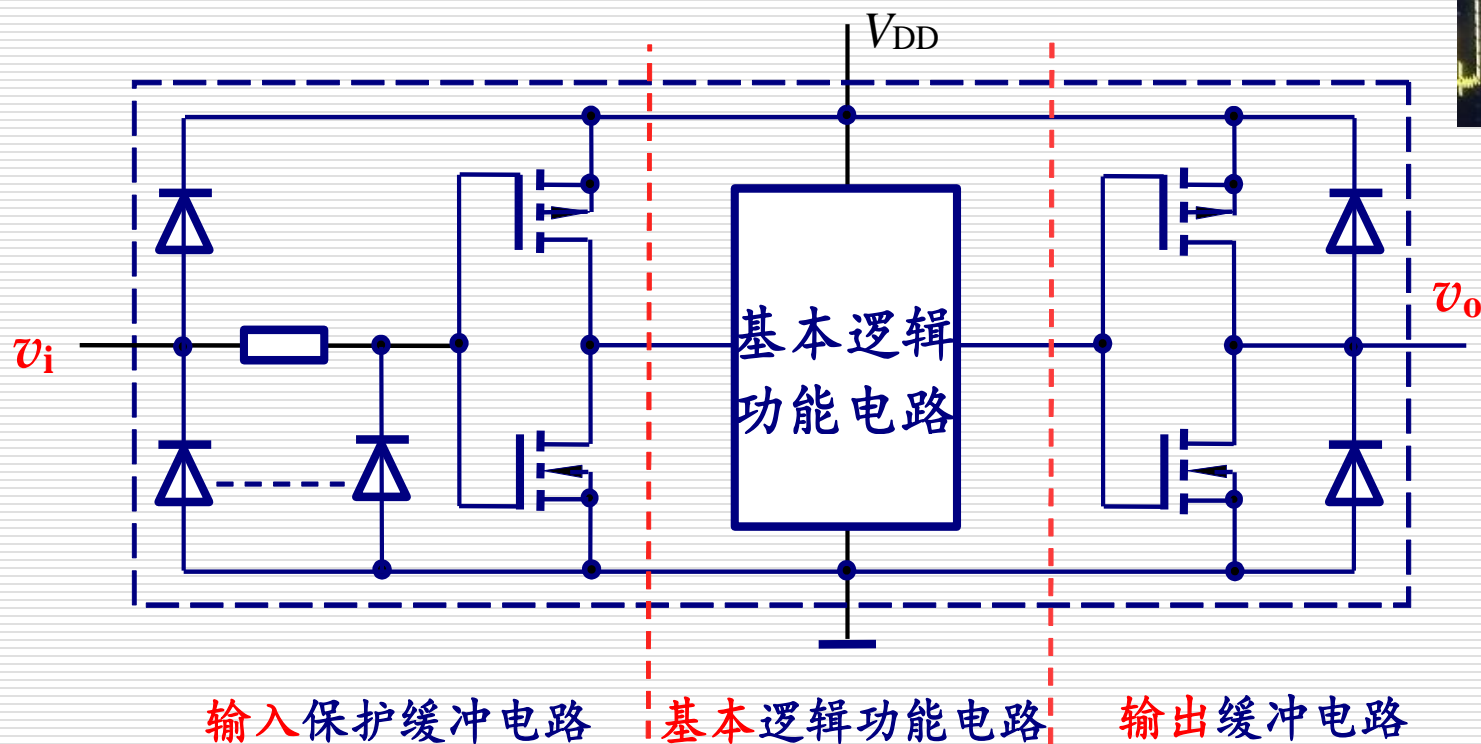
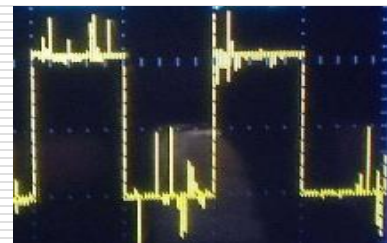
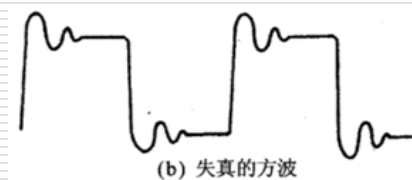
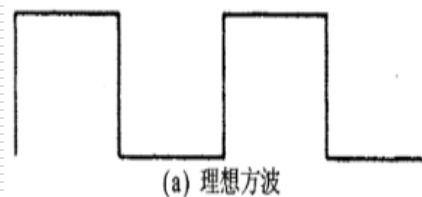
3.3.1 CMOS逻辑门电路的保护和缓冲电路

3.3.2 CMOS漏极开路和三态门电路

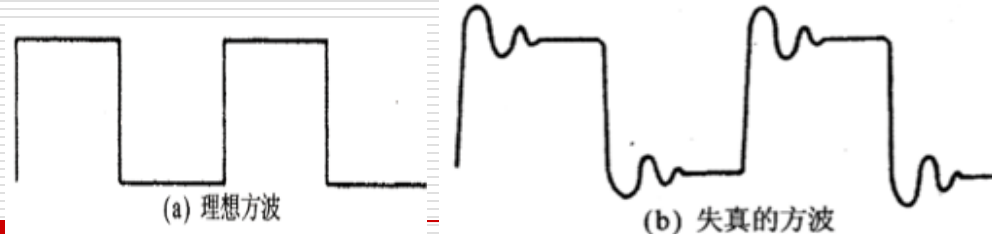
3.3.3 CMOS逻辑门电路的重要参数

3.3.1 输入保护电路和缓冲电路

采用缓冲电路能统一参数，使不同内部逻辑集成逻辑门电路具有相同的输入和输出特性。



1. 输入端保护电路:



二极管导通电压: v_{DF}

(1) $0 < v_I < V_{DD} + v_{DF}$

D_1 、 D_2 截止

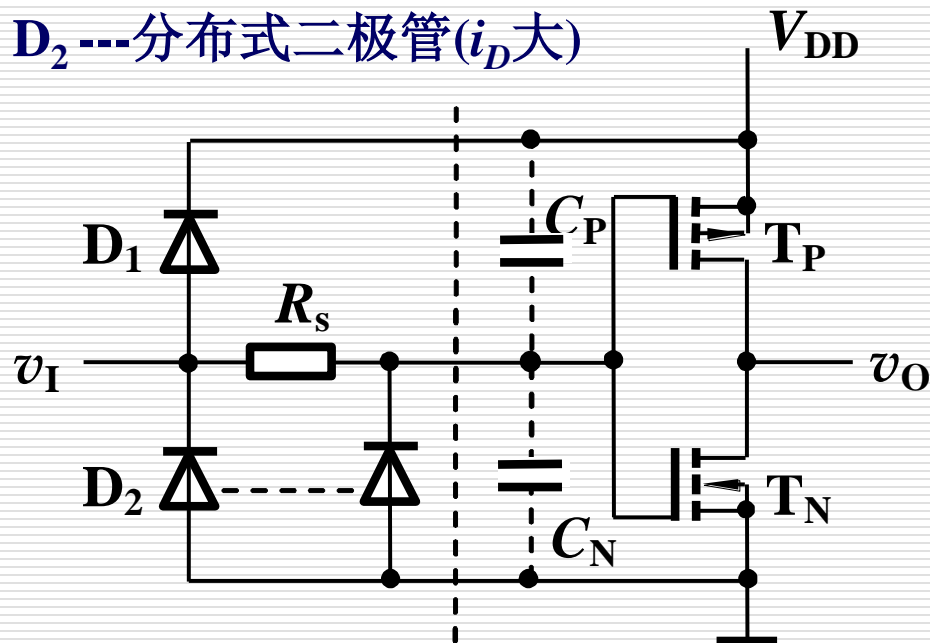
(2) $v_I > V_{DD} + v_{DF}$

D_1 导通, D_2 截止

$v_G = V_{DD} + v_{DF}$

(3) $v_I < -v_{DF}$

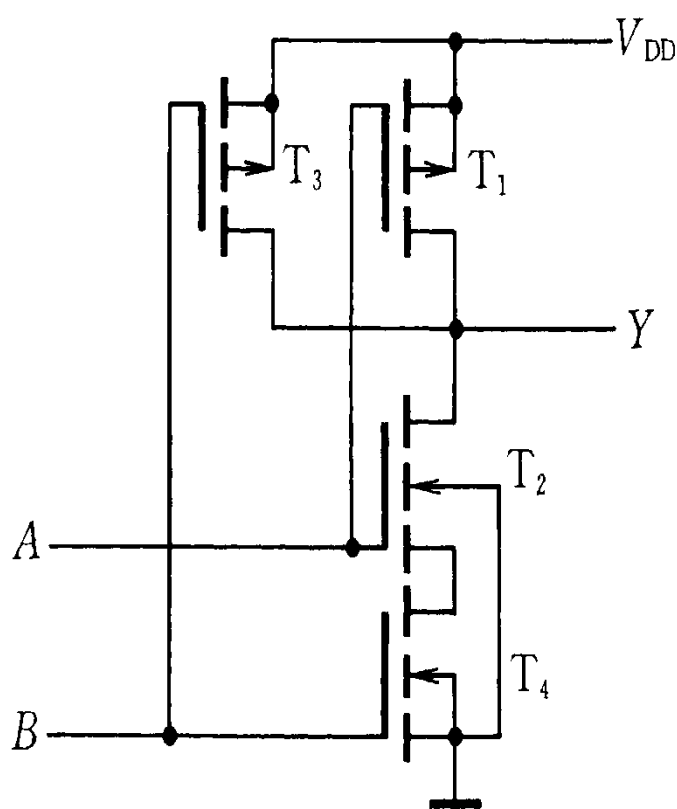
D_2 导通, D_1 截止 $v_G = -v_{DF}$



当输入电压不在正常电压范围时, 二极管导通, 限制了电容两端电压的增加, 保护了输入电路。

R_S 和MOS管的栅极电容C组成积分网络, 使输入信号的过冲电压延迟且衰减后到栅极。

CMOS与非门的缺点:



(1) 输出电阻 R_o 受输入状态影响

$$A = 1, B = 1 \text{ 则 } R_o = R_{ON2} + R_{ON4} = 2R_{ON}$$

$$A = 0, B = 0 \text{ 则 } R_o = R_{ON1} // R_{ON3} = \frac{1}{2} R_{ON}$$

$$A = 0, B = 1 \text{ 则 } R_o = R_{ON1} = R_{ON}$$

$$A = 1, B = 0 \text{ 则 } R_o = R_{ON3} = R_{ON}$$

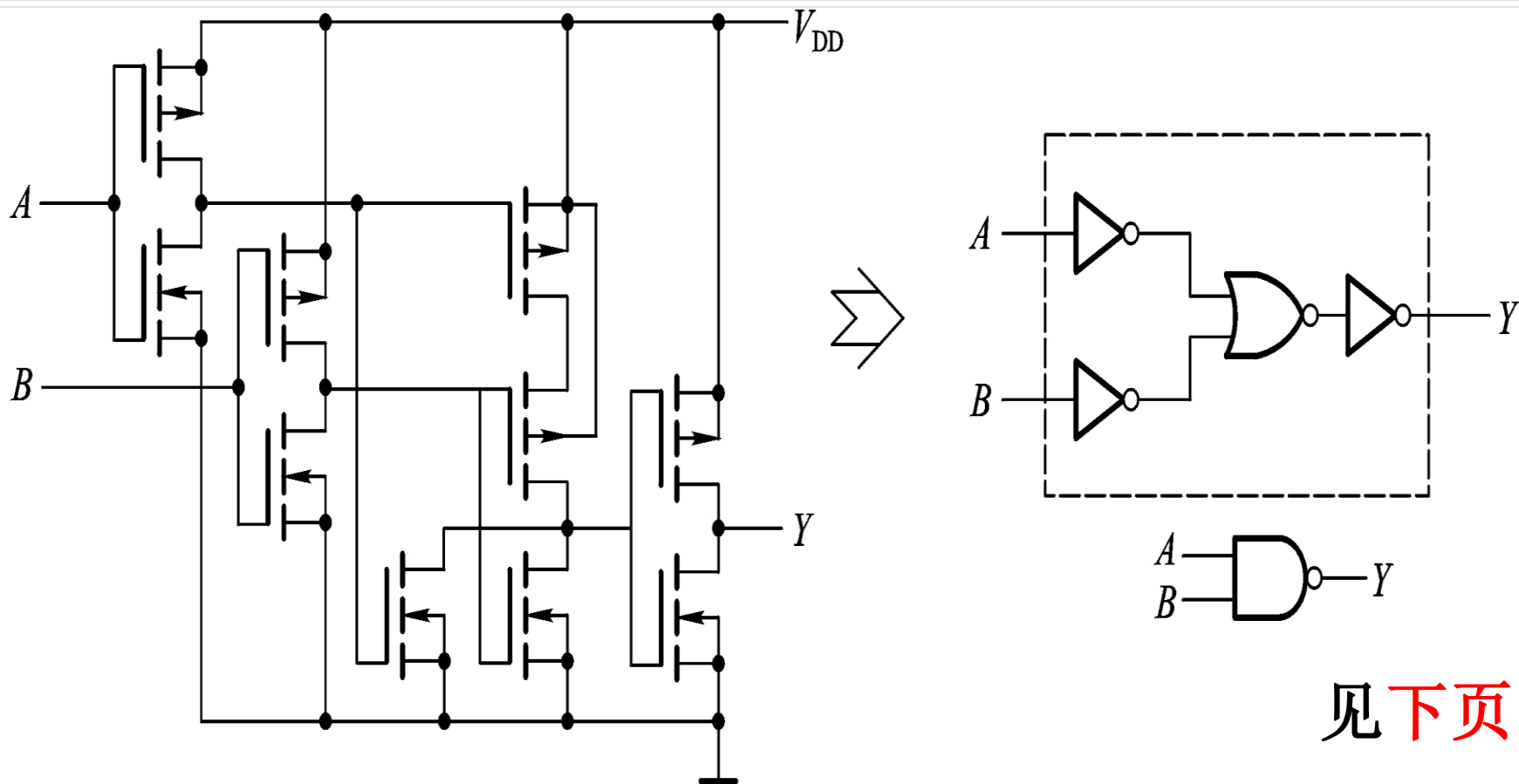
(2) 输出的高低电平受输入端数目的影响

输入端越多, V_{OL} 越高, V_{OH} 也更高

(3) 使 T_2 、 T_4 的 V_{GS} 达到开启电压时,

对应的 V_i 值不同

解决方法——输入端和输出端加上**带缓冲级**的CMOS门。
利用反相器来阻断干扰信号的传输。



见下页

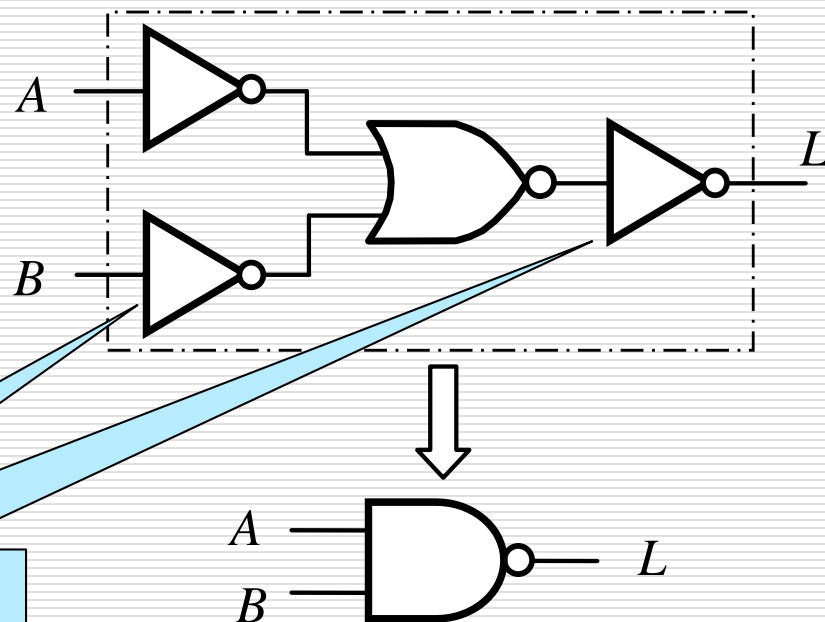
或非门+前后两个**反相器** \Rightarrow 与非门

(2) CMOS逻辑门的缓冲电路

输入、输出端加了反相器作为缓冲电路，所以电路的逻辑功能也发生了变化。增加了缓冲器后的逻辑功能为与非功能

$$L = \overline{\overline{A + B}} = \overline{A \cdot B}$$

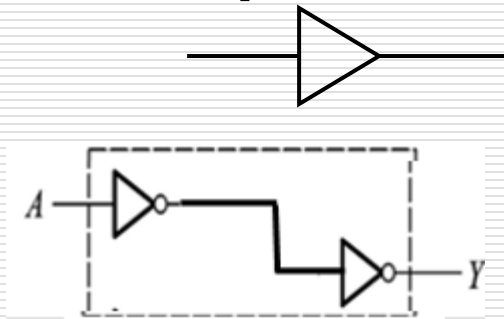
两个反相器构成缓冲器



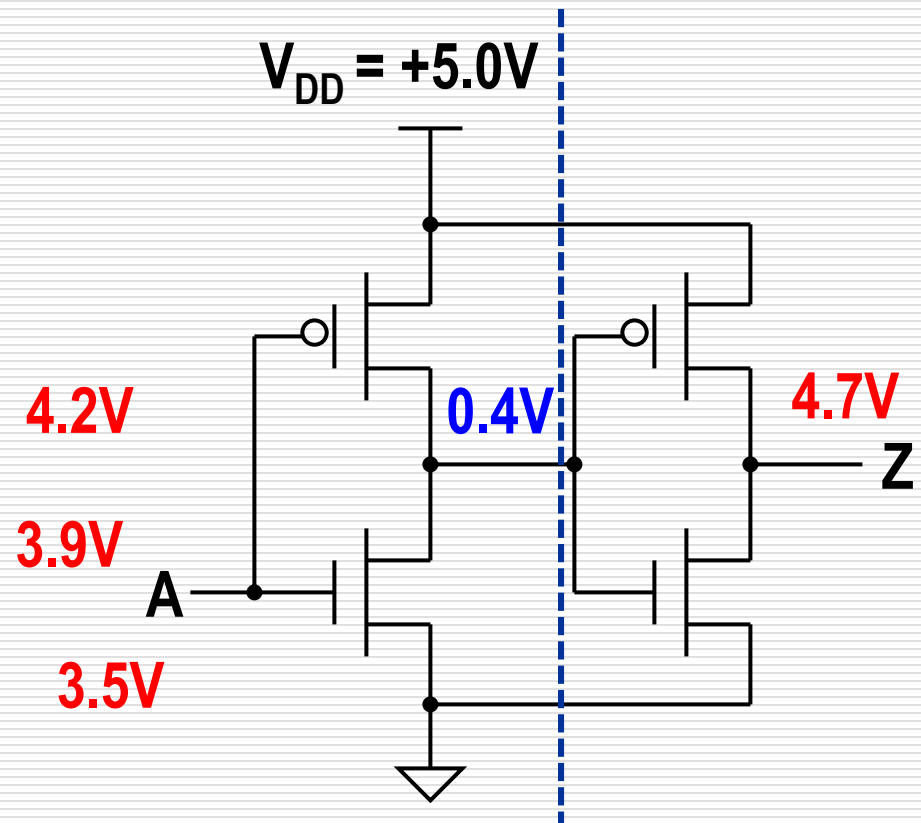
两个非门构成的缓冲器可以提升输出电压。

It typically is not possible to design a non-inverting gate with a smaller number of transistors than an inverting one.

□ Non-inverting buffer (amplifier)



假设A的输入电压是3.5V。
NMOS管导通时电压降为0.4V，
PMOS管导通时电压降为0.3V。



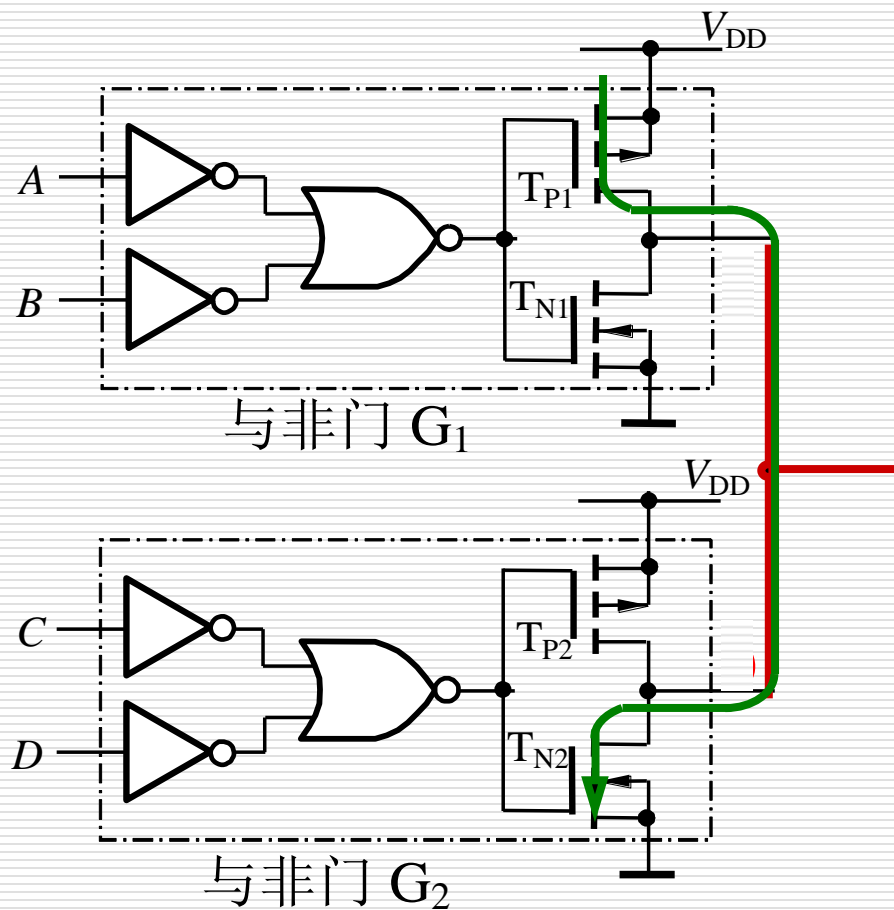
Circuit diagram:

3.3.2 CMOS漏极开路（OD）门和三态输出门电路

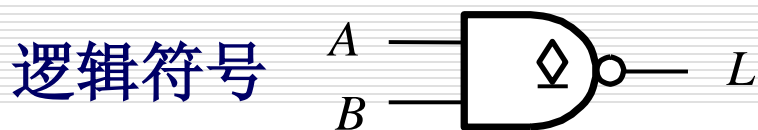
1. CMOS漏极开路门

1.) CMOS漏极开路门的提出

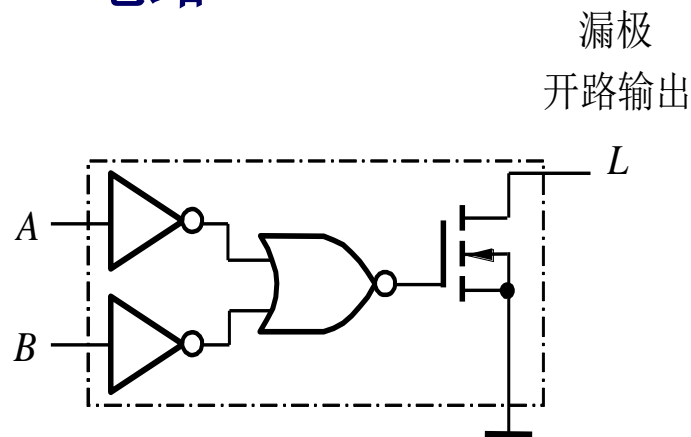
输出短接，在一定情况下会产生低阻通路，大电流有可能导致器件的损毁，并且无法确定输出是高电平还是低电平。



(2) 漏极开路门的结构与逻辑符号



电路

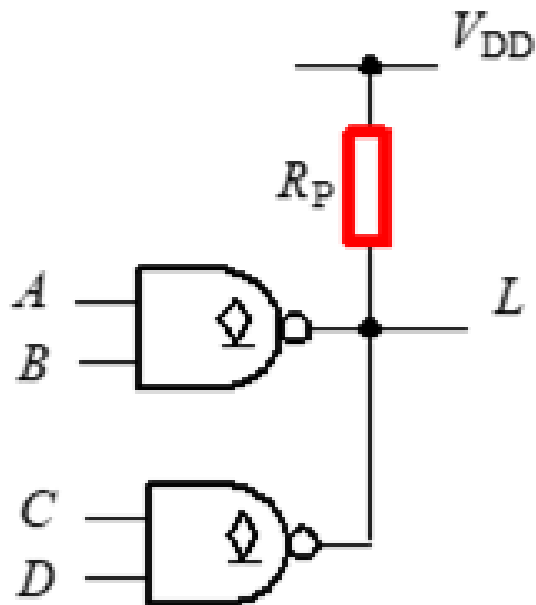


(a) 工作时必须外接电源和电阻;

(b) 与非逻辑不变

(c) 可以实现线与功能;

漏极开路门输出连接



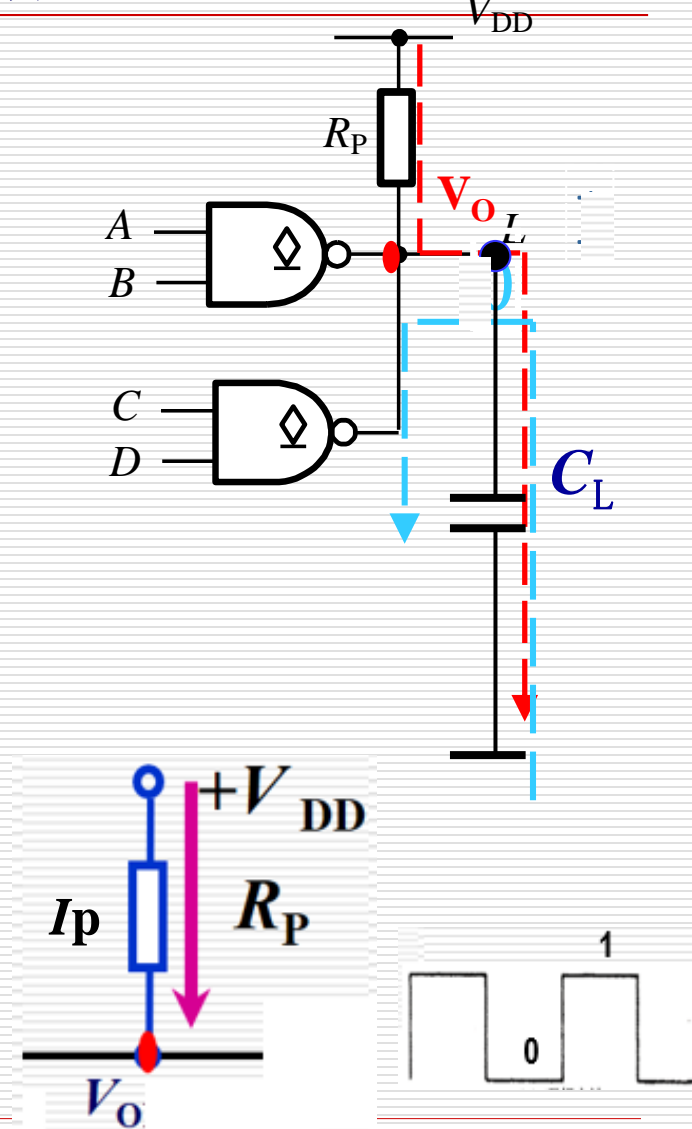
$$\begin{aligned} L &= \overline{AB} \cdot \overline{CD} \\ &= \overline{AB + CD} \end{aligned}$$

(2) 上拉电阻对OD门动态性能的影响

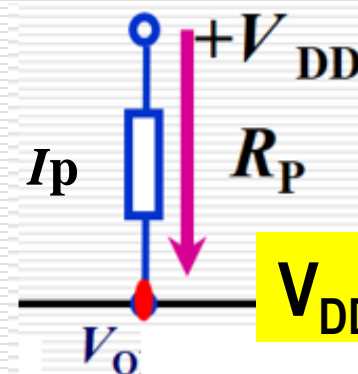
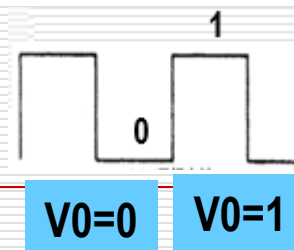
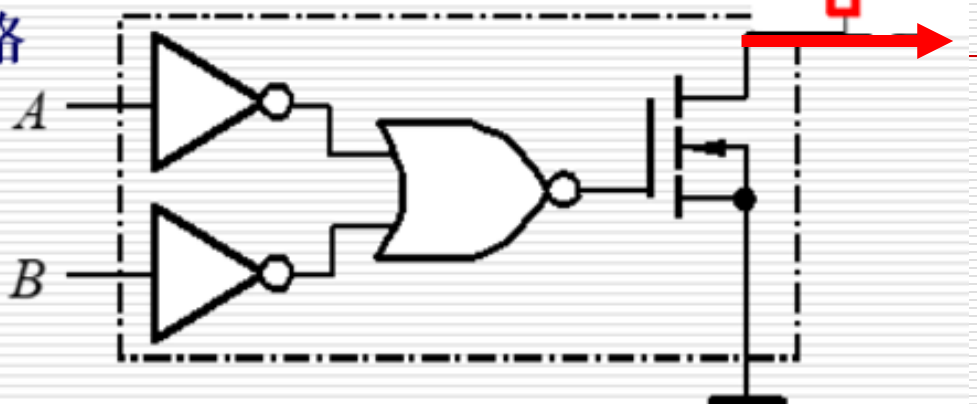
R_P 的值愈小，负载电容的充电时间常数亦愈小，因而开关速度愈快。但功耗大，且可能使输出电流超过允许的最大值 $I_{OL(max)}$ 。

R_P 的值大，可保证输出电流不能超过允许的最大值 $I_{OL(max)}$ 、功耗小。但负载电容的充电时间常数亦愈大，开关速度因而愈慢。

电路带电容负载



电路



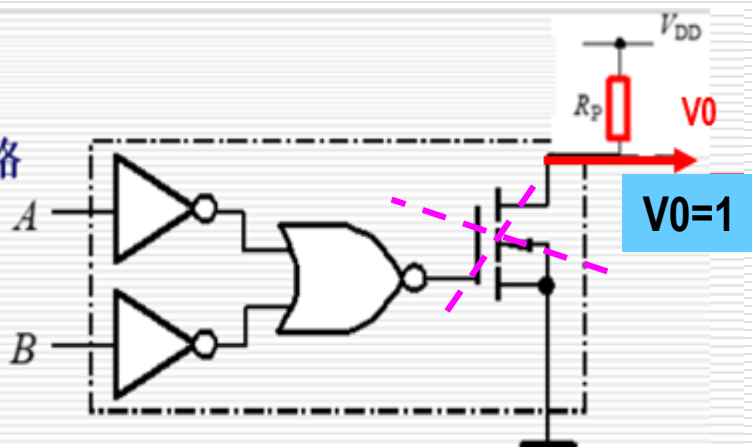
$$V_{DD} - V_0 = I_P \cdot R_P$$

V0增大， R_P 减小。V0减小， R_P 增大。

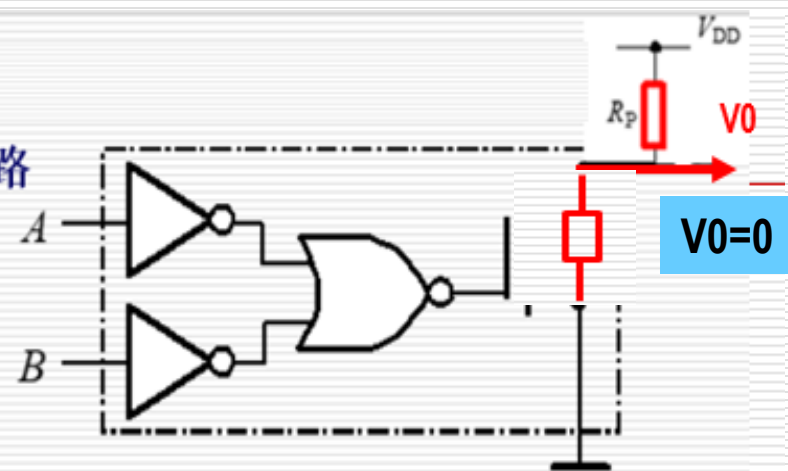
V0=0时，此时必有NMOS管导通。

V0=1时，此时必有NMOS管截止。

电路

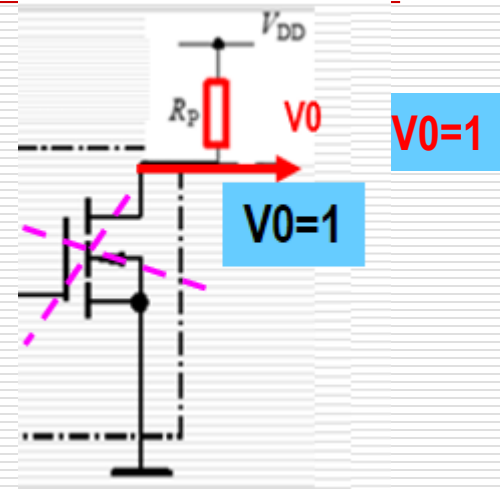
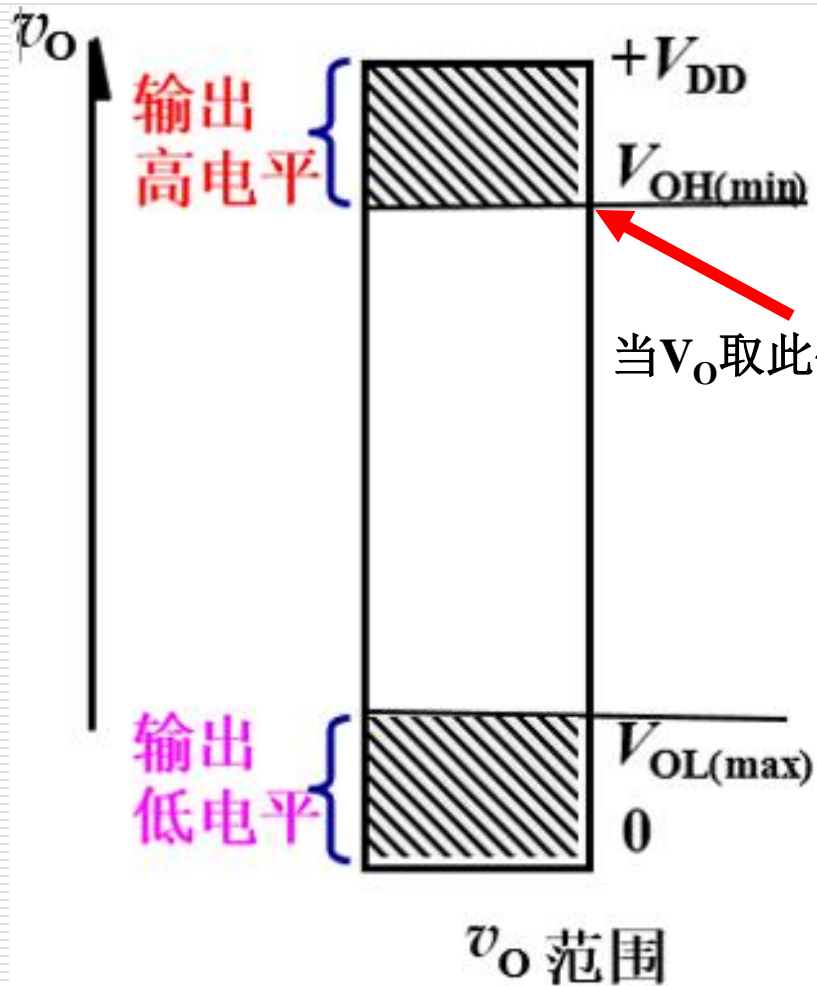


电路



计算上拉 R_p 值对应的最小值和最大值（根据 V_O 输出高电平区间和输出低电平区间讨论）

考虑 V_O 取特殊值的情况，可知如下图两种情况可以求出 $(R_p)_{\min}$ 和 $(R_p)_{\max}$

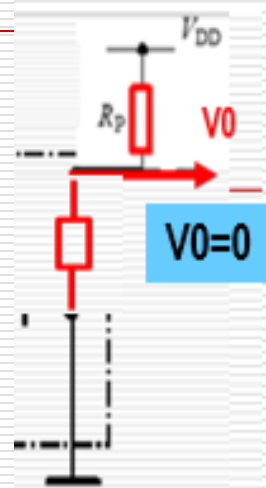
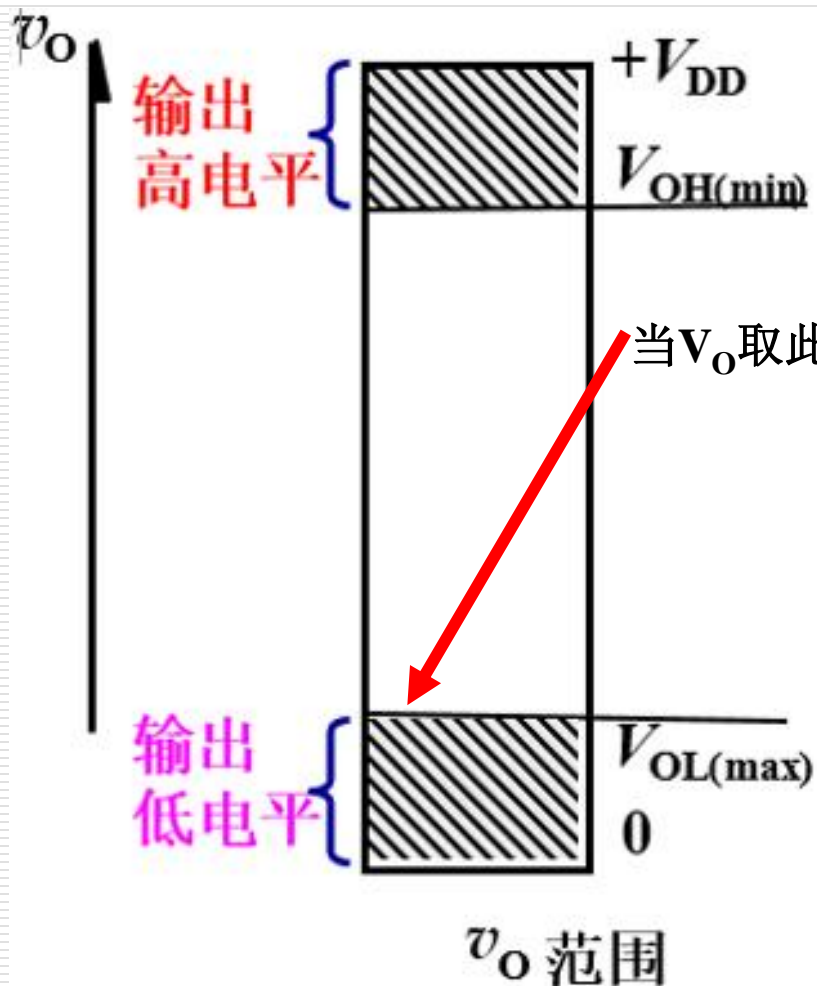


随着 R_p 的增大，在 R_p 消耗的电压降就比较多，这样有可能就使 V_O 输出高电平值时低于 $V_{OH(\min)}$ ，就出现了不稳定状态。

(1) 当输出高电平时， R_p 不能太大。 R_p 为最大值时要保证输出电压为 $V_{OH(\min)}$ 。

计算上拉 R_p 值对应的最小值和最大值

考虑 V_O 取特殊值的情况，可知如下图两种情况可以求出 $(R_p)_{\min}$ 和 $(R_p)_{\max}$



$V_O=0$

当 V_O 取此值时， R_p 对应于 $(R_p)_{\min}$

随着 R_p 的减小，在 R_p 消耗的电压降就减少，这样有可能就使 V_O 输出低电平值时高于 $V_{OL}(\max)$ ，就出现了不稳定状态。

(2) 当输出低电平时， R_p 不能太小。 R_p 为最小值时要保证输出电压为 $V_{OL}(\max)$ 。

当 $V_O=V_{OL}$ ，分析电路中出现最大灌电流时，电阻 R_P 的最小值。

最不利情况：

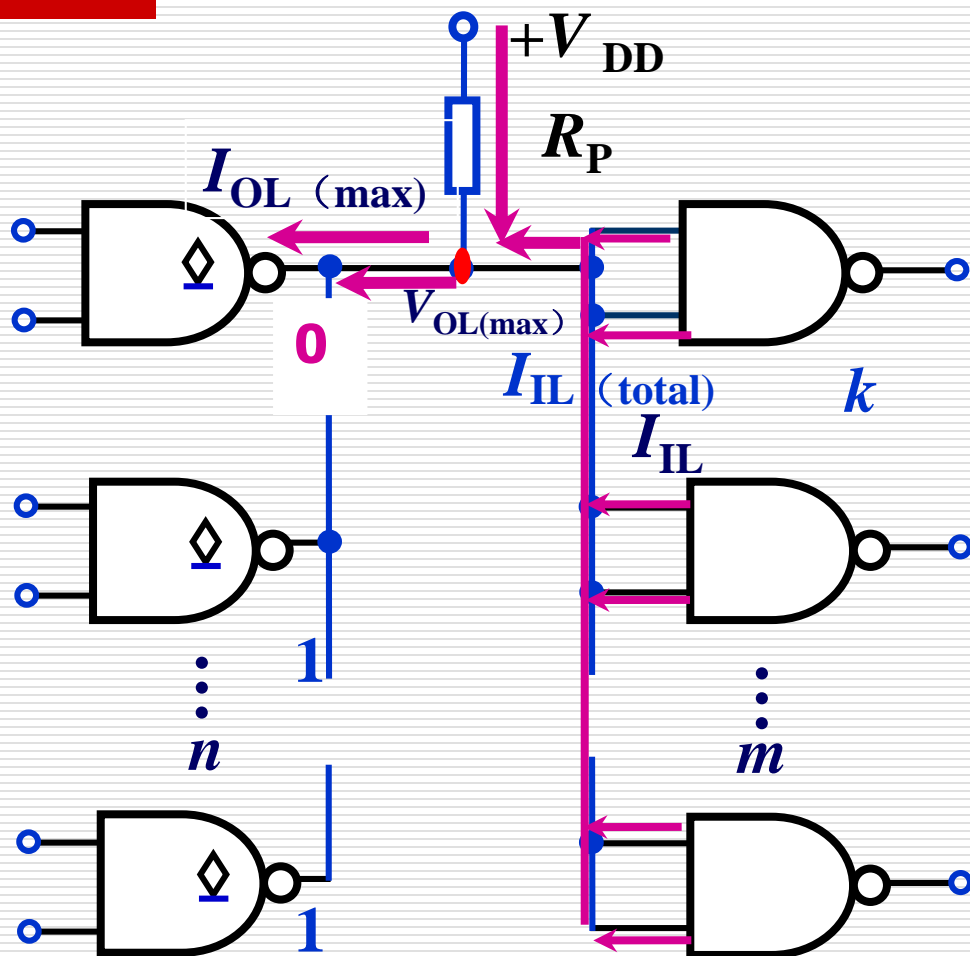
只有一个 OD门导通，

为保证低电平输出OD门的输出电流不能超过允许的最大值

$I_{OL(max)}$ 且 $V_O=V_{OL(max)}$ ， R_P 不能太小。

$$I_{OL(max)} = \frac{V_{DD} - V_{OL(max)}}{R_{P(min)}} + I_{IL(total)}$$

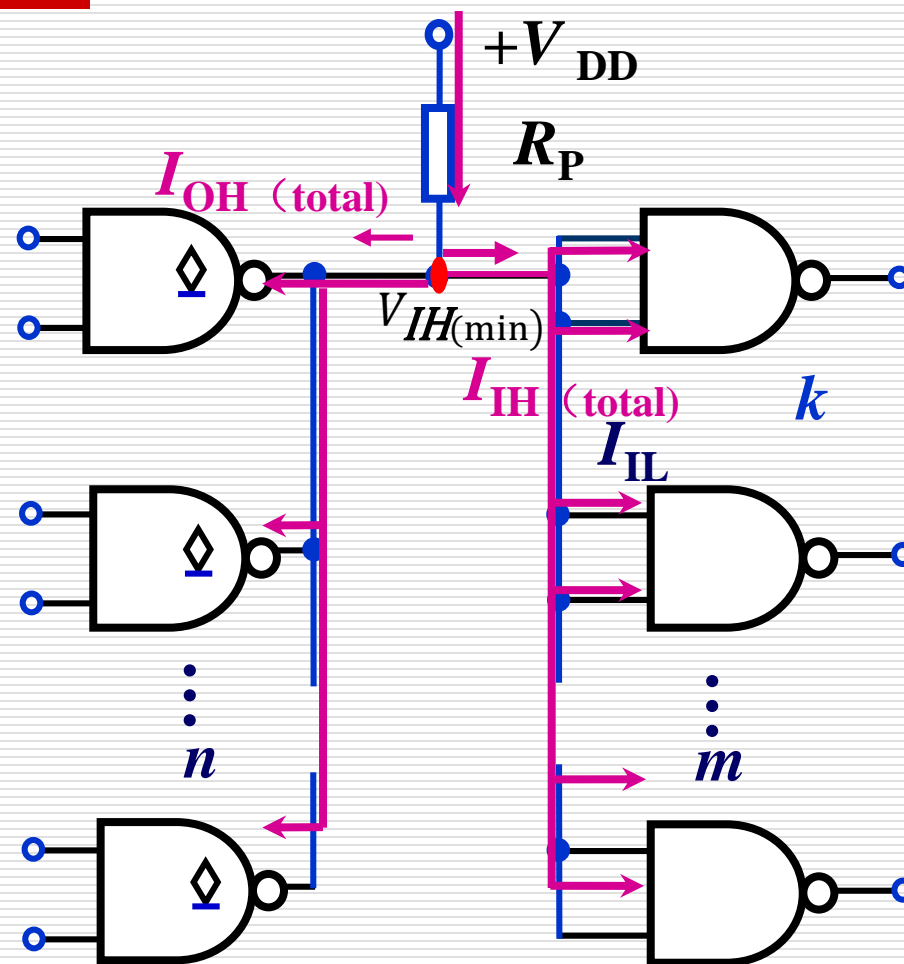
$$R_{P(min)} = \frac{V_{DD} - V_{OL(max)}}{I_{OL(max)} - I_{IL(total)}}$$



当 $V_O=V_{OH}$ ，分析电路中出现 $V_{IH(min)}$ 时，电阻 R_P 的最大值。

为使得高电平不低于规定的 V_{IH} 的最小值，则 R_P 的选择不能过大。 R_P 的最大值 $R_{P(max)}$ ：

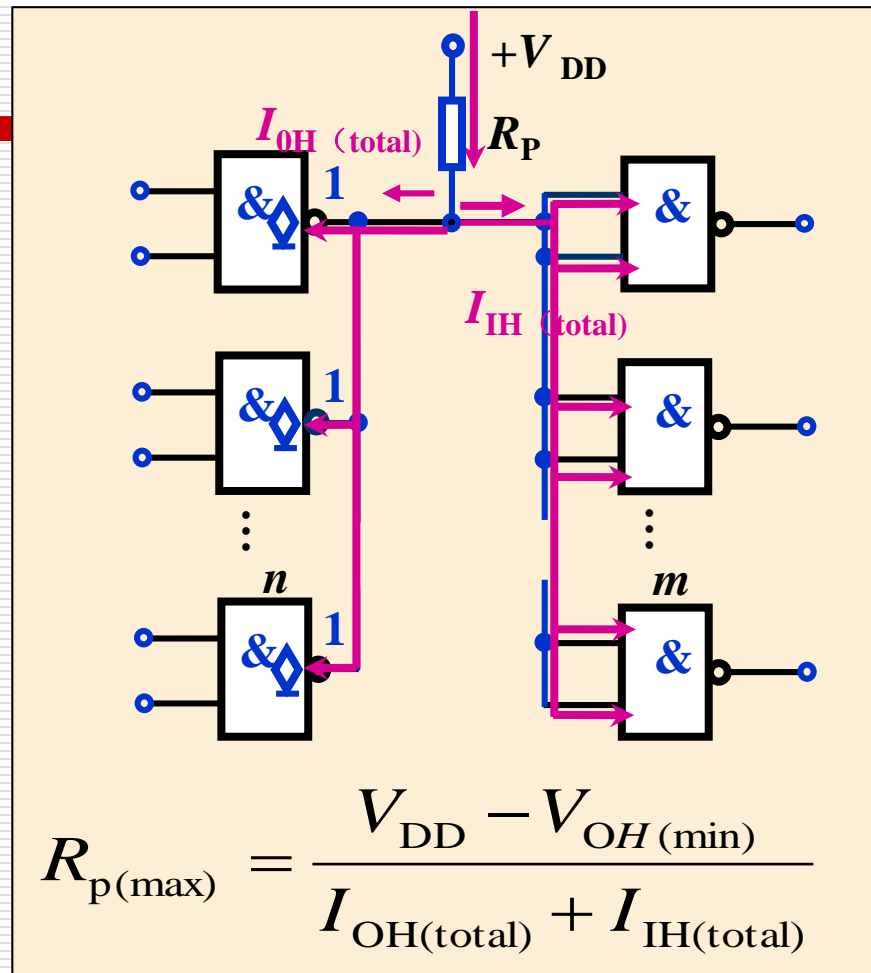
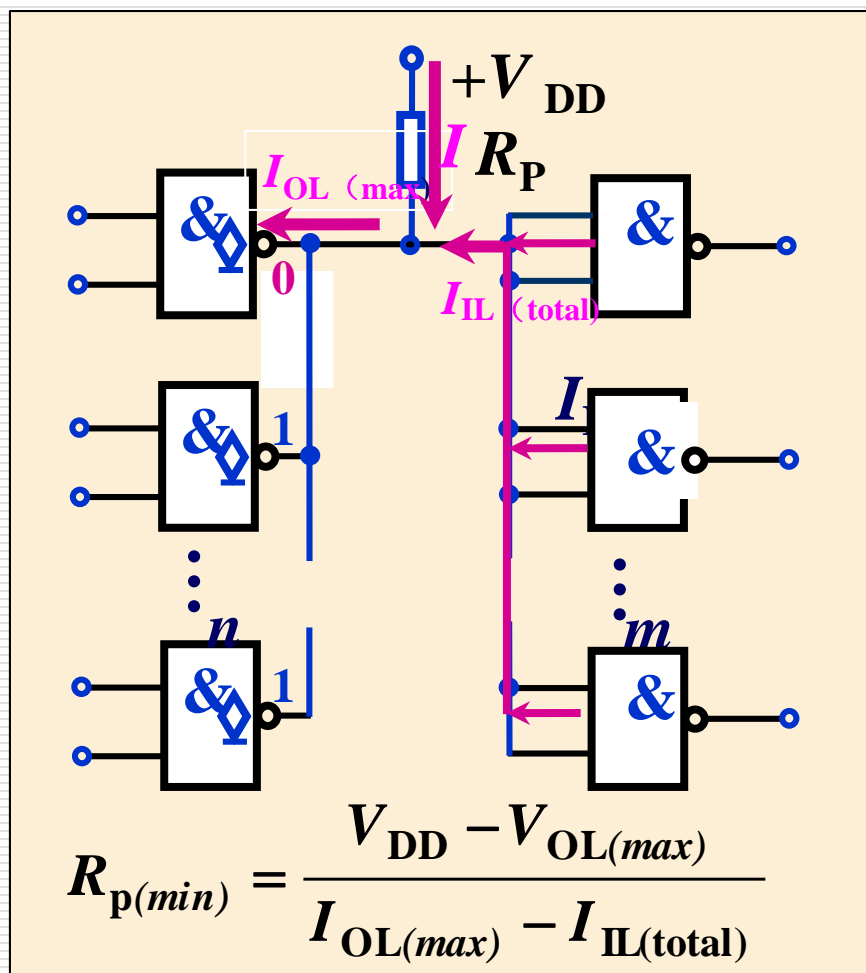
$$R_{P(max)} = \frac{V_{DD} - V_{IH(min)}}{I_{OH(total)} + I_{IH(total)}}$$



当 $V_O = V_{OL}$

综上，总结为：

当 $V_O = V_{OH}$



$I_{IL(total)} = m' I_{IL}$ { 与非门负载, m' 为负载门数
或非门负载, m' 为输入端数

$I_{IH(total)} = m' I_{IL}$ m' 为输入端数

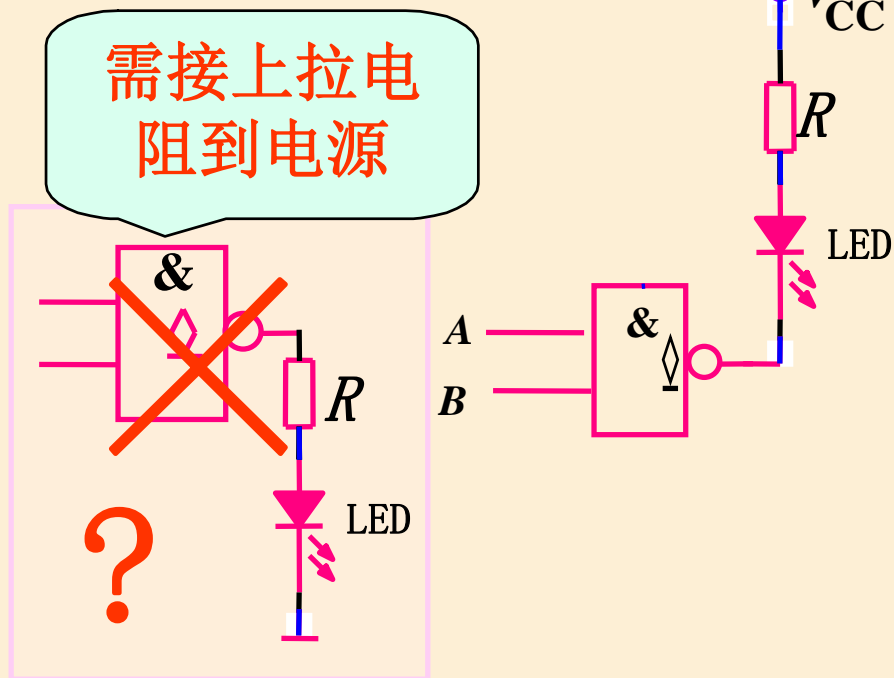
OD门主要应用

实现线与功能

用做驱动器

用OD门电路驱动发光二极管LED: 只要在电路中串接一个限流电阻即可:

需接上拉电阻到电源

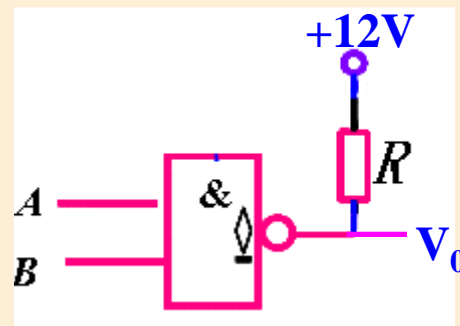


$$R = \frac{V_{CC} - V_F - V_{OL}}{I_D}$$

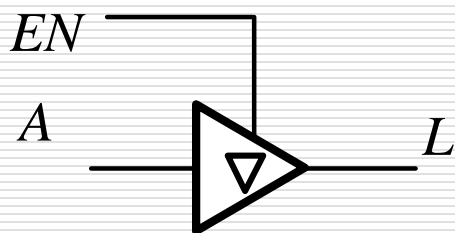
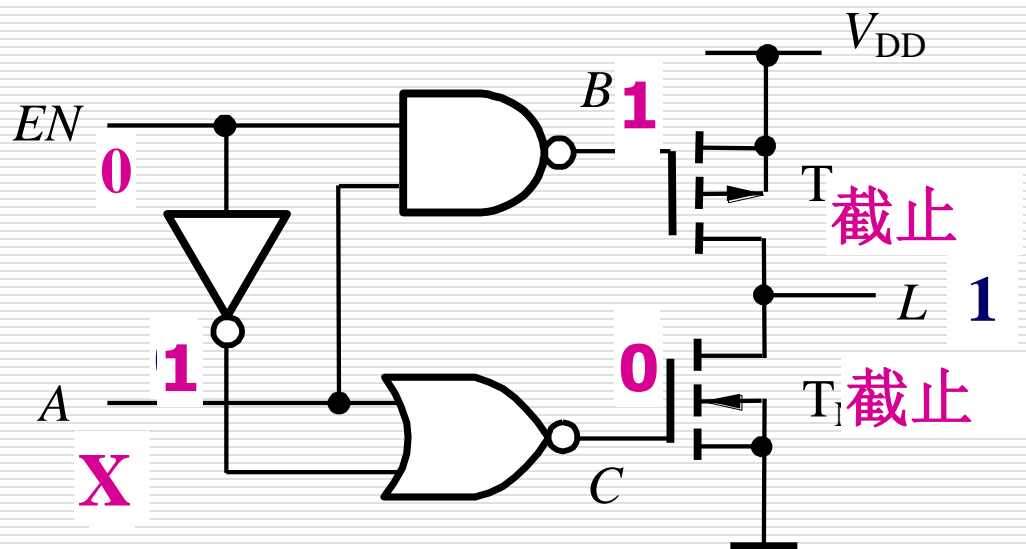
V_F 为LED的正向压降,
 I_D 为LED需要的电流。

条件: $I_{OL} \geq I_D$

实现逻辑电平转换:



2.三态(TSL)输出门电路



| 使能 EN | 输入 A | 输出 L |
|---------|--------|--------|
| 1 | 0 | 0 |
| 1 | 1 | 1 |
| 0 | × | 高阻 |

逻辑功能：高电平有效的同相逻辑门

3.3.3 CMOS逻辑门电路的重要参数（本节了解）

3.9 用VerilogHDL描述CMOS门电路

3.9.1 CMOS门电路的Verilog建模

用VerilogHDL对MOS管构成的电路建模，称为开关级建模，是最底层的描述。

用**关键词**`nmos`、`pmos`定义NMOS、PMOS管模型。`rnmos`、`rpmos`定义输入与输出端存在电阻的NMOS、PMOS管模型。

关键词`supply1`、`supply0`分别定义了**电源线**和**地线**。

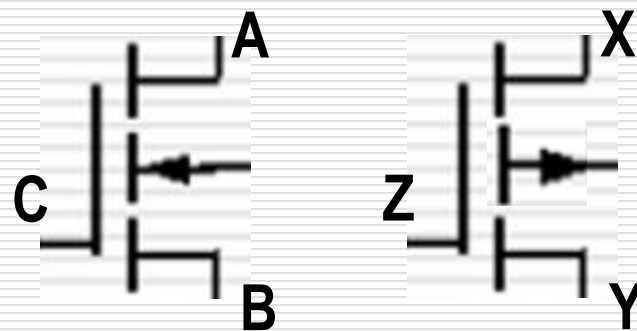
`nmos` N1(漏极, 源极, 栅极)

`pmos` P1(漏极, 源极, 栅极)

元件实例化名字，可省略

例如：`nmos mynmos(A, B, C);`
`pmos newpmos(X,Y,Z);`

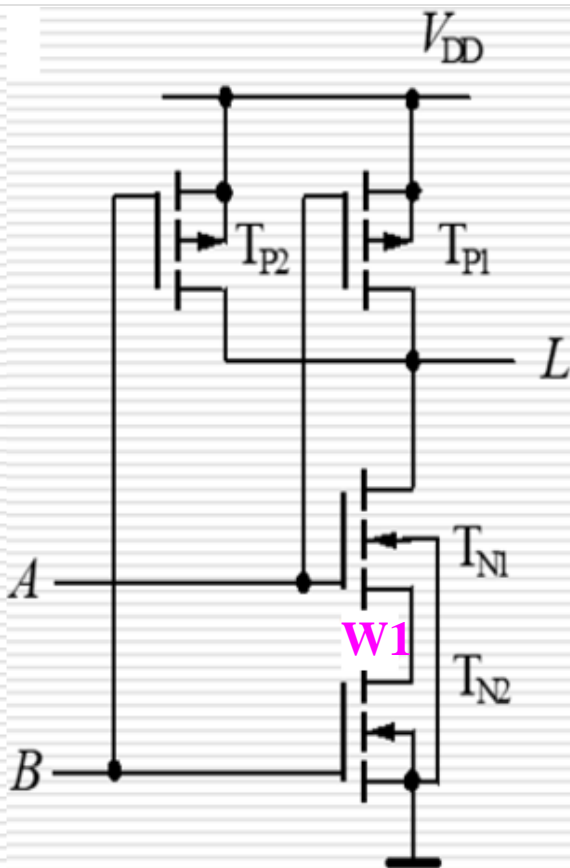
//(漏极,源极,控制栅极) 由于源极与栅极在同一个水平线上。容易区分。



此处module后面要加分号

1、设计举例

试用Verilog语言的开关级建模描述CMOS与非门。



电路描述

```
module NAND2 (L,A,B);  
    input A,B;    //输入端口声明  
    output L;     //输出端口声明  
    supply1 Vdd;  
    supply0 GND;  
    wire W1;      //将两个NMOS管之间的  
                  连接点定义为W1
```

说明部分

```
    pmos (L,Vdd,A); //PMOS管的源  
    极与Vdd相连  
    pmos (L,Vdd,B); //两个PMOS管  
    并行连接  
    nmos (L,W1,A);  //两NMOS管串  
    行连接  
    nmos (W1,GND,B); //NMOS管的  
    源极与地相连  
endmodule
```

endmodule后面不能加分号

3.9.2 CMOS传输门电路的Verilog建模

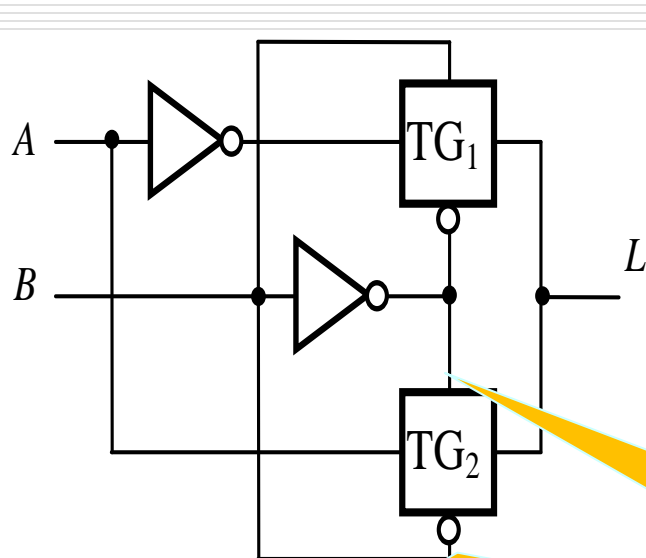
module后面要加分号

用关键词**cmos**定义传输门

cmos C1(输出信号, 输入信号

元件实例化名字, 可省略

例: 用Verilog语言的开关级建模描述下列异或门。



电路描述
(顶层)

```
module mymux2to1 (A, B, L);  
  input A, B; //输入端口声明  
  output L; //输出端口声明  
  wire Anot, Bnot; //声明模  
  块内部的连接线
```

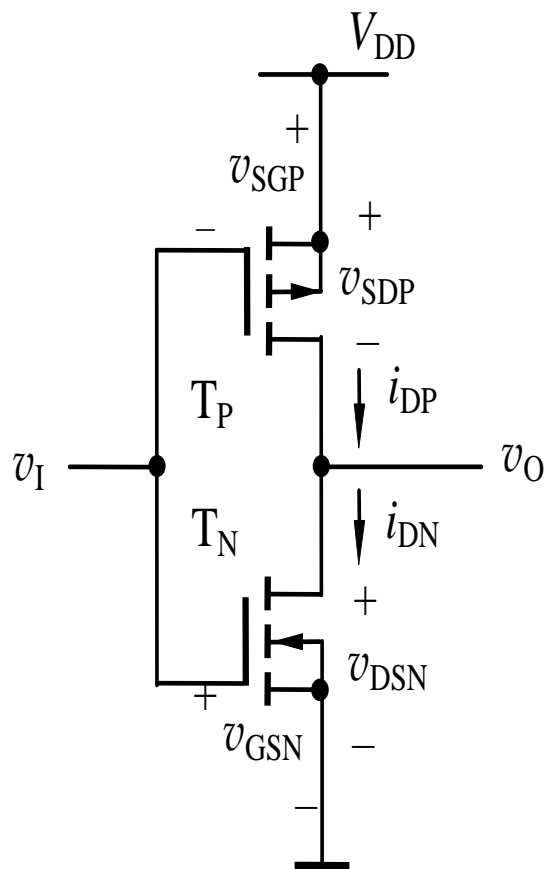
说明部分

```
  inverter V1(Anot, A);  
  //调用底层模块inverter, 见下一页  
  inverter V2(Bnot, B);  
  cmos (L, Anot, B, Bnot); //调用内部开关元件  
  cmos (L, A, Bnot, B);  
  //(output,input,ncontrol,pcontrol)  
endmodule
```

endmodule后面不要加分号

此处带小圆圈的是P管控制信号

此处不带小圆圈的是N管控制信号



//CMOS反相器

```
module inverter (Vo,Vi);
```

```
    input Vi; //输入端口声明
    output Vo; //输出端口声明
    supply1 Vdd;
    supply0 GND;
```

说明部分

电路描述

```
    pmos (Vo,Vdd,Vi); //实例化，调用内部
    开关元件
    nmos (Vo,GND,Vi); //(漏极,源极,控制栅
    极)由于源极与栅极在同一个水平线上。可
    以先根据栅极找出源极。
```

```
endmodule
```

第4章 组合逻辑电路

Combinational Logic Circuit

4 组合逻辑电路

4.1 组合逻辑电路的分析

4.2 组合逻辑电路的设计

4.3 组合逻辑电路中的竞争和冒险

4.4 若干典型的组合逻辑电路

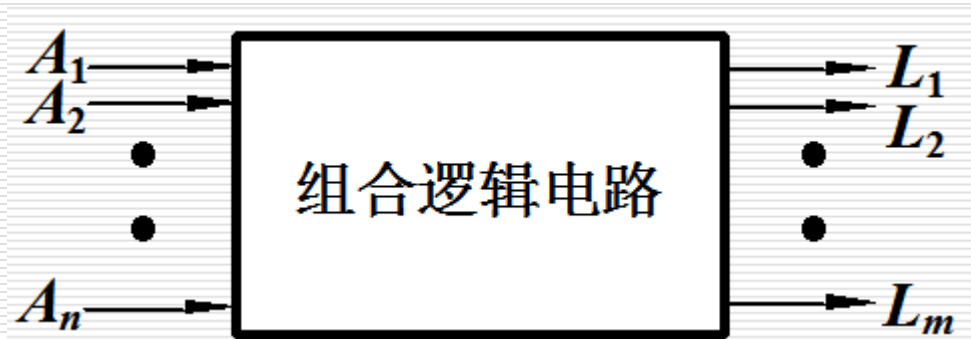
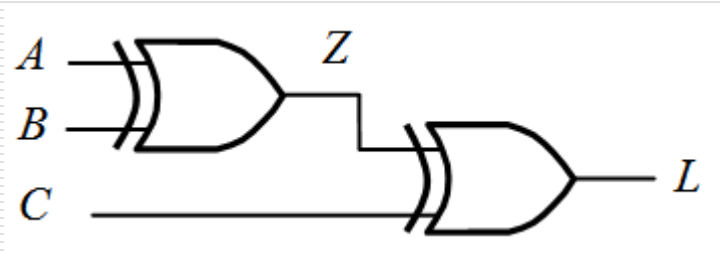
4.5 组合可编程逻辑器件

4.6 用Verilog HDL描述组合逻辑电路

4.1 组合逻辑电路分析

4.1.1 组合逻辑电路的定义

组合逻辑电路的一般框图



$$L_i = f(A_1, A_2, \dots, A_n) \quad (i=1, 2, \dots, m)$$

结构特征:

- 1、输出、输入之间没有反馈延迟通路,
- 2、不含记忆单元

工作特征:

组合逻辑电路工作特点:在任何时刻, 电路的输出状态只取决于同一时刻的输入状态而与电路原来的状态无关。

4.1.2 组合逻辑电路的分析方法

一. 组合逻辑电路分析

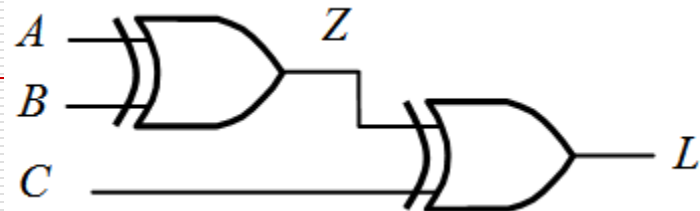
根据已知逻辑电路，经分析确定电路的逻辑功能。

二. 组合逻辑电路的分析步骤：

- 1、由逻辑图写出各输出端的逻辑表达式；
 - 2、化简和变换逻辑表达式；
 - 3、列出真值表；
 - 4、根据真值表或逻辑表达式，经分析最后确定其功能。
-

三、组合逻辑电路的分析举例

例1 分析如图所示逻辑电路的功能。



解：1.根据逻辑图写出输出函数的**逻辑表达式**

$$L = Z \oplus C$$

$$= (A \oplus B) \oplus C$$

$$= A \oplus B \oplus C$$

2. 列写**真值表**。

3. 确定逻辑功能：

输入变量的取值中**有奇数个1**时， **L 为1**，否则 **L 为0**，
电路具有为**奇校验功能**。

| A | B | C | $Z = A \oplus B$ | $L = (A \oplus B \oplus C)$ |
|---|---|---|------------------|-----------------------------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 |