

数 字 逻 辑

Digital Logic Circuit

丁 贤 庆

ahhfdxq@163.com

Home work (P350)

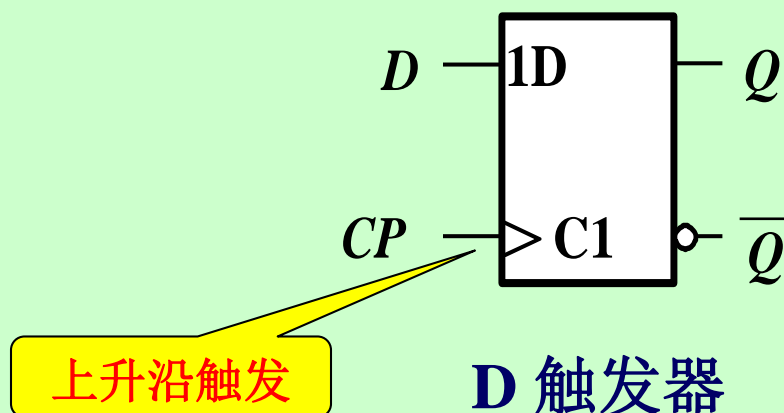
- 1、本周三晚上**7:00-8:00**在新安学堂**105**房间，答疑。
回答作业或者课本中疑难问题。
- 2、本周有实验。地点：**1号综合实验楼306**房间
- 3、期末考试，第六章有**30**分左右的考题。
- 4、期末考试时间：**11月1日晚6:30-8:30**，地点待定。
- 5、本次的作业
 - 6.5.8
 - 6.5.9
 - 6.5.13

第6章 时序逻辑电路

Sequential Logic Circuit

记忆：常用的触发器

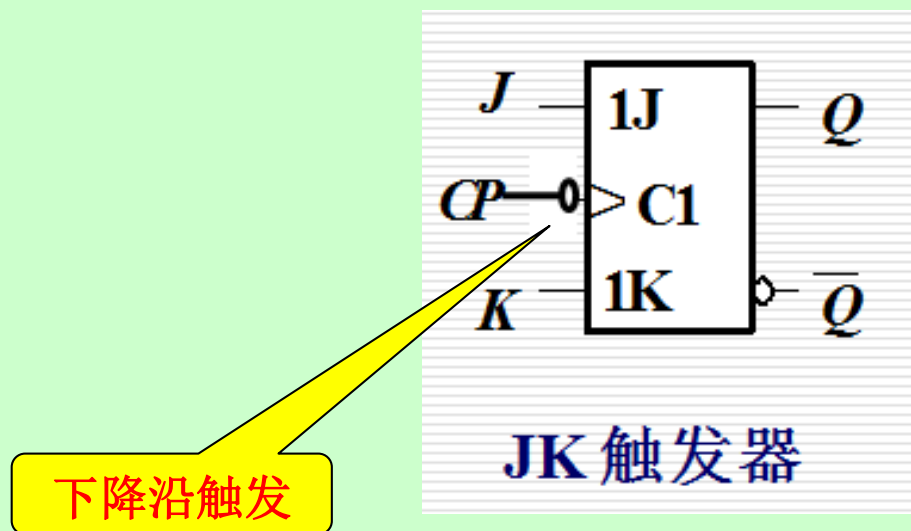
1. 维持阻塞触发器



在CP脉冲的上升沿到来瞬间
使触发器的状态（Q的值）才发生变化：

$$Q^{n+1} = D$$

2.下降沿触发的 JK 触发器

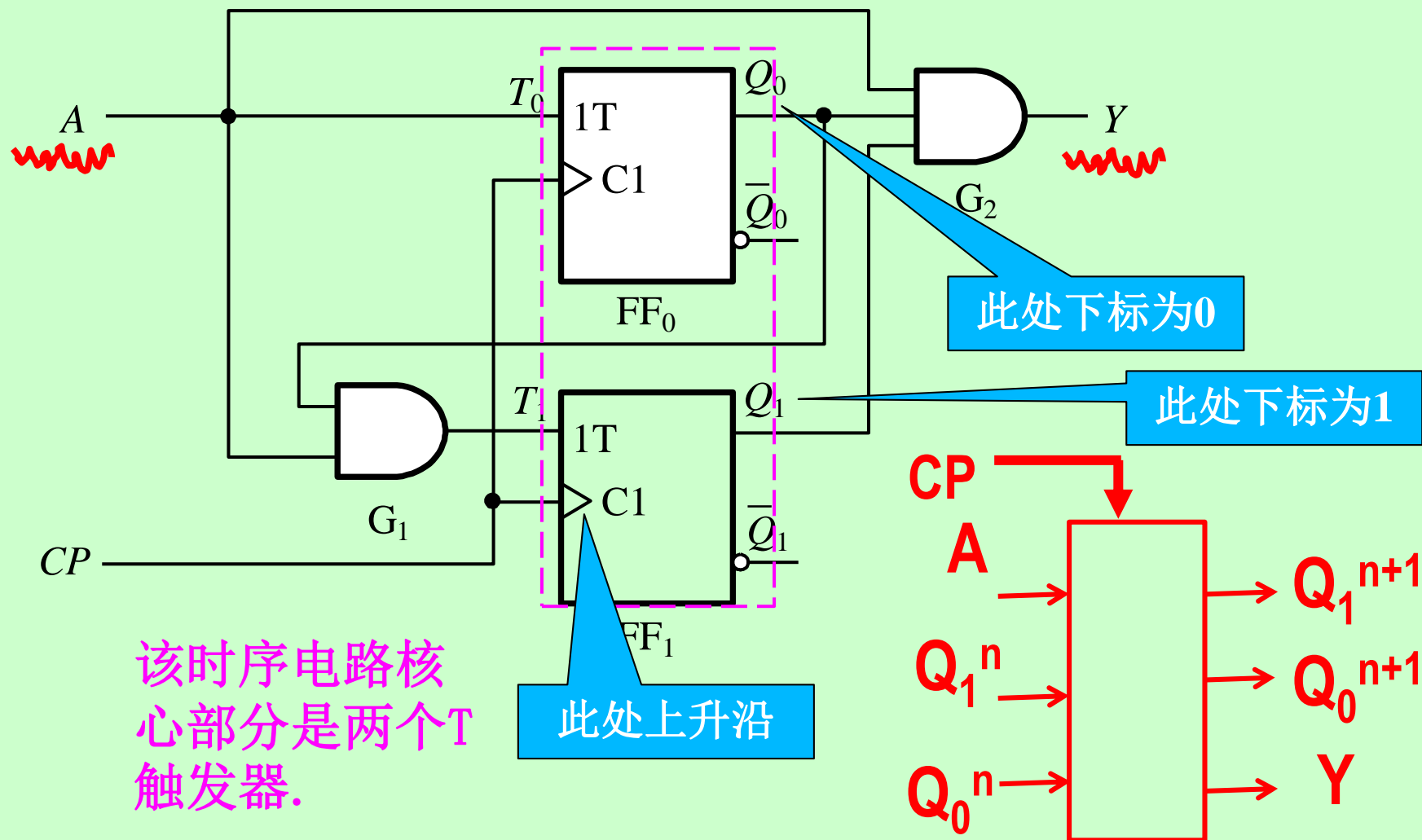


在CP脉冲的下降沿到来瞬间使触发器的状态（Q的值）才发生变化：

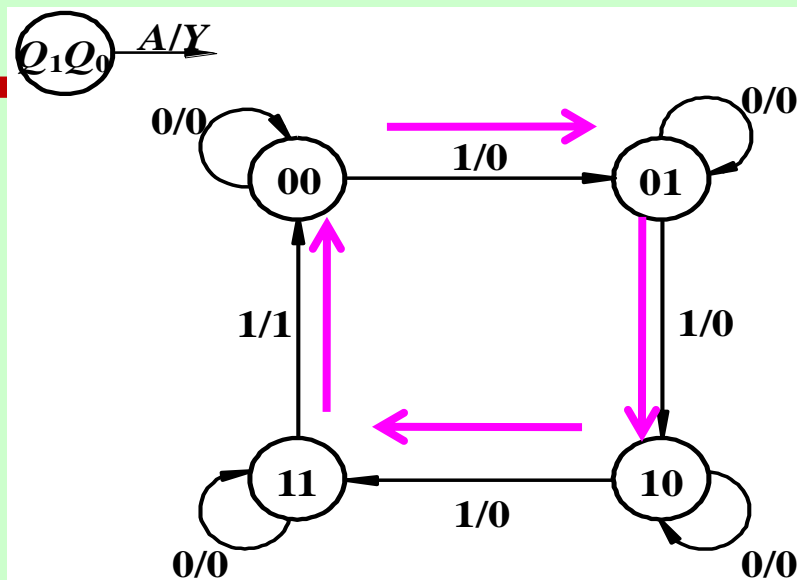
$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

6.2.2 同步时序逻辑电路分析举例

例1 试分析如图所示时序电路的逻辑功能。

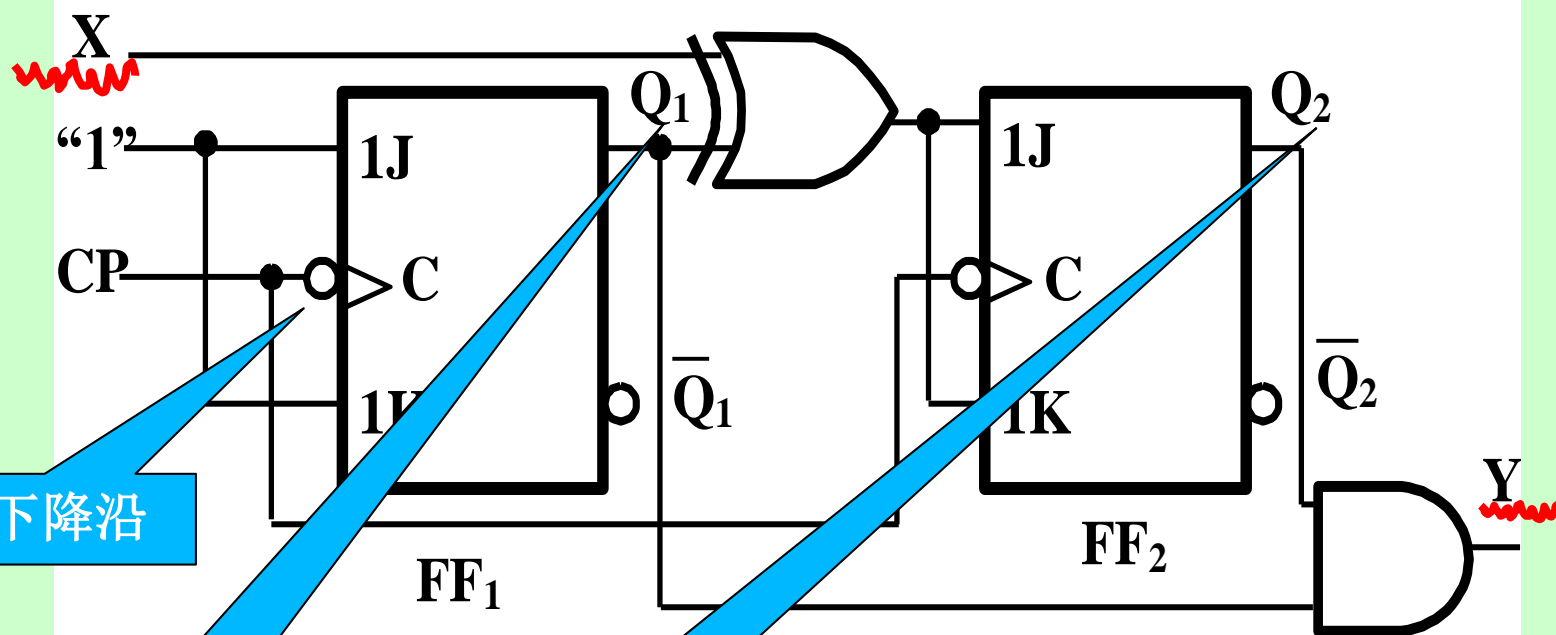


逻辑功能分析



观察状态图和时序图可知，电路是一个由信号A控制的可控二进制计数器。当A=0时停止计数，电路状态保持不变；当A=1时，在CP上升沿到来后电路状态值加1，一旦计数到11状态，Y输出1，且电路状态将在下一个CP上升沿回到00。输出信号Y的下降沿可用于触发进位操作，模4加一计数器。

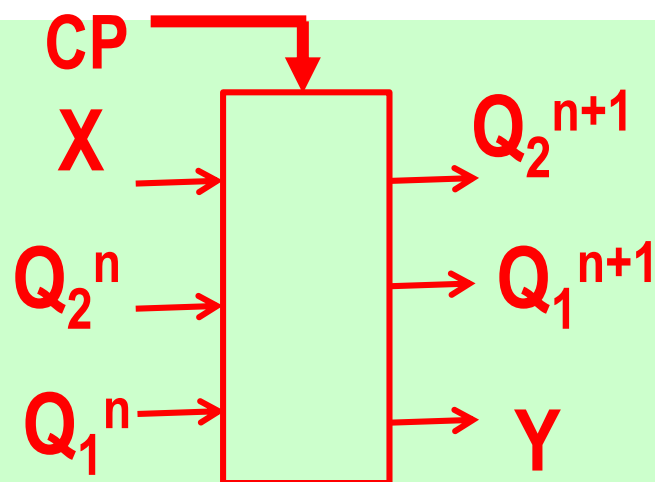
例2 试分析如图所示时序电路的逻辑功能。



此处下降沿

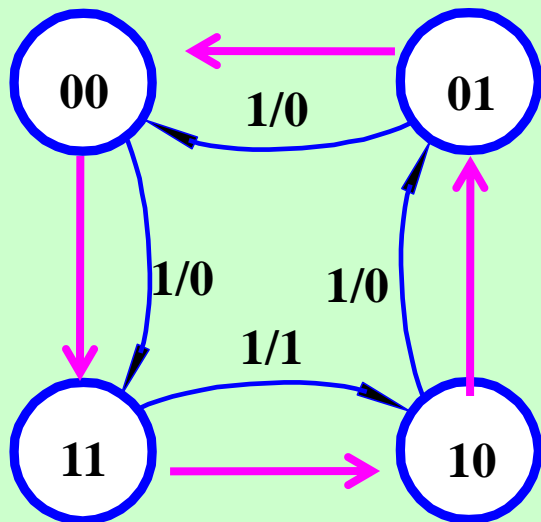
此处下标为1

此处下标为0



状态转换图

•X=1时

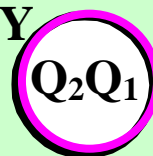


•X=1时

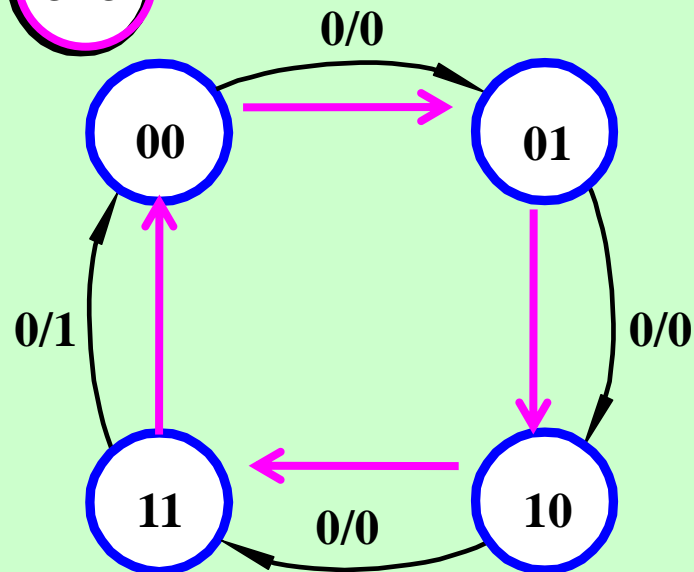


电路进行减1计数。

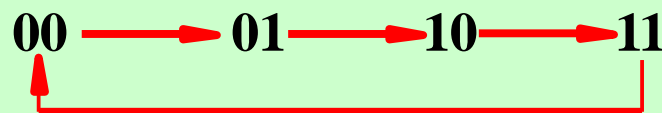
X/Y



•X=0时



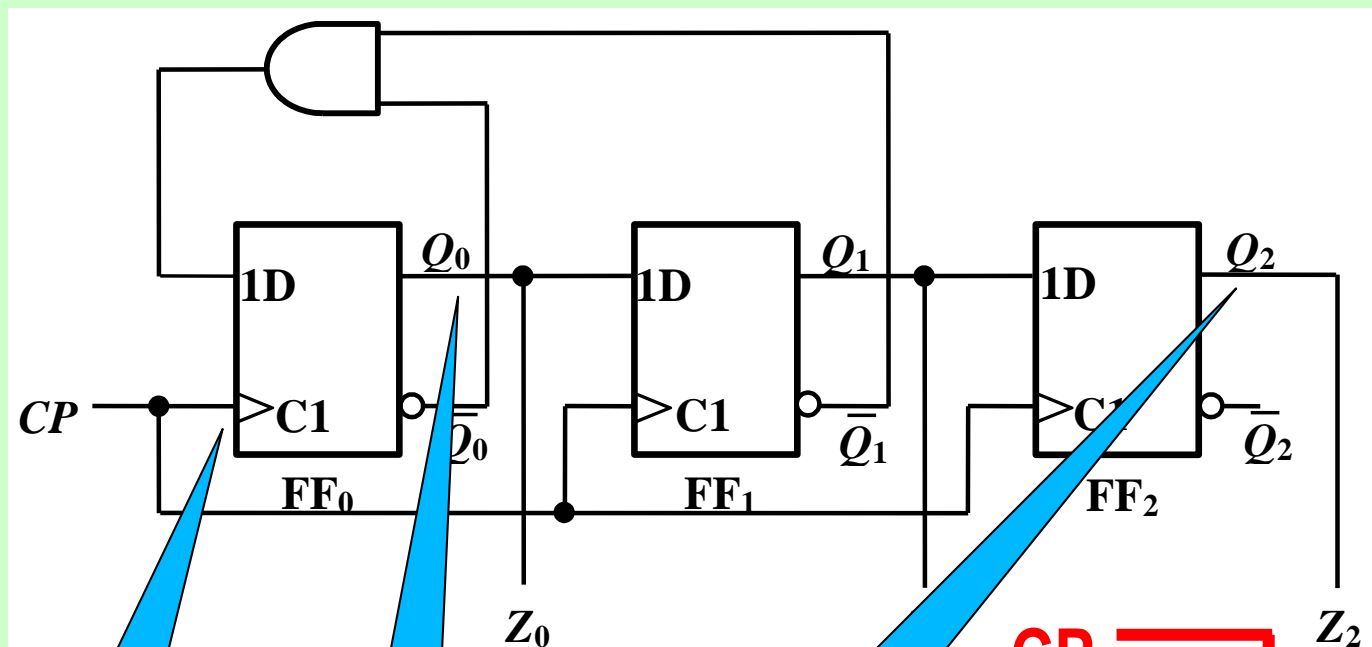
•X=0时



电路进行加1计数

电路功能：模4可逆计数器

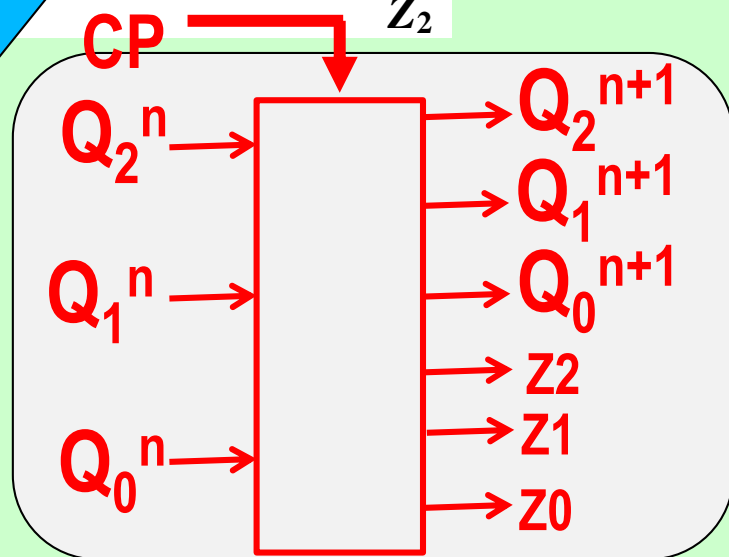
例3 分析下图所示的同步时序电路。



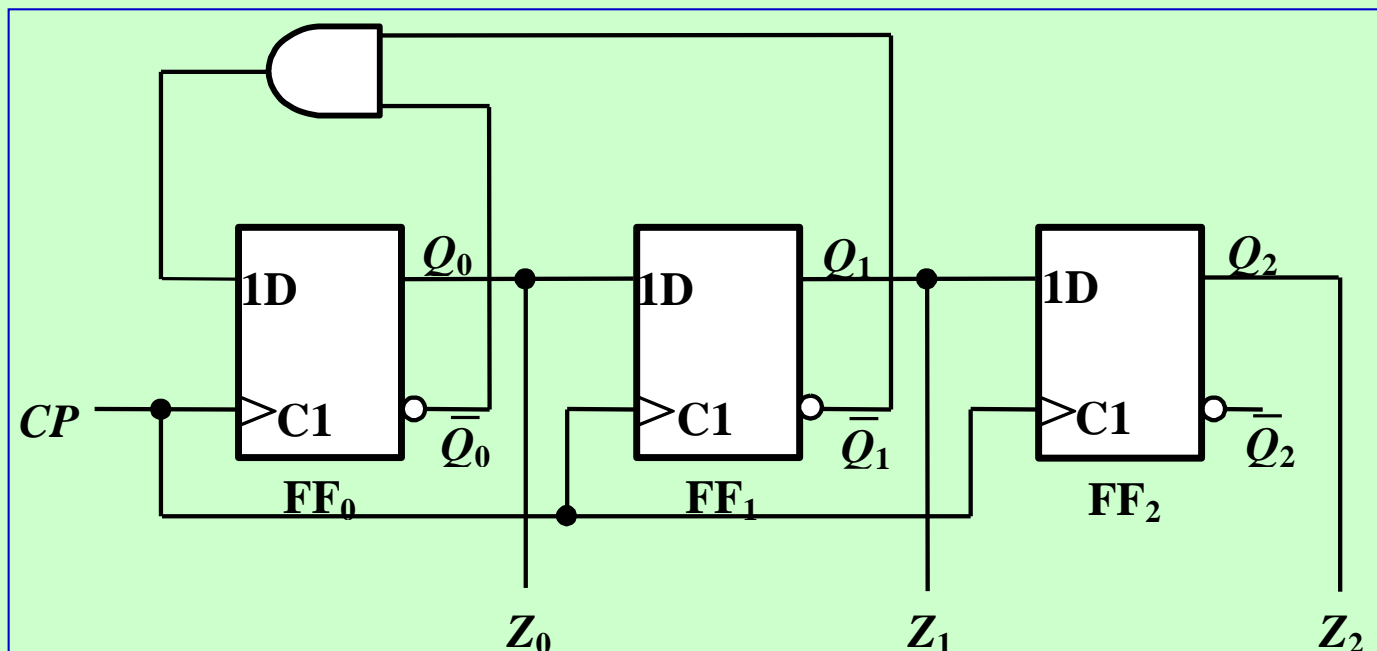
此处上升沿

此处下标为0

此处下标为2



例3 分析下图所示的同步时序电路。



1. 根据电路列出逻辑方程组：

输出方程组

$$Z_0 = Q_0$$

$$Z_1 = Q_1$$

$$Z_2 = Q_2$$

激励方程组

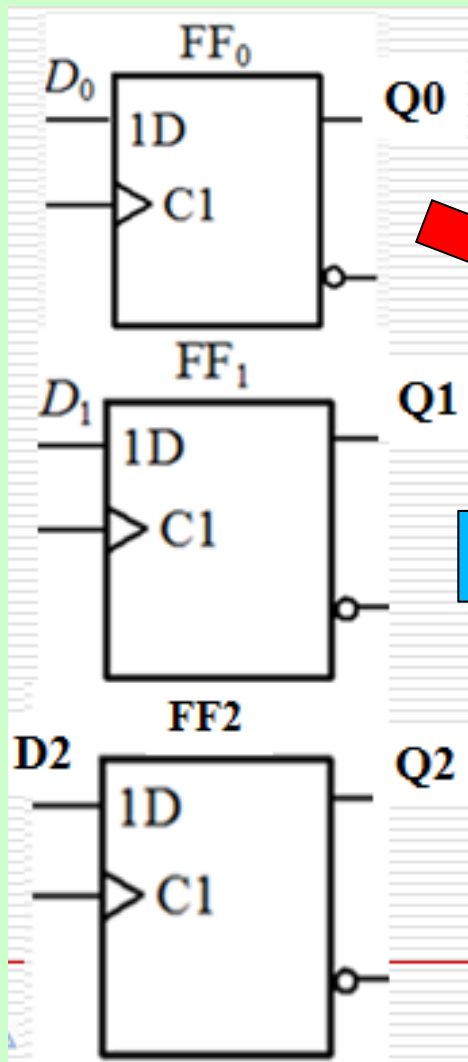
$$D_0 = \overline{Q_1}^n \overline{Q_0}^n$$

$$D_1 = Q_0^n$$

$$D_2 = Q_1^n$$

由于Q0是输出，
所以Z0只能是输出！

目标是状态转换表



状态转换真值表

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	$Z_2Z_1Z_0$
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	0	0				
1	0	1				
1	1	0				
1	1	1				

现态

次态和输出

将激励方程代入D 触发器的特性方程得状态方程

$$Q^{n+1} = D$$

状态表

得状态方程

$$Q_0^{n+1} = D_0 = \overline{Q_1}^n \overline{Q_0}^n$$

$$Q_1^{n+1} = D_1 = Q_0^n$$

$$Q_2^{n+1} = D_2 = Q_1^n$$

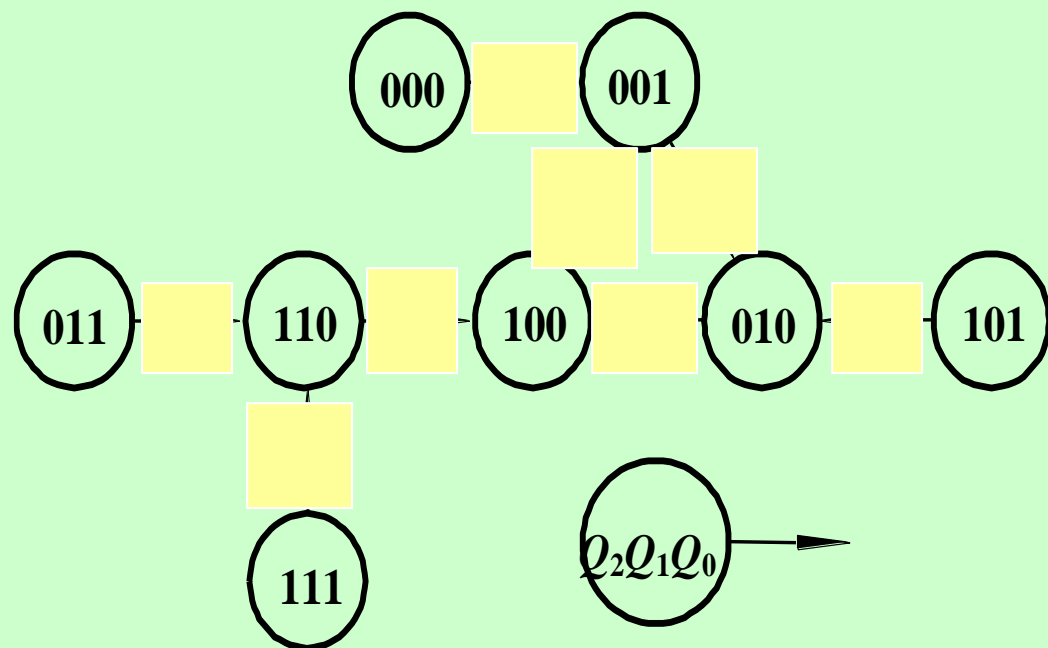
2.列出其状态表

$Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
0 0 0	0 0 1
0 0 1	0 1 0
0 1 0	1 0 0
0 1 1	1 1 0
1 0 0	0 0 1
1 0 1	0 1 0
1 1 0	1 0 0
1 1 1	1 1 0

3. 画出状态图

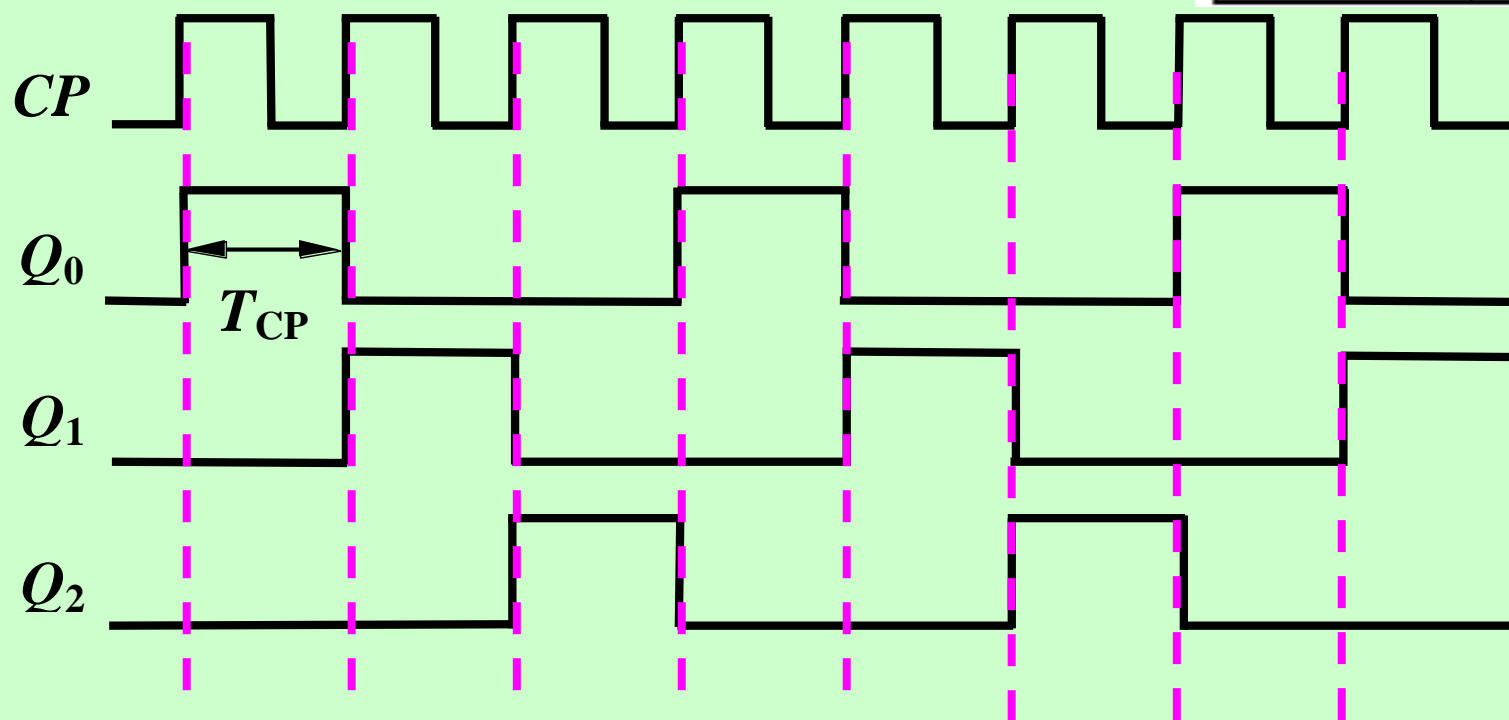
状态表

$Q_2^n Q_1^{n+1} Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
0 0 0	0 0 1
0 0 1	0 1 0
0 1 0	1 0 0
0 1 1	1 1 0
1 0 0	0 0 1
1 0 1	0 1 0
1 1 0	1 0 0
1 1 1	1 1 0



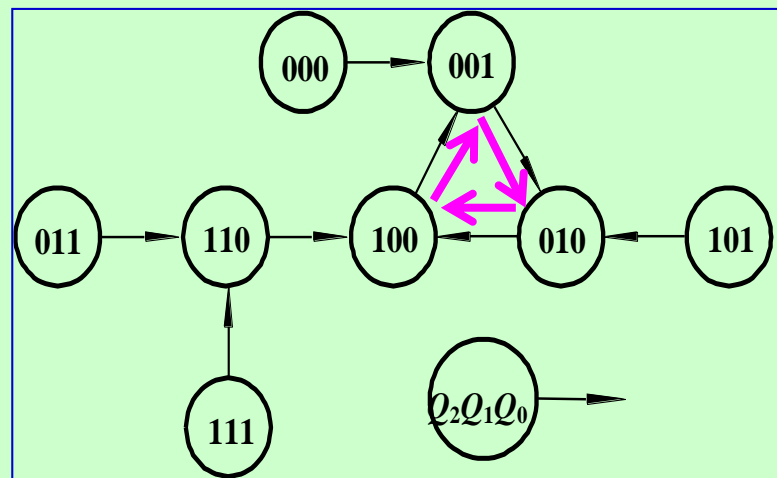
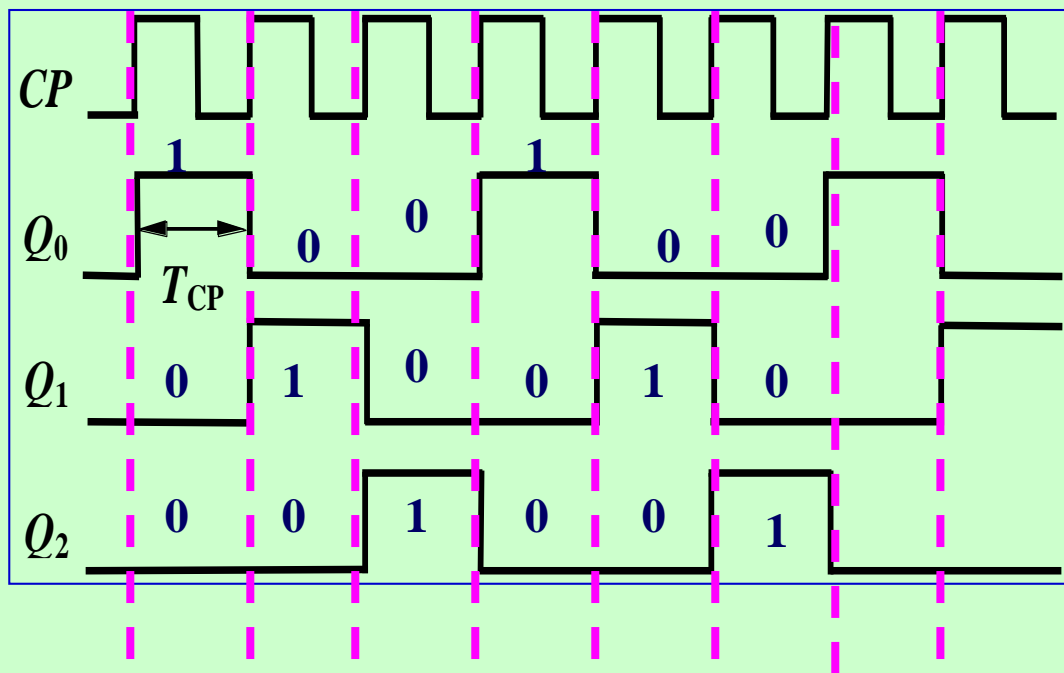
4. 画出时序图

$Q_2^n Q_1^{n+1} Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
0 0 0	0 0 1
0 0 1	0 1 0
0 1 0	1 0 0
0 1 1	1 1 0
1 0 0	0 0 1
1 0 1	0 1 0
1 1 0	1 0 0
1 1 1	1 1 0



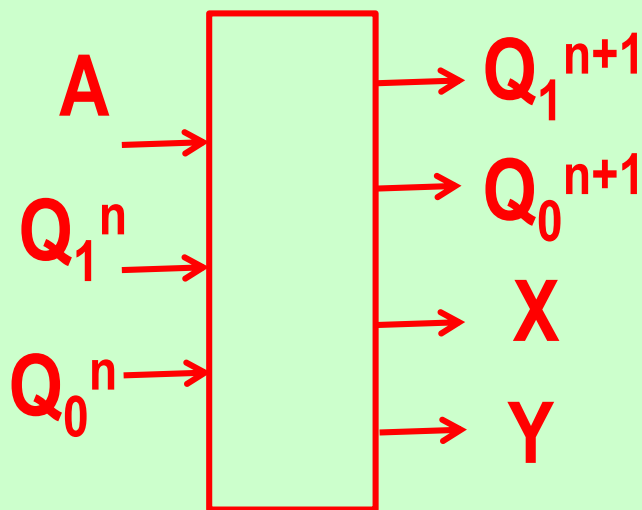
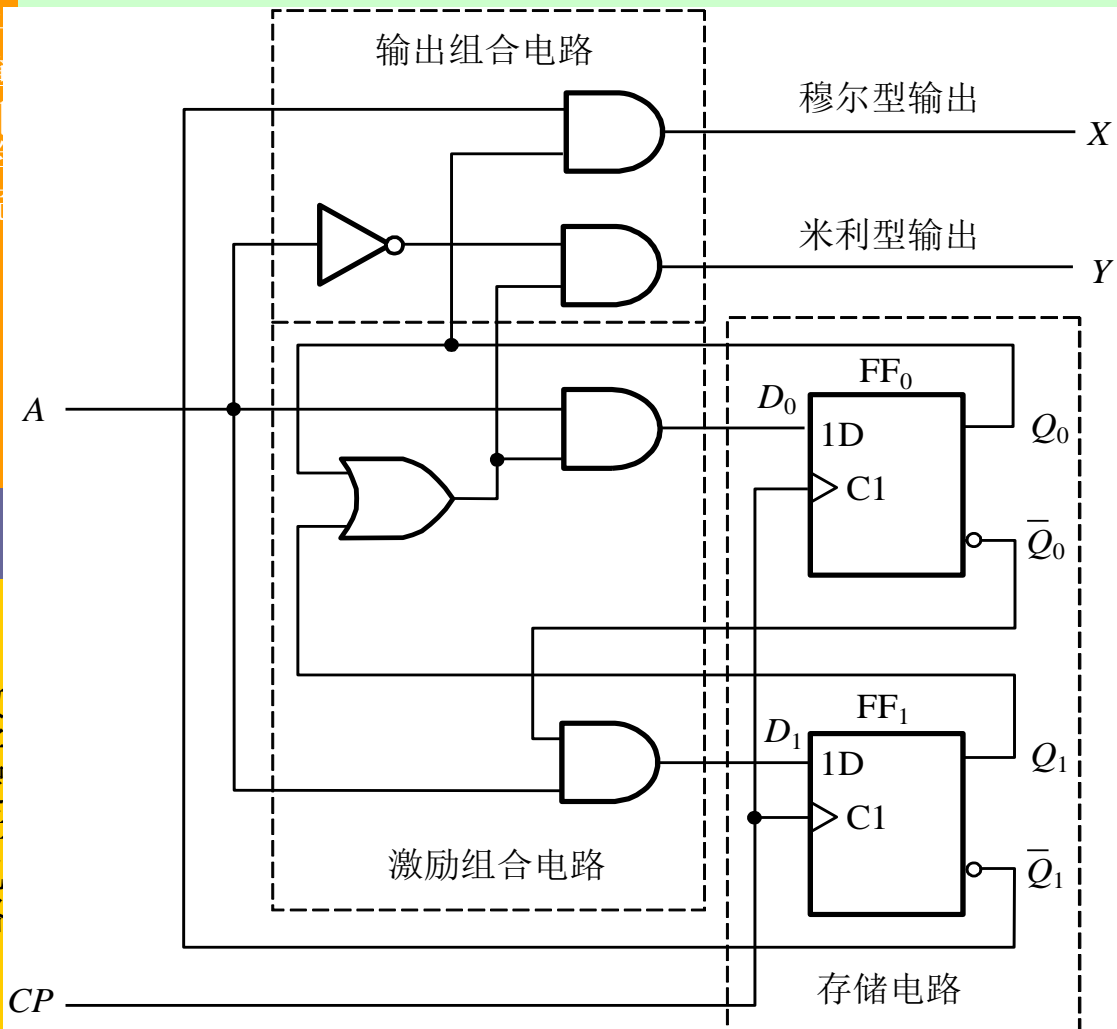
5、逻辑功能分析（找闭合回路）

由状态图可见，电路的有效状态是三位循环码。
从时序图可看出，电路正常工作时，各触发器的 Q 端轮流出现一个宽度为一个 CP 周期脉冲信号，循环周期为 $3T_{CP}$ 。电路的功能为脉冲分配器或节拍脉冲产生器。



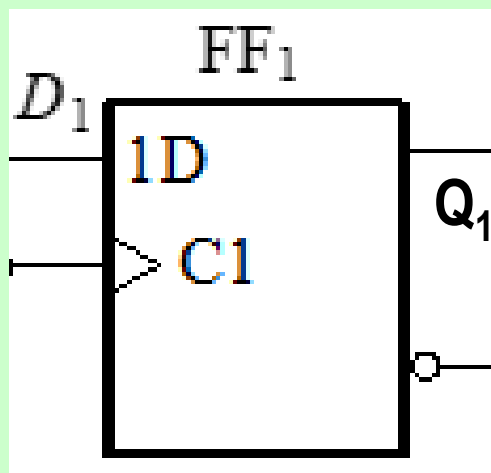
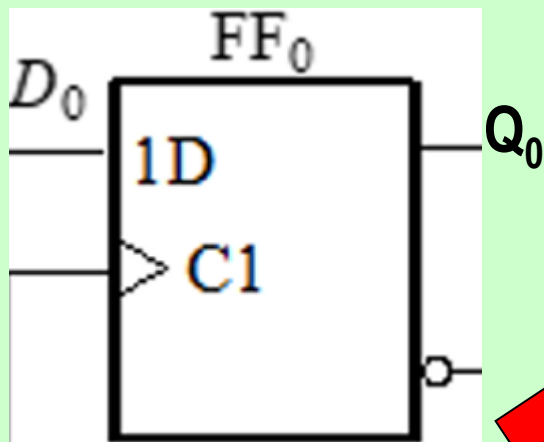
6.1.2 时序逻辑电路功能的表达

1. 分析下面电路的逻辑功能



目标是状态转换表

状态转换真值表



现态和输入

Q_1^n	Q_0^n	A	Q_1^{n+1}	Q_0^{n+1}	X	Y
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	0	0				
1	0	1				
1	1	0				
1	1	1				

次态和输出

6.1.2 时序逻辑电路功能的表达

1. 分析下面电路的逻辑功能

输出方程

$$X = \overline{Q_1} Q_0$$

$$Y = (Q_0 + Q_1) \overline{A}$$

激励方程组

$$D_0 = (Q_0 + Q_1) A$$

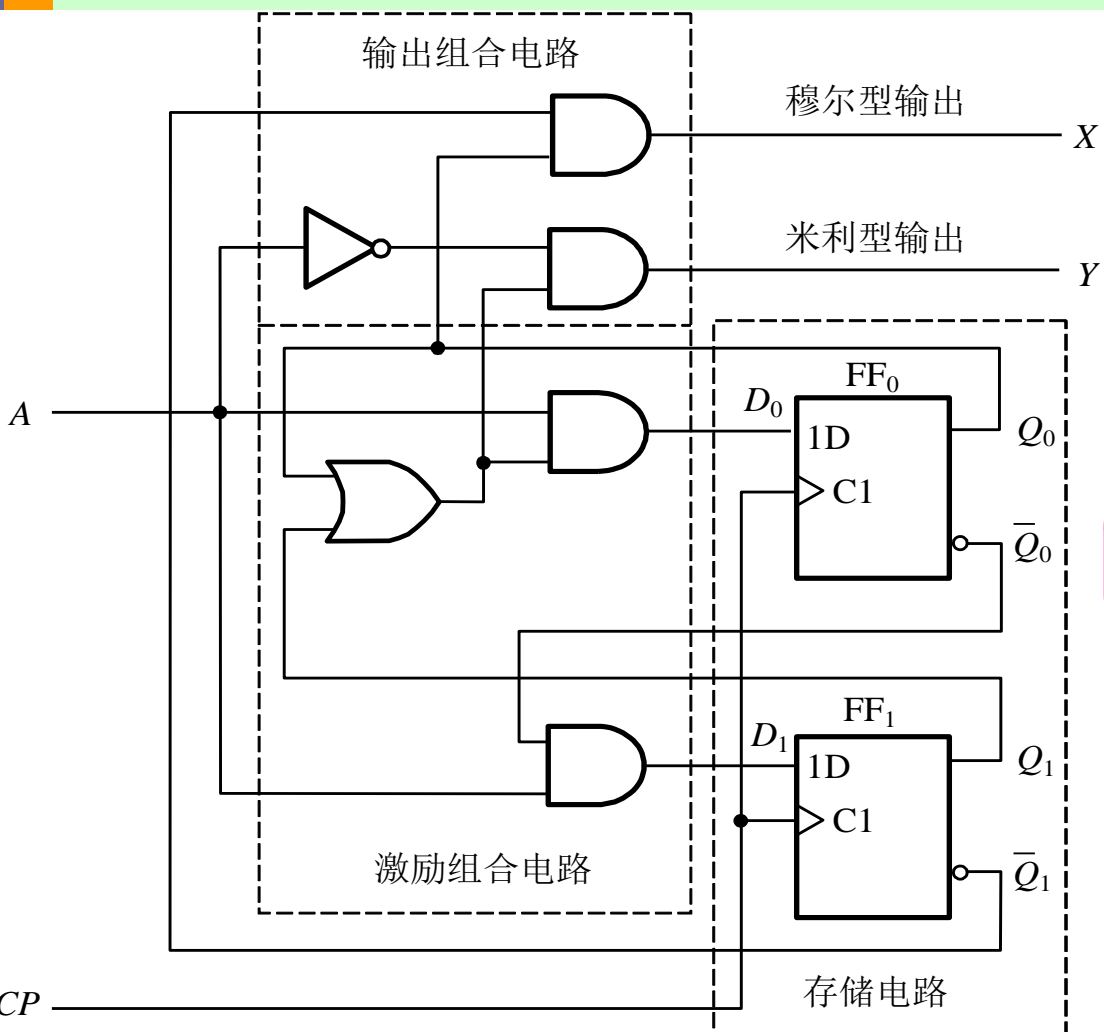
$$D_1 = \overline{Q_0} A$$

状态方程组

$$Q^{n+1} = D$$

$$Q_0^{n+1} = (Q_0^n + Q_1^n) A$$

$$Q_1^{n+1} = \overline{Q_0^n} A$$



2. 根据方程组列出状态转换真值表

输出方程

$$X = \overline{Q_1} Q_0$$

$$Y = (Q_0 + Q_1) \overline{A}$$

状态方程组

$$Q_1^{n+1} = \overline{Q_0} A$$

$$Q_0^{n+1} = (Q_0^n + Q_1^n) A$$

状态转换真值表

Q_1^n	Q_0^n	A	Q_1^{n+1}	Q_0^{n+1}	X	Y
0	0	0	0	0	0	0
0	0	1	1	0	0	0
0	1	0	0	0	1	1
0	1	1	0	1	1	0
1	0	0	0	0	0	1
1	0	1	1	1	0	0
1	1	0	0	0	0	1
1	1	1	0	1	0	0

3. 将状态转换真值表转换为状态表

状态转换真值表

Q_1^n	Q_0^n	A	Q_1^{n+1}	Q_0^{n+1}	X	Y
0	0	0	0	0	0	0
0	0	1	1	0	0	0
0	1	0	0	0	1	1
0	1	1	0	1	1	0
1	0	0	0	0	0	1
1	0	1	1	1	0	0
1	1	0	0	0	0	1
1	1	1	0	1	0	0

转换表

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$		X
	$A=0$	$A=1$	
00	00 / 0	10 / 0	0
01	00 / 1	01 / 0	1
10	00 / 1	11 / 0	0
11	00 / 1	01 / 0	0

4.根据转换表得状态表

令4个状态为**00=a**, **01=b**, **10=c**, **11=d**, 得:

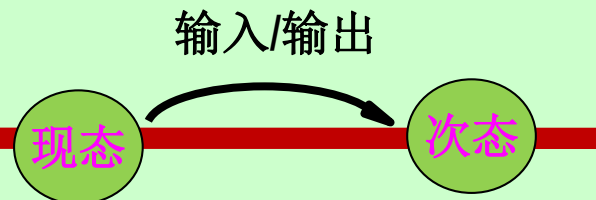
转换表

$Q_1^n \ Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$		X
	$A=0$	$A=1$	
00	00 / 0	10 / 0	0
01	00 / 1	01 / 0	1
10	00 / 1	11 / 0	0
11	00 / 1	01 / 0	0

状态表

S^n	S^{n+1} / Y		X
	$A=0$	$A=1$	
a	$a / 0$	$c / 0$	0
b	$a / 1$	$b / 0$	1
c	$a / 1$	$d / 0$	0
d	$a / 1$	$b / 0$	0

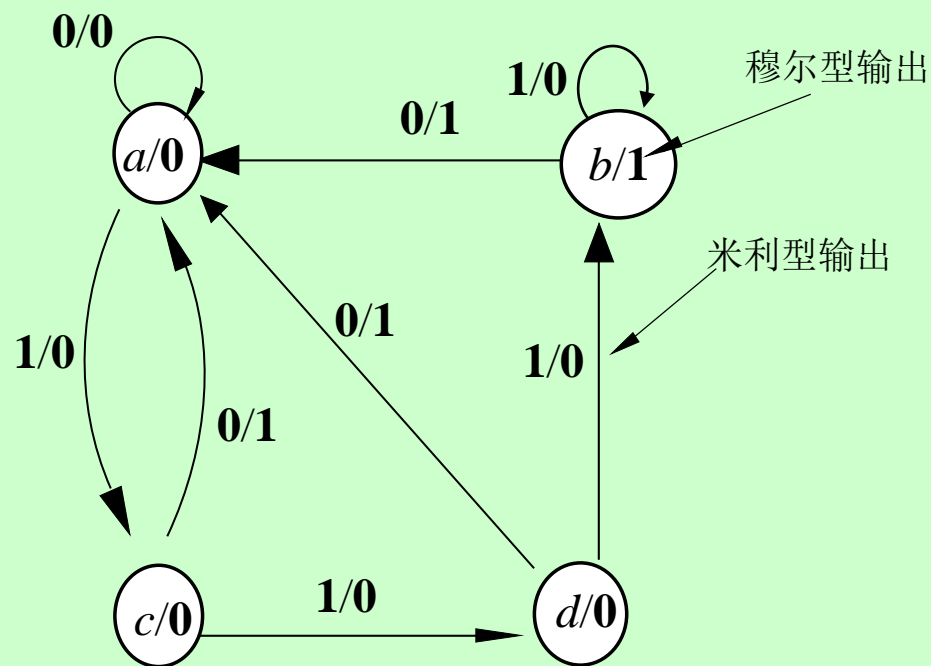
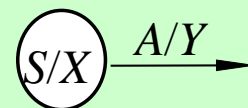
5. 状态图---有两种



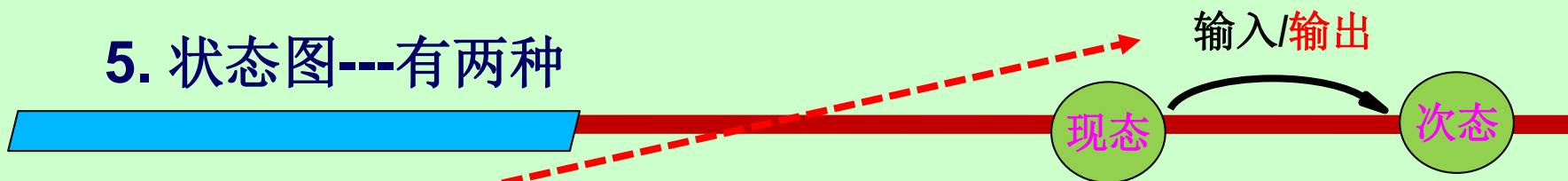
米利型输出标在方向线旁。穆尔型标在圆圈状态名旁。

状态表

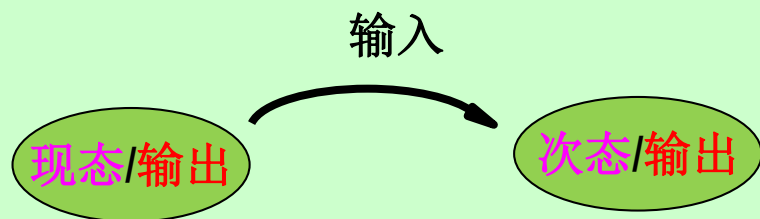
S^n	S^{n+1}/Y		X
	$A=0$	$A=1$	
a	$a / 0$	$c / 0$	0
b	$a / 1$	$b / 0$	1
c	$a / 1$	$d / 0$	0
d	$a / 1$	$b / 0$	0



5. 状态图---有两种

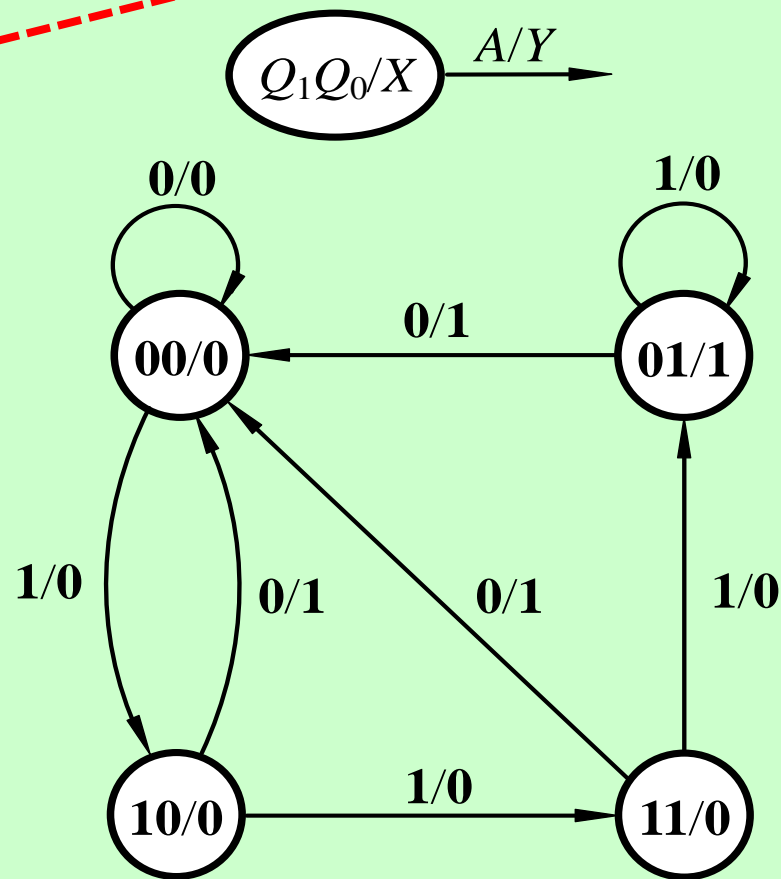


米利型输出标在方向线旁。穆尔型标在圆圈状态名旁。



转换表

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$		X
	$A=0$	$A=1$	
00	00 / 0	10 / 0	0
01	00 / 1	01 / 0	1
10	00 / 1	11 / 0	0
11	00 / 1	01 / 0	0

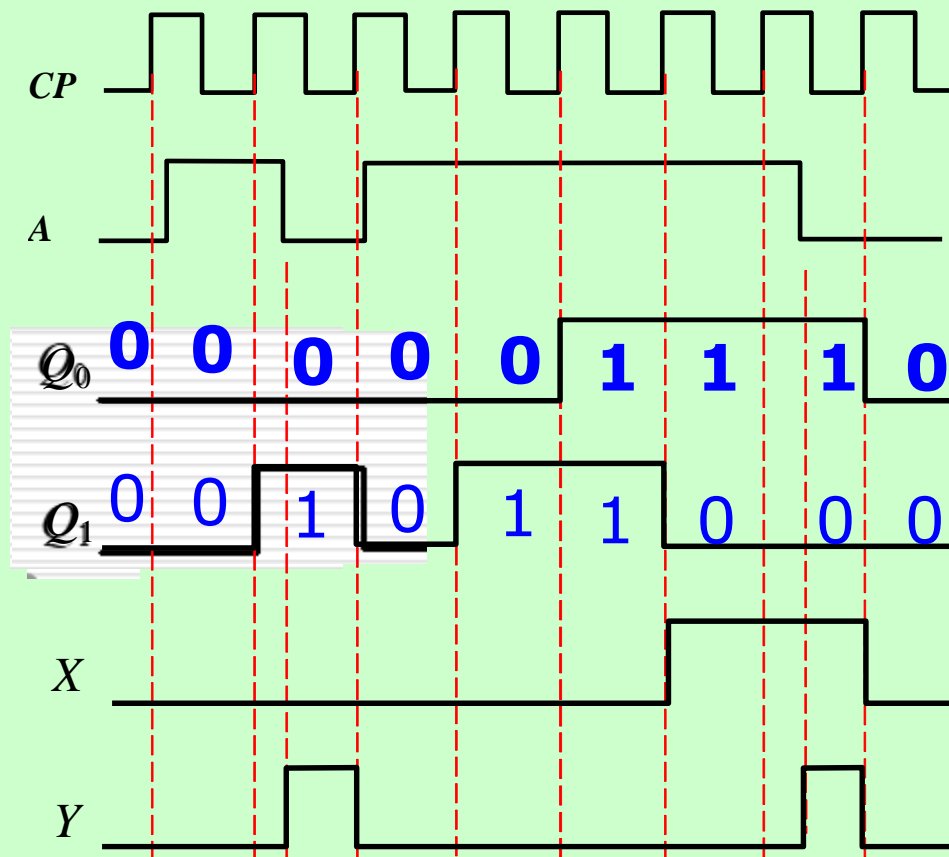


6. 时序图

根据转换表画出波形图,开始时初态为 $Q_1Q_0=00$.

转换表

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$		X
	$A=0$	$A=1$	
00	00 / 0	10 / 0	0
01	00 / 1	01 / 0	1
10	00 / 1	11 / 0	0
11	00 / 1	01 / 0	0



时序逻辑电路的多种描述方式是可以相互转换的

6.5 若干典型的时序逻辑集成电路

6.5.1 寄存器和移位寄存器

6.5.2 计数器

6.5 若干典型的时序逻辑集成电路

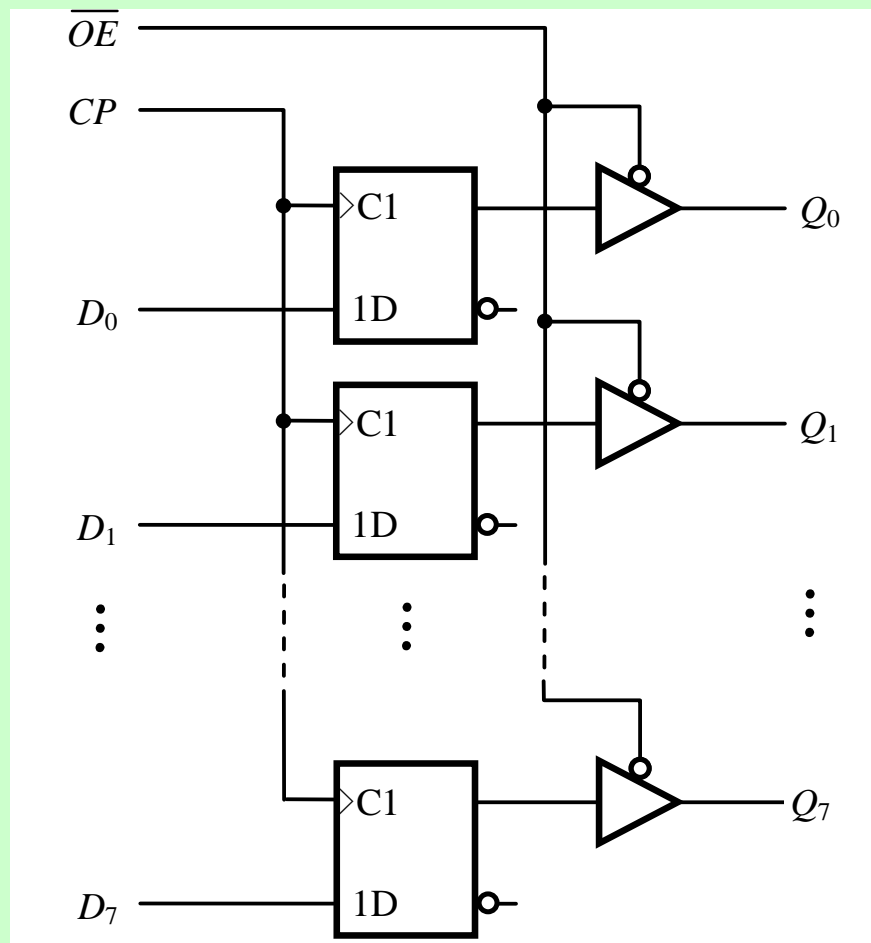
6.5.1 寄存器和移位寄存器

1、 寄存器

寄存器:是数字系统中用来**存储代码或数据**的逻辑部件。它的主要组成部分是**触发器**。

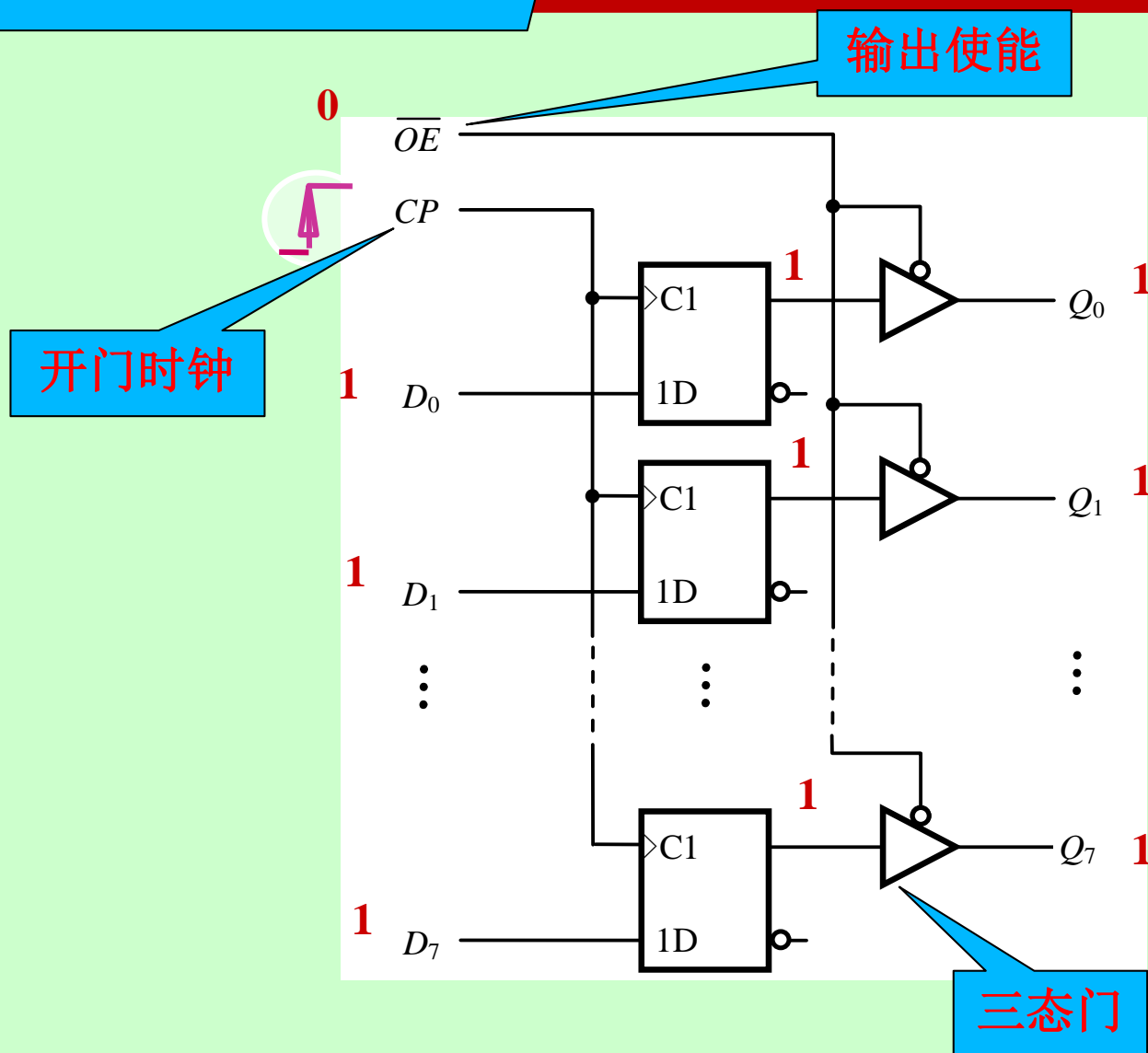
一个**触发器**能存储**1位二进制代码**，存储 n 位二进制代码的寄存器需要用 n 个触发器组成。**寄存器**实际上是若干**触发器**的集合。

8位CMOS寄存器74HC374



脉冲边沿敏感的寄存器

8位CMOS寄存器74HC/HCT374



8位CMOS寄存器74LV374

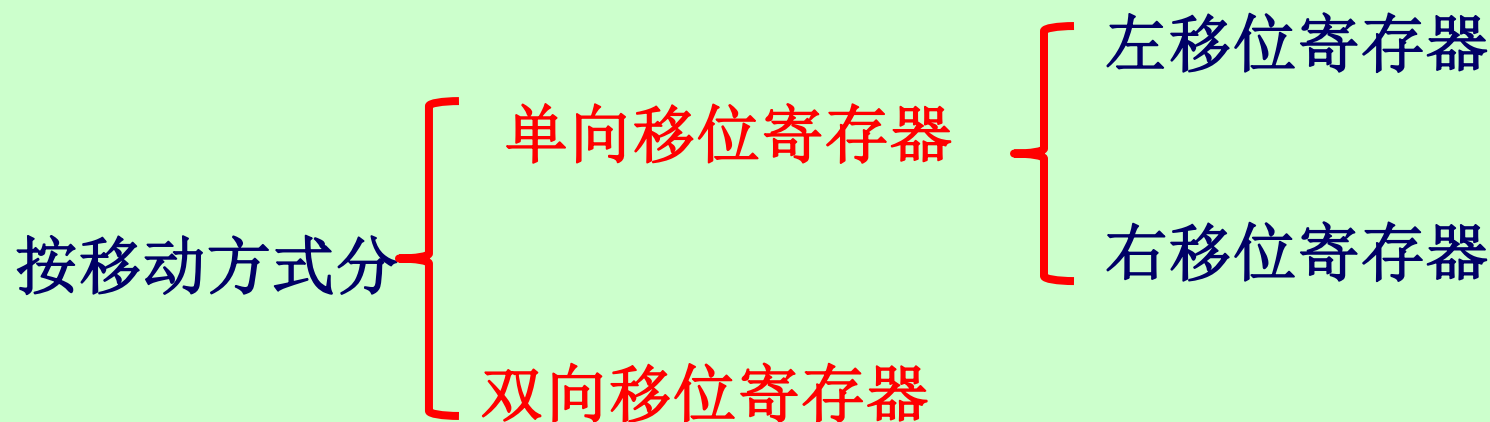
工作模式	输 入			内部触发器 Q_N^{n+1}	输出
	\overline{OE}	CP	D_N		$Q_0 \sim Q_7$
存入和读出数据	L	↑	L	L	对应内部触发器的状态
	L	↑	H	H	
存入数据，禁止输出	H	↑	L	L	高阻
	H	↑	H	H	高阻

2、移位寄存器

- 移位寄存器的逻辑功能

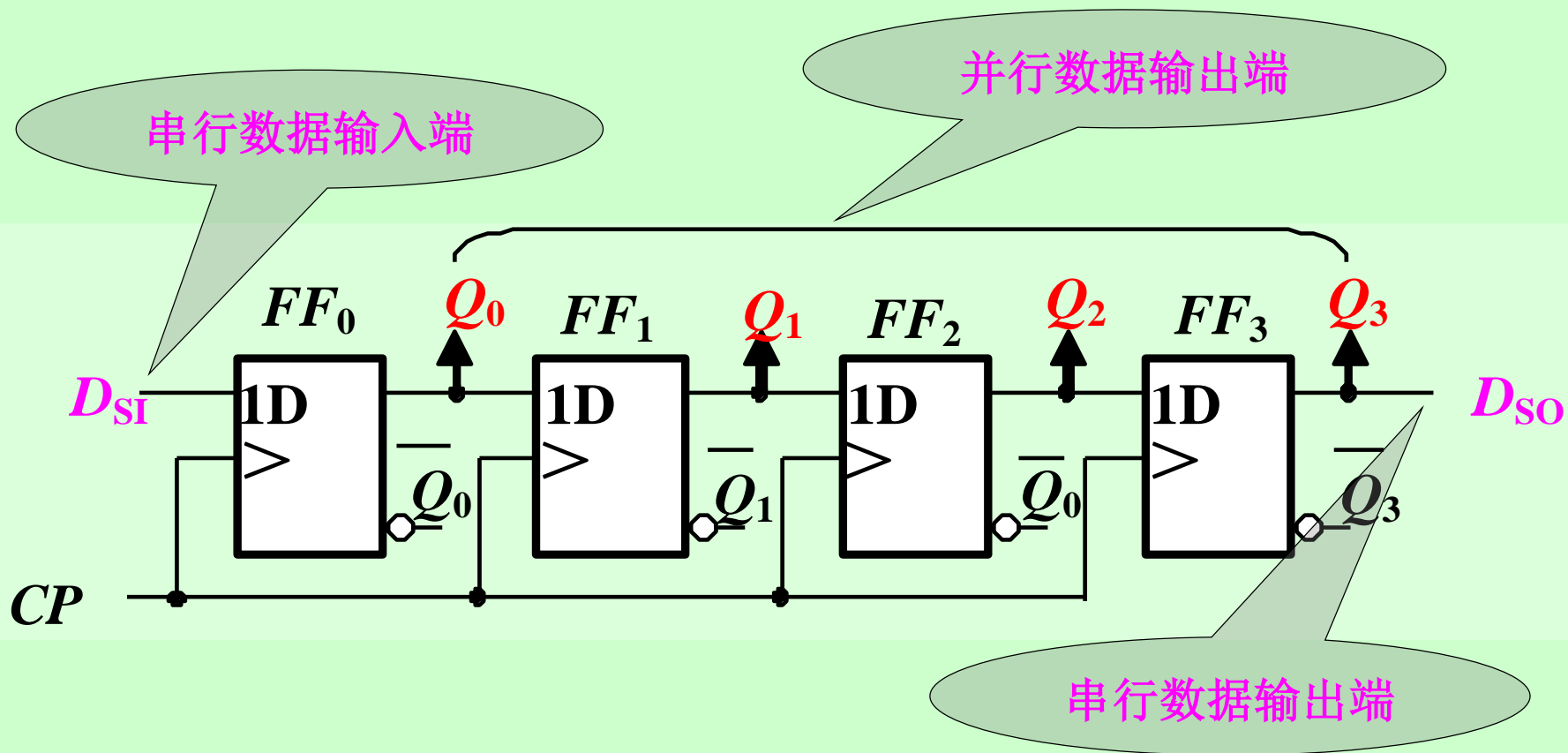
移位寄存器是既能寄存数码，又能在时钟脉冲的作用下使数码向高位或向低位移动的逻辑功能部件。

- 移位寄存器的逻辑功能分类



(1) 基本移位寄存器

(a) 电路



(b). 工作原理

写出激励方程:

$$D_0 = D_{SI} \quad D_1 = Q_0^n \quad D_2 = Q_1^n \quad D_3 = Q_2^n$$

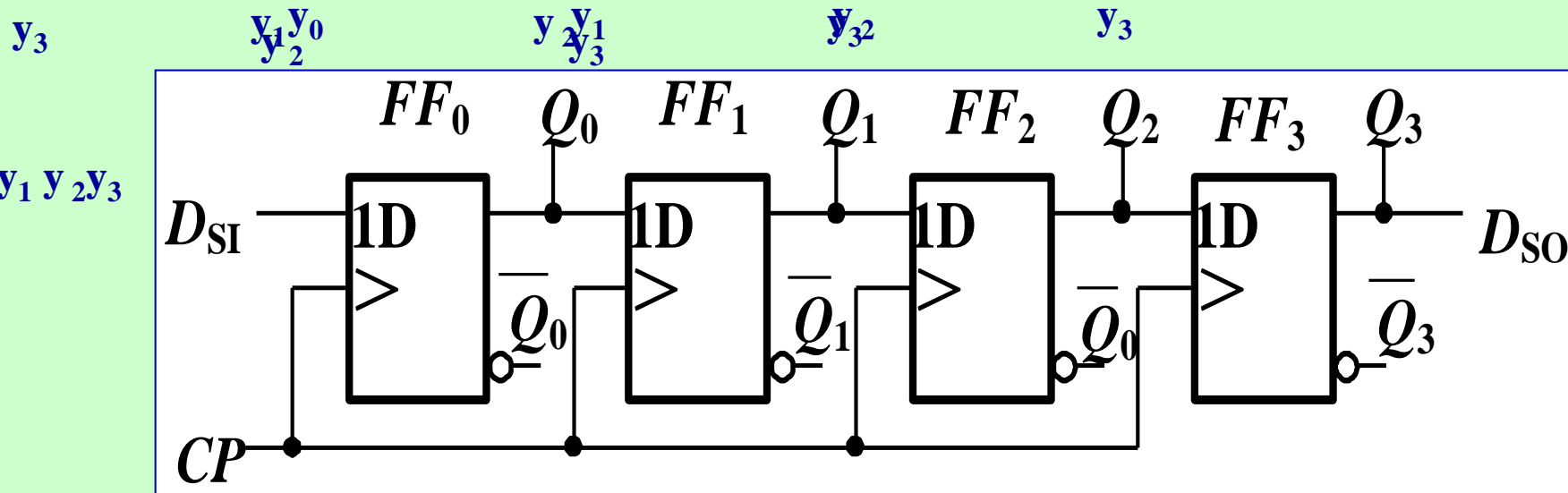
写出状态方程:

$$Q_0^{n+1} = D_{SI}$$

$$Q_1^{n+1} = D_1 = Q_0^n$$

$$Q_2^{n+1} = D_2 = Q_1^n$$

$$Q_3^{n+1} = D_3 = Q_2^n$$



$$Q_0^{n+1} = D_{SI}$$

$$Q_1^{n+1} = Q_0^n$$

$$Q_2^{n+1} = Q_1^n$$

$$Q_3^{n+1} = Q_2^n$$

1CP 后

1

2CP 后

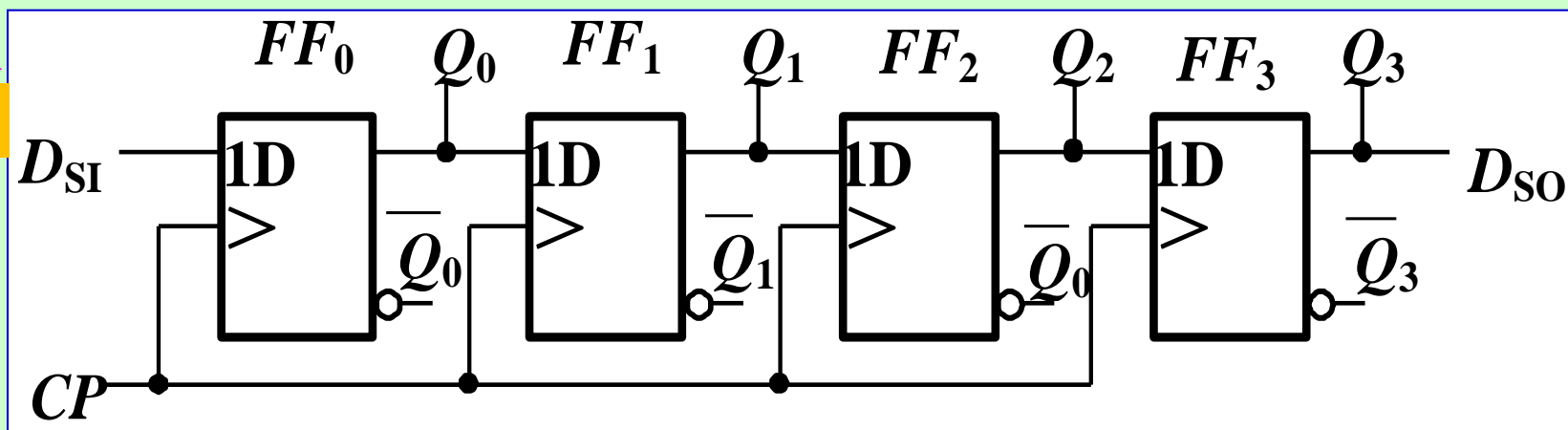
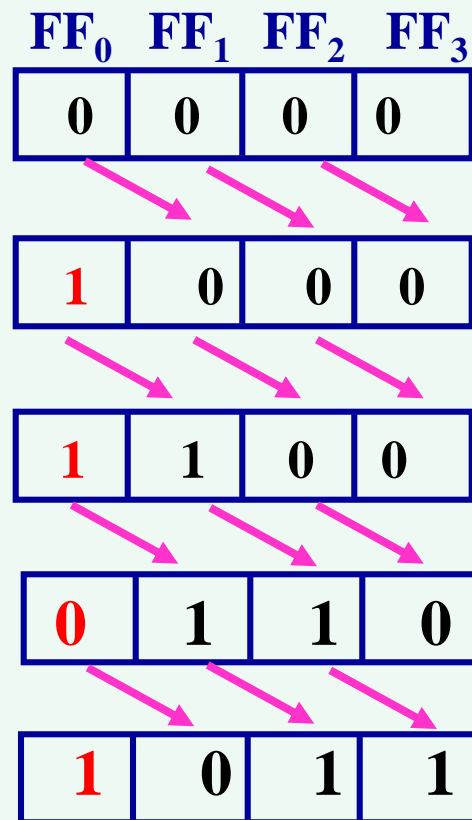
1

3CP 后

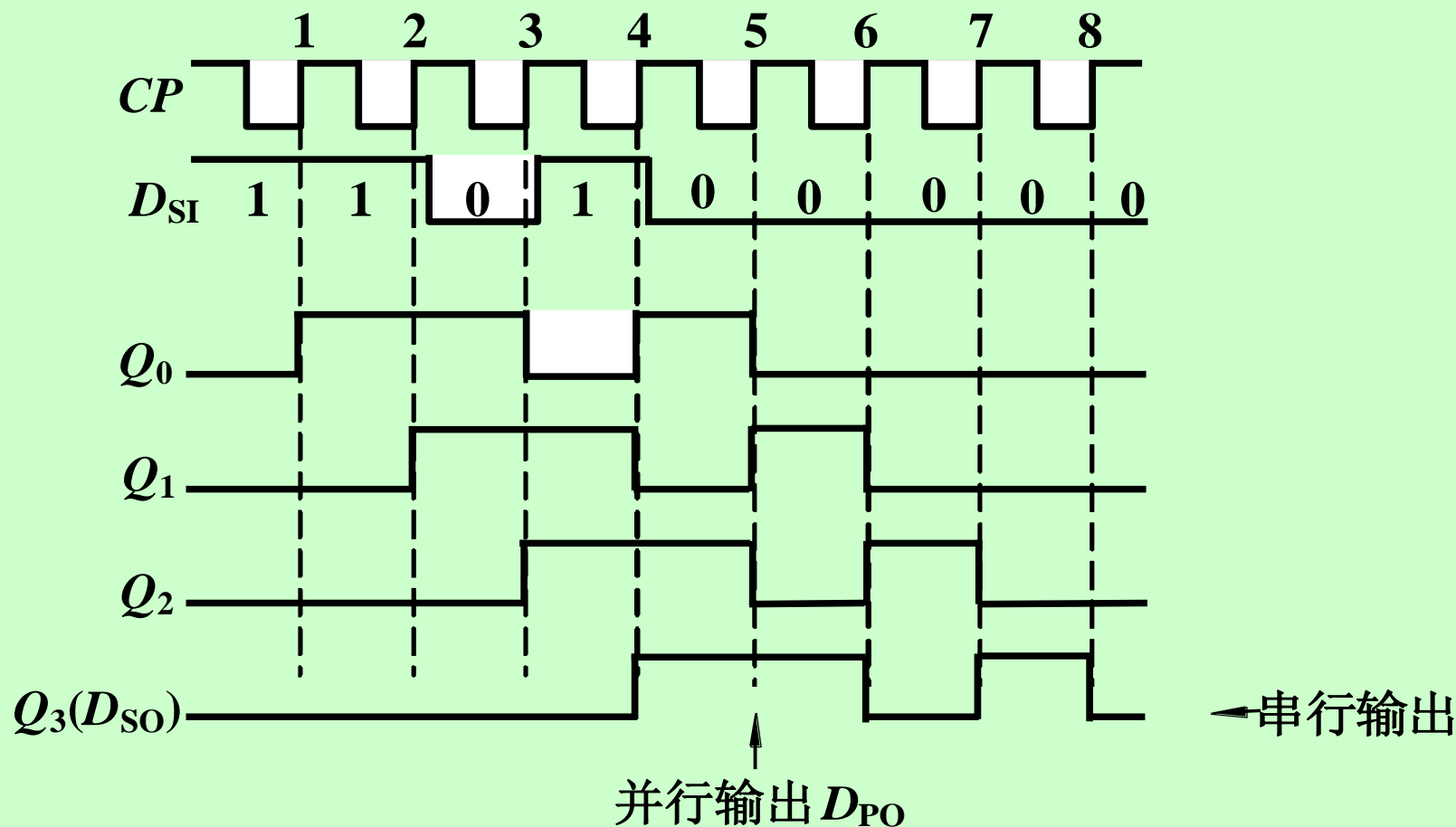
0

4CP 后

1



$D_{SI} = 11010000$, 从高位开始输入



经过7个CP脉冲作用后，从 D_{SI} 端串行输入的数码就可以从 D_{SO} 端串行输出。
串入→串出

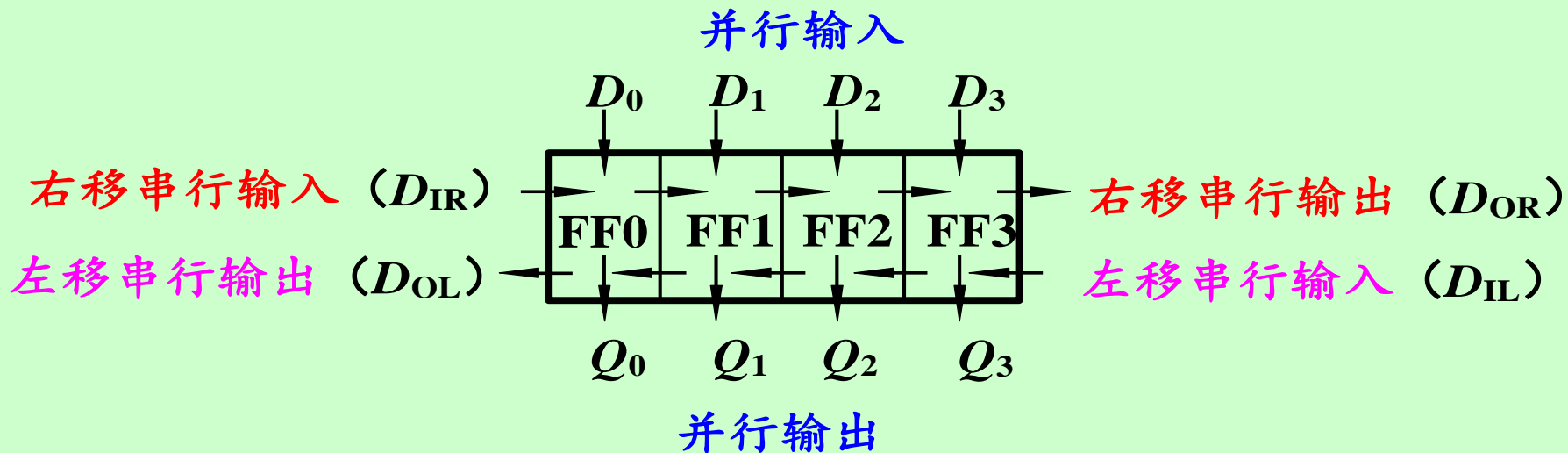
(2) 多功能双向移位寄存器

(a) 工作原理

高位移向低位----左移

低位移向高位----右移

多功能移位寄存器工作模式简图



(2) 多功能双向移位寄存器

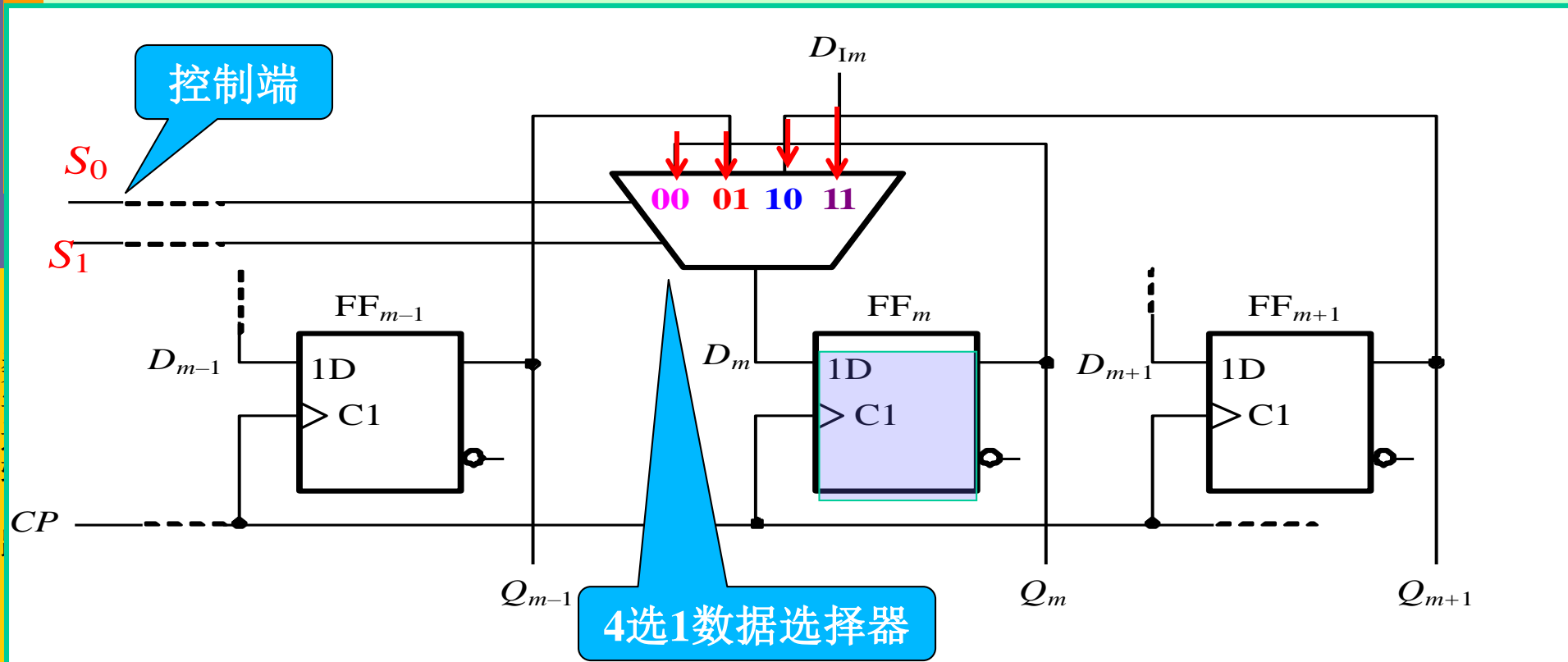
实现多种功能双向移位寄存器的一种方案(仅以FF_m为例)

$S_1S_0=00$ $Q_m^{n+1} = Q_m^n$ 保持不变

$S_1S_0=10$ $Q_m^{n+1} = Q_{m+1}^n$ 高位移向低位

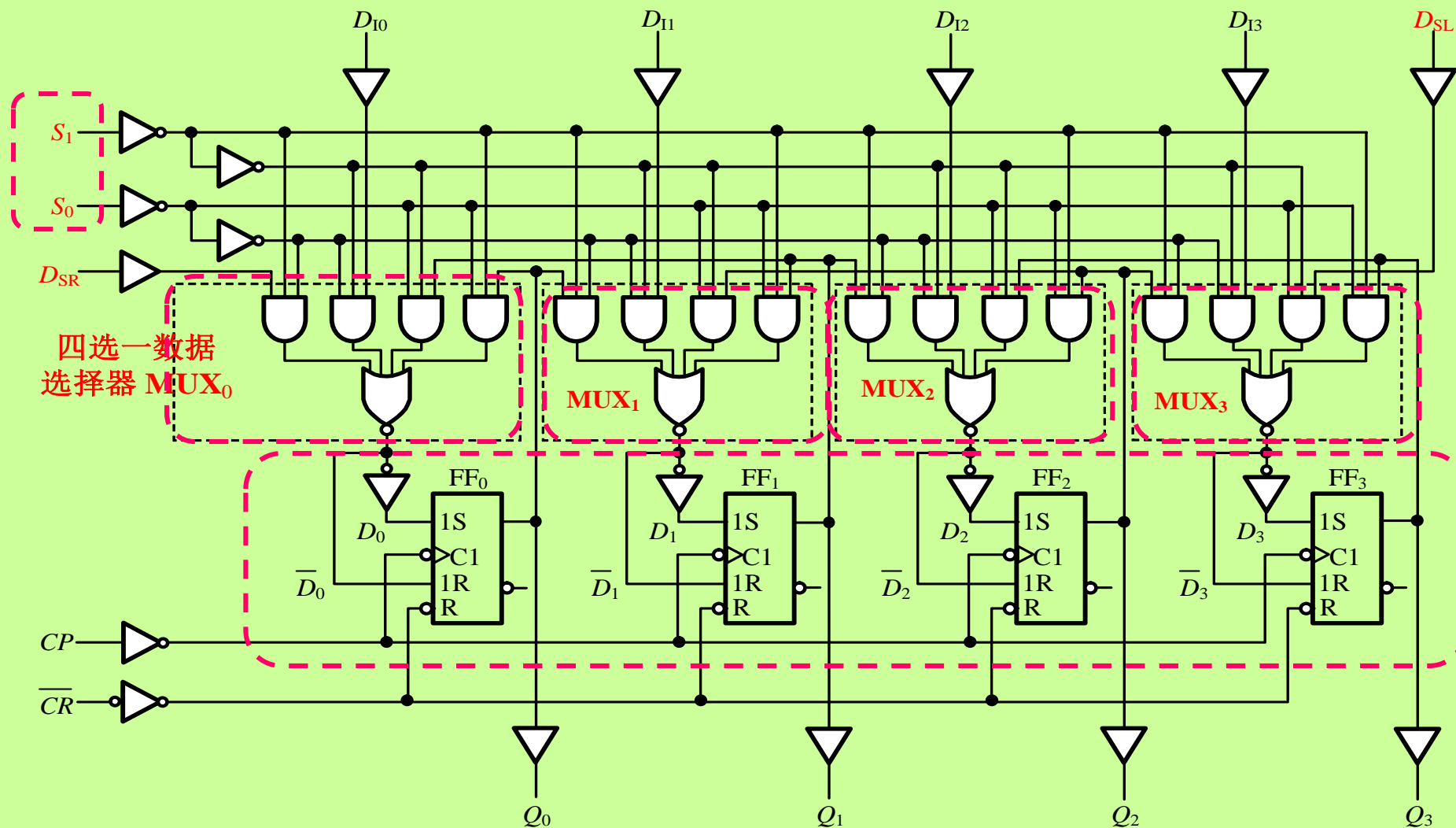
$S_1S_0=01$ $Q_m^{n+1} = Q_{m-1}^n$ 低位移向高位

$S_1S_0=11$ $Q_m^{n+1} = D_m$ 并入



(b) 典型集成电路

CMOS 4位双向移位寄存器74HC/HCT194



74HCT194 的功能表

输 入							输 出				行
清 零	控制信 号		串行输 入		时 钟 CP	并行输入				$Q_0^{n+1} Q_1^{n+1} Q_2^{n+1} Q_3^{n+1}$	
\overline{CR}	S_1	S_0	右 移 D_{SR}	左 移 D_{SL}		DI_0	DI_1	DI_2	DI_3		
L	×	×	×	×	×	×	×	×	×	L L L L	1
H	L	L	×	×	×	×	×	×	×	$Q_0^n Q_1^n Q_2^n Q_3^n$	2
H	L	H	L	×	↑	×	×	×	×	L $Q_0^n Q_1^n Q_2^n$	3
H	L	H	H	×	↑	×	×	×	×	H $Q_0^n Q_1^n Q_2^n$	4
H	H	L	×	L	↑	×	×	×	×	$Q_1^n Q_2^n Q_3^n$ L	5
H	H	L	×	H	↑	×	×	×	×	$Q_1^n Q_2^n Q_3^n$ H	6
H	H	H	×	×	↑	DI_0	DI_1	DI_2	DI_3	$D_0 D_1 D_2 D_3$	7

6.5.2 计 数 器

概 述

(1) 计数器的逻辑功能

计数器的基本功能是对输入时钟脉冲进行计数。它也可用于分频、定时、产生节拍脉冲和脉冲序列及进行数字运算等等。

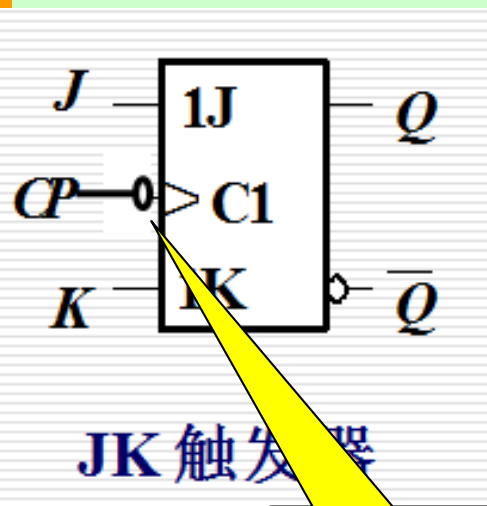
(2) 计数器的分类

- 按脉冲输入方式，分为同步和异步计数器
- 按进位体制，分为二进制、十进制和任意进制计数器
- 按逻辑功能，分为加法、减法和可逆计数器

6.5.2 计数器

对输入时钟脉冲个数进行计数的器件称为计数器。它也可用于分频、定时、产生节拍脉冲和脉冲序列及进行数字运算等等。

下降沿触发的 JK 触发器



下降沿触发

在 CP 脉冲的下降沿到来瞬间使触发器的状态 (Q 的值) 才发生变化:

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

$$J=K=1$$

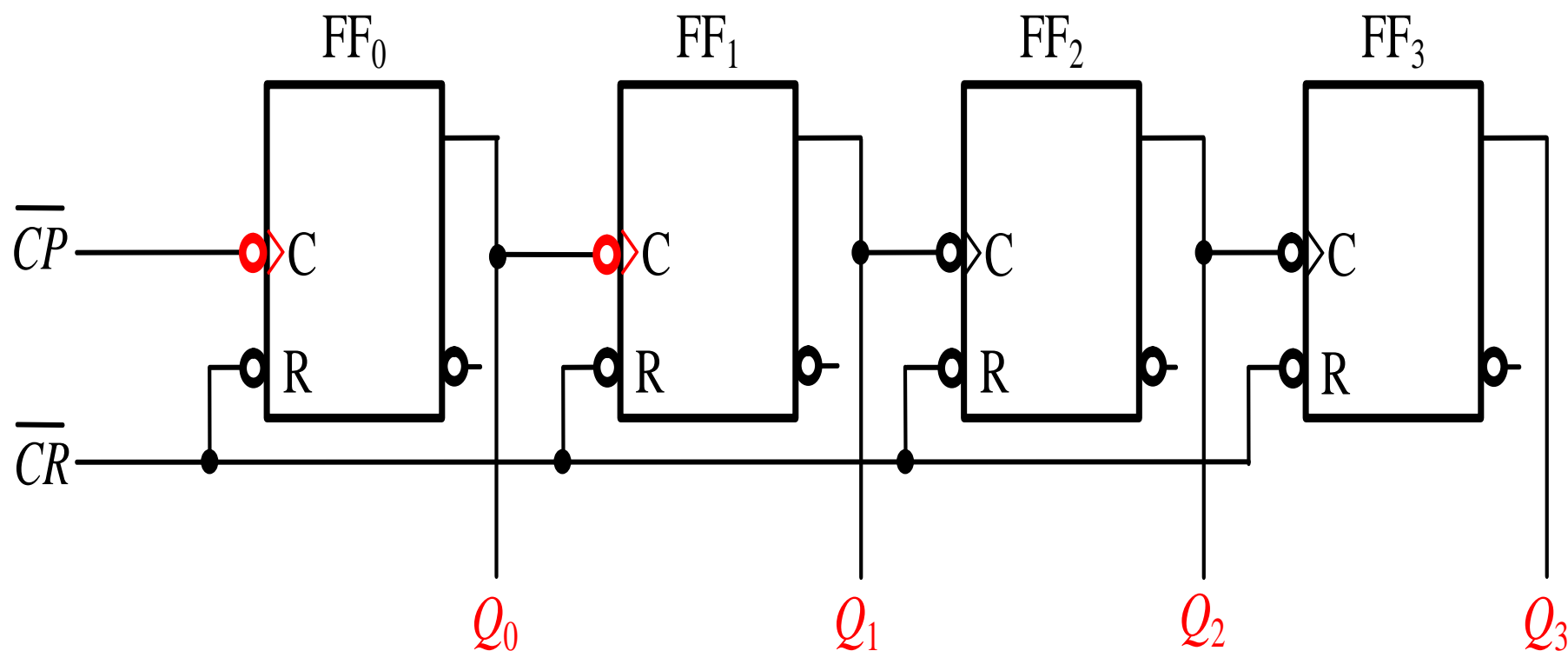
$$Q^{n+1} = \overline{Q}^n$$

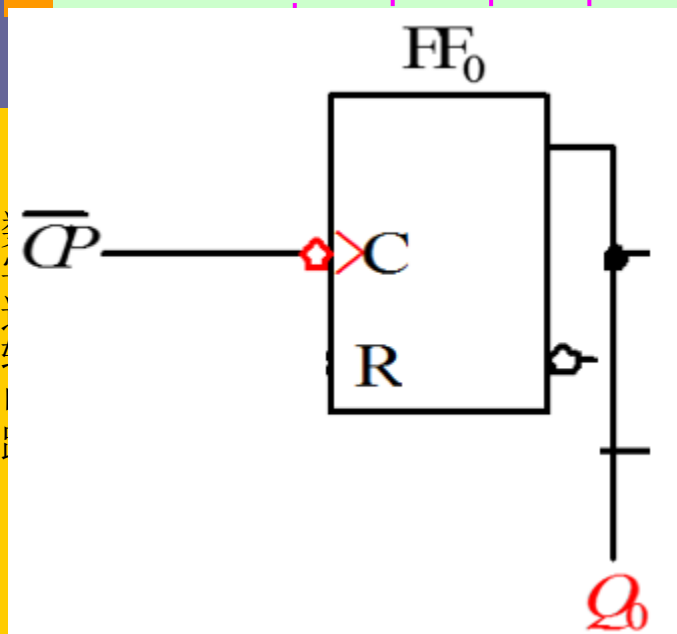
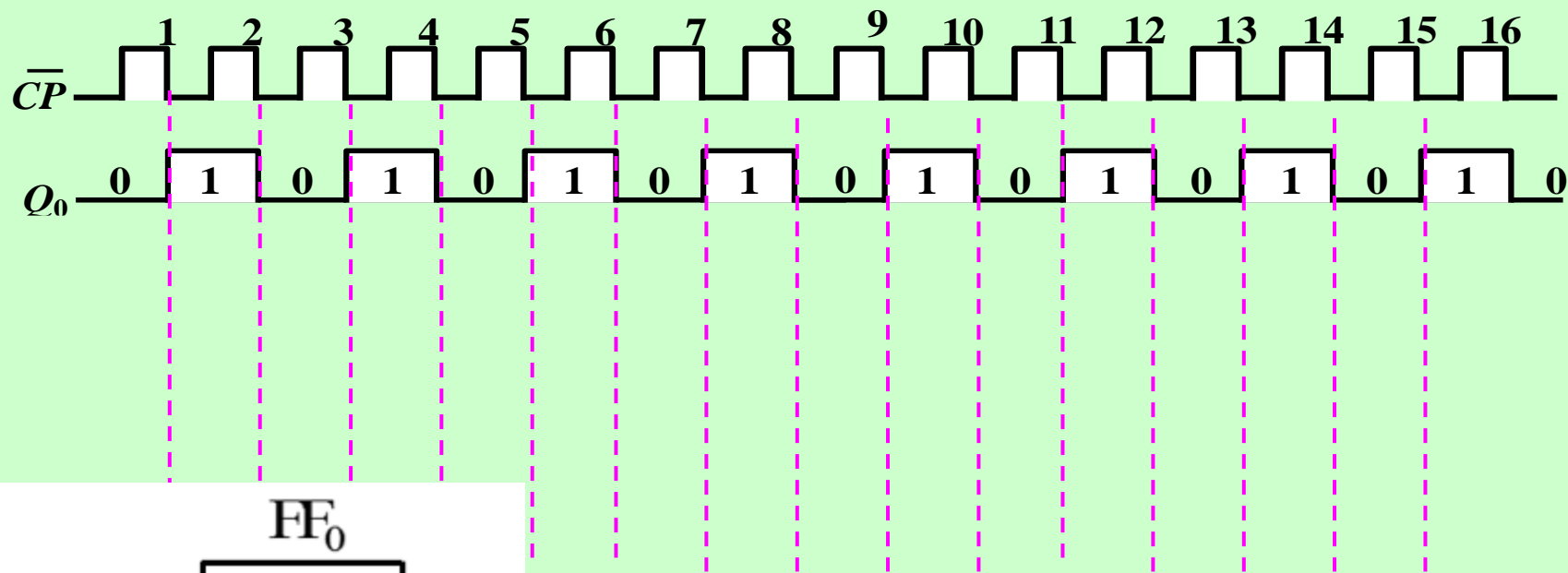
1、 二进制计数器

(1) 异步二进制计数器---由JK触发器构成4位异步二进制加法计数器

此图中JK引脚没有连接，等效于J=K=1。 $Q^{n+1} = \overline{Q^n}$

在时钟下降沿处发生状态翻转。按照 $Q^{n+1} = \overline{Q^n}$ 进行状态翻转





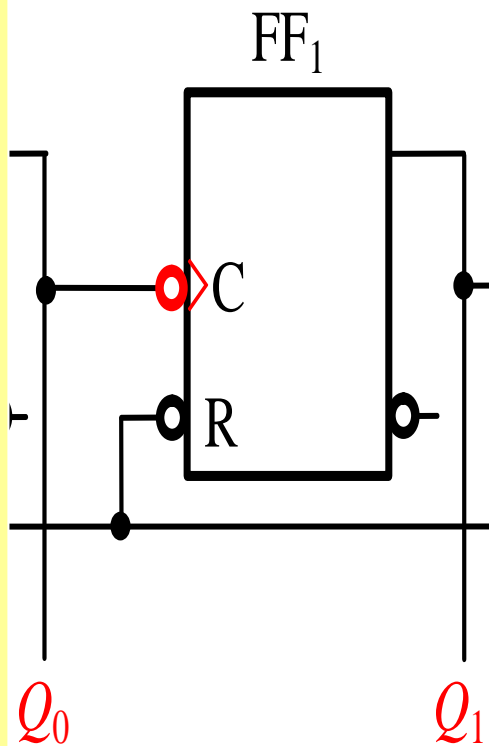
$$J=K=1$$

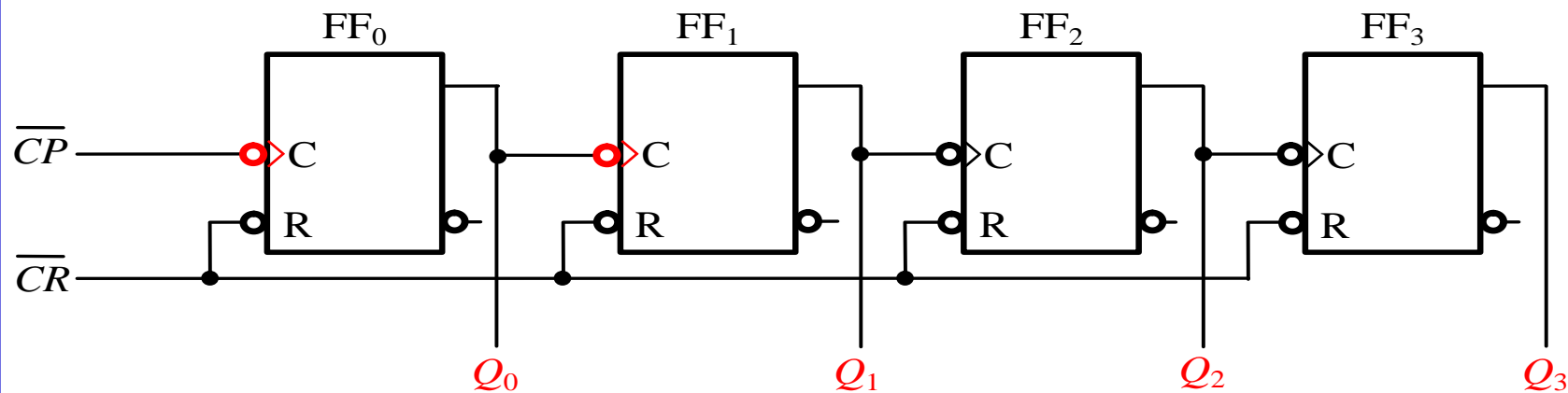
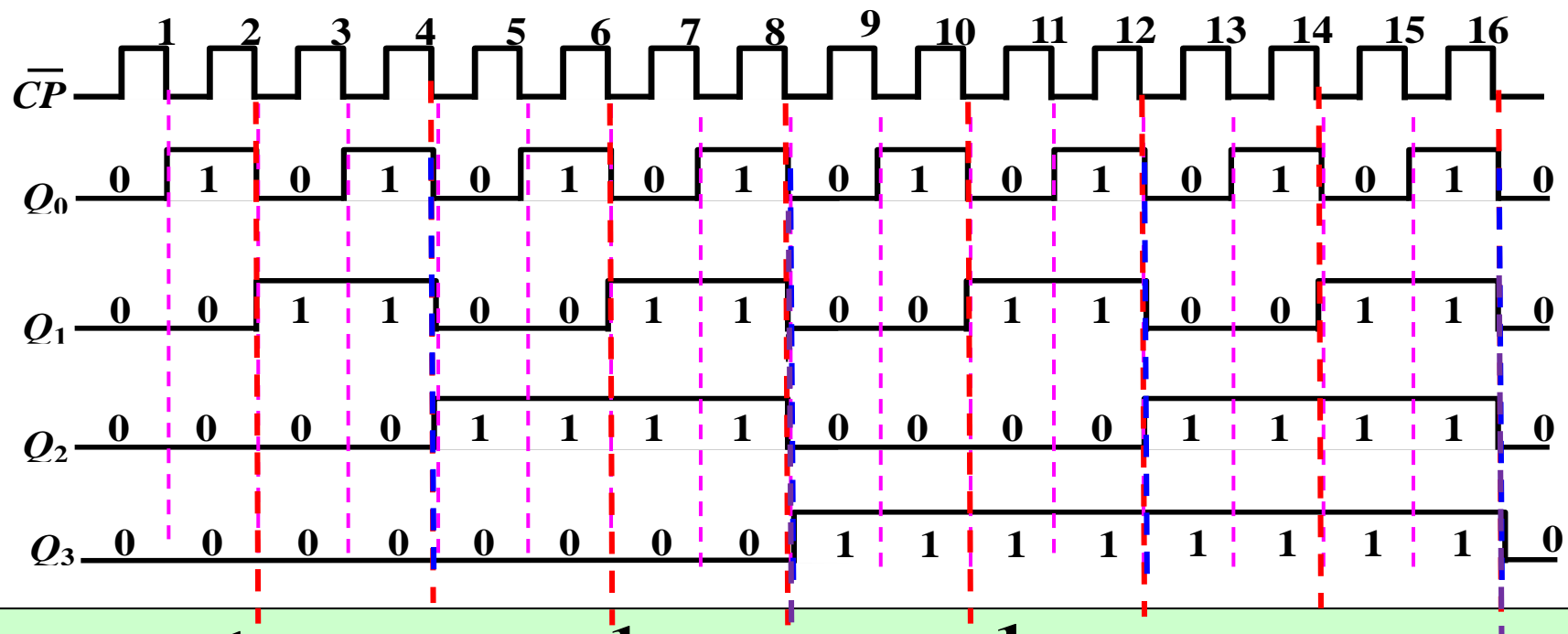
$$Q^{n+1} = \overline{Q}^n$$

1、 二进制计数器

(1) 异步二进制计数器---4位异步二进制加法计数器

工作原理





(2)设计二进制同步加1计数器

直接分析状态表，采用T触发器实现

T触发器特性方程:

$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$$

T	Q^{n+1}
0	Q^n
1	\overline{Q}^n

T=0时:

$$Q^{n+1} = Q^n$$

T=1时:

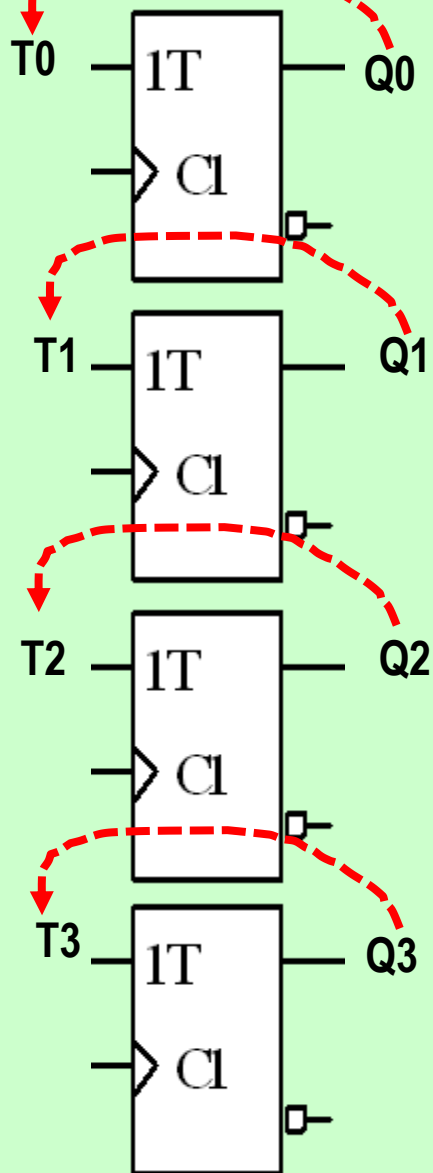
$$Q^{n+1} = \overline{Q}^n$$

反之，就是说：如果要保持Q值不变，只要使T=0即可。要保持Q值状态翻转，只要使T=1即可。

计数顺序	电路状态				进位输出
	Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	1
16	0	0	0	0	0

(2)设计二进制同步加1计数器

直接分析状态表，采用T触发器实现



计数顺序	电路状态				进位输出
	Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	1
16	0	0	0	0	0

(2)设计二进制同步加1计数器

直接分析状态表，采用T触发器实现

Q_0 在每个CP都翻转一次

FF_0 可采用 $T=1$ 的T触发器

Q_1 仅在 $Q_0=1$ 后的下一个CP到来时翻转

FF_1 可采用 $T=Q_0$ 的T触发器

Q_2 仅在 $Q_0=Q_1=1$ 后的下一个CP到来时翻转

FF_2 可采用 $T=Q_0Q_1$ 的T触发器

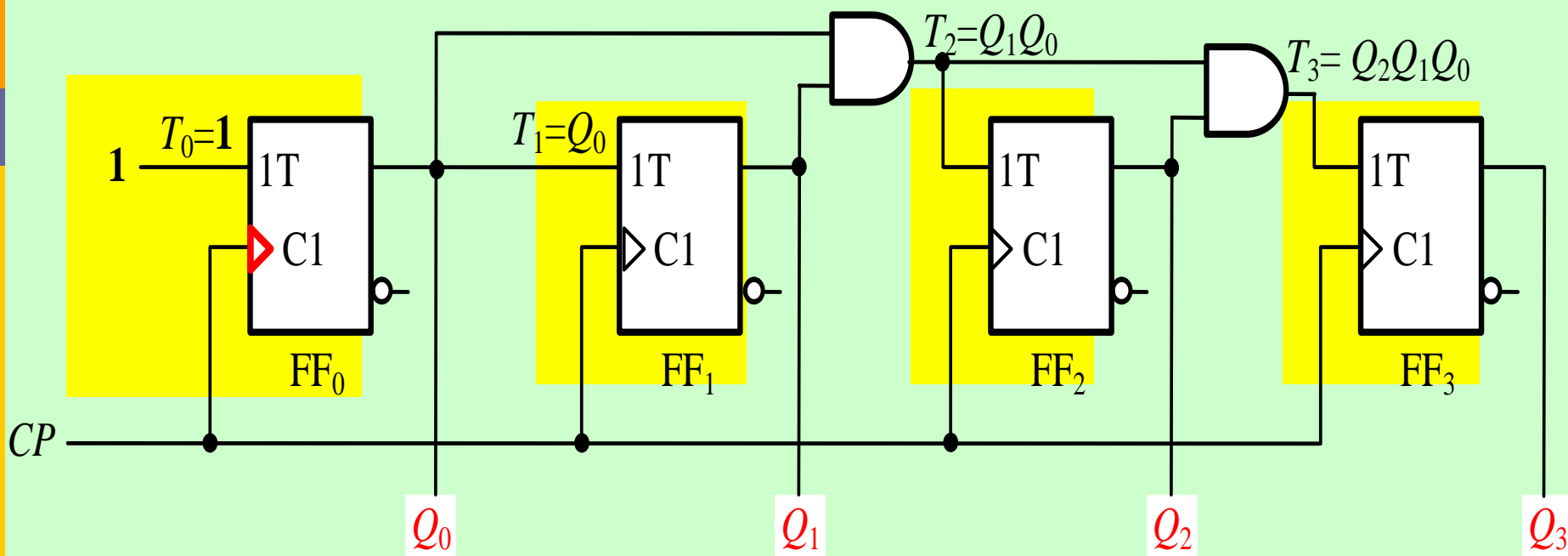
Q_3 仅在 $Q_0=Q_1=Q_2=1$ 后的下一个CP到来时翻转

FF_3 可采用 $T=Q_0Q_1Q_2$ 的T触发器

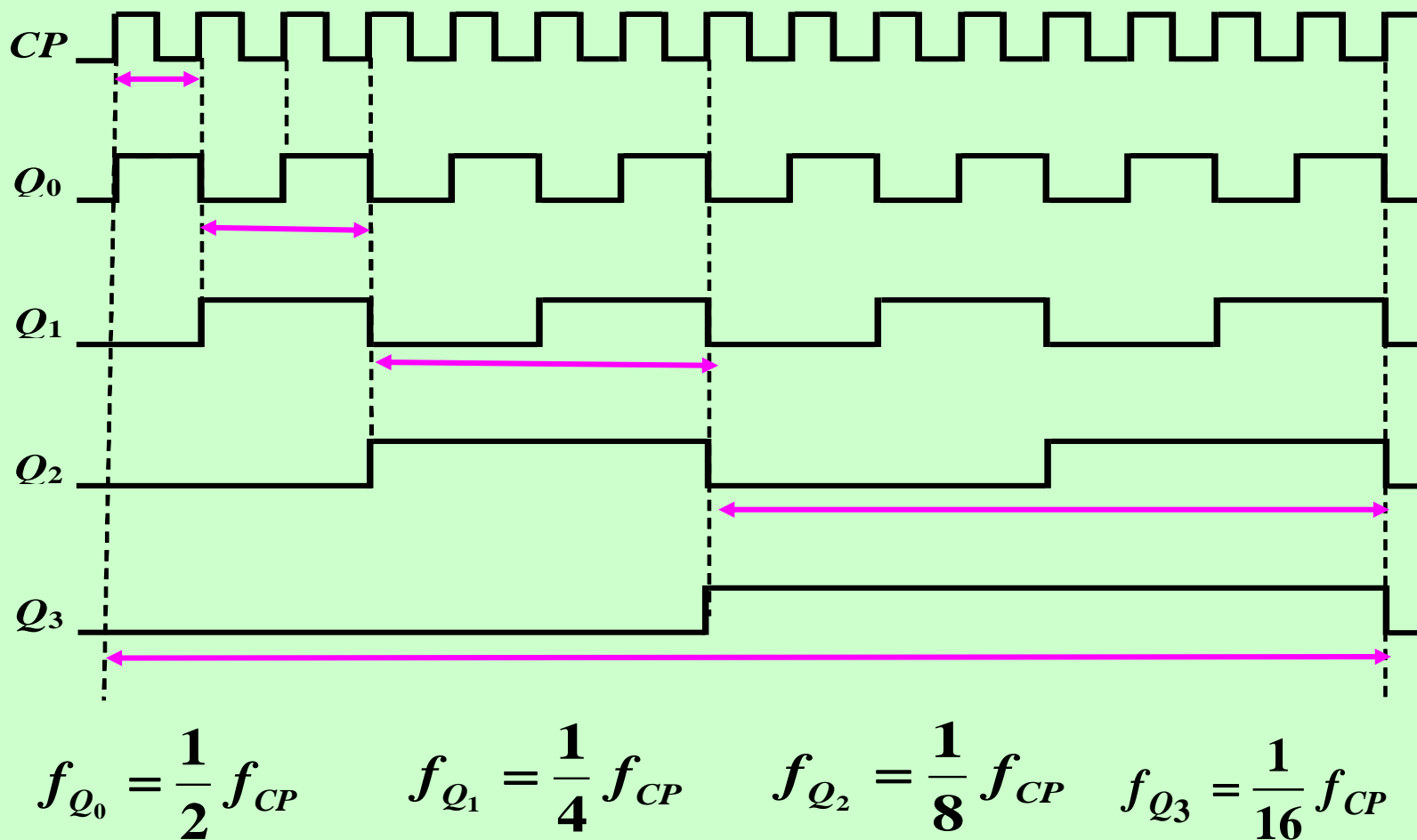
计数顺序	电路状态				进位输出
	Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	1
16	0	0	0	0	0

(a) 4位二进制同步加计数器逻辑图---由T触发器构成

$$\begin{cases} T_0 = 1 \\ T_1 = Q_0 \\ T_2 = Q_1 Q_0 \\ T_3 = Q_2 Q_1 Q_0 \end{cases}$$



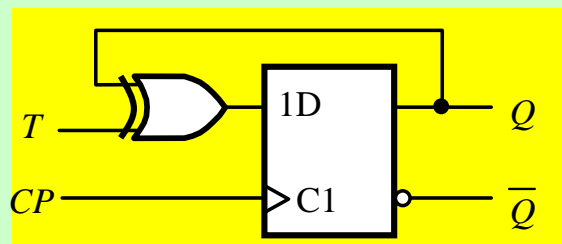
4位二进制同步加计数器时序图



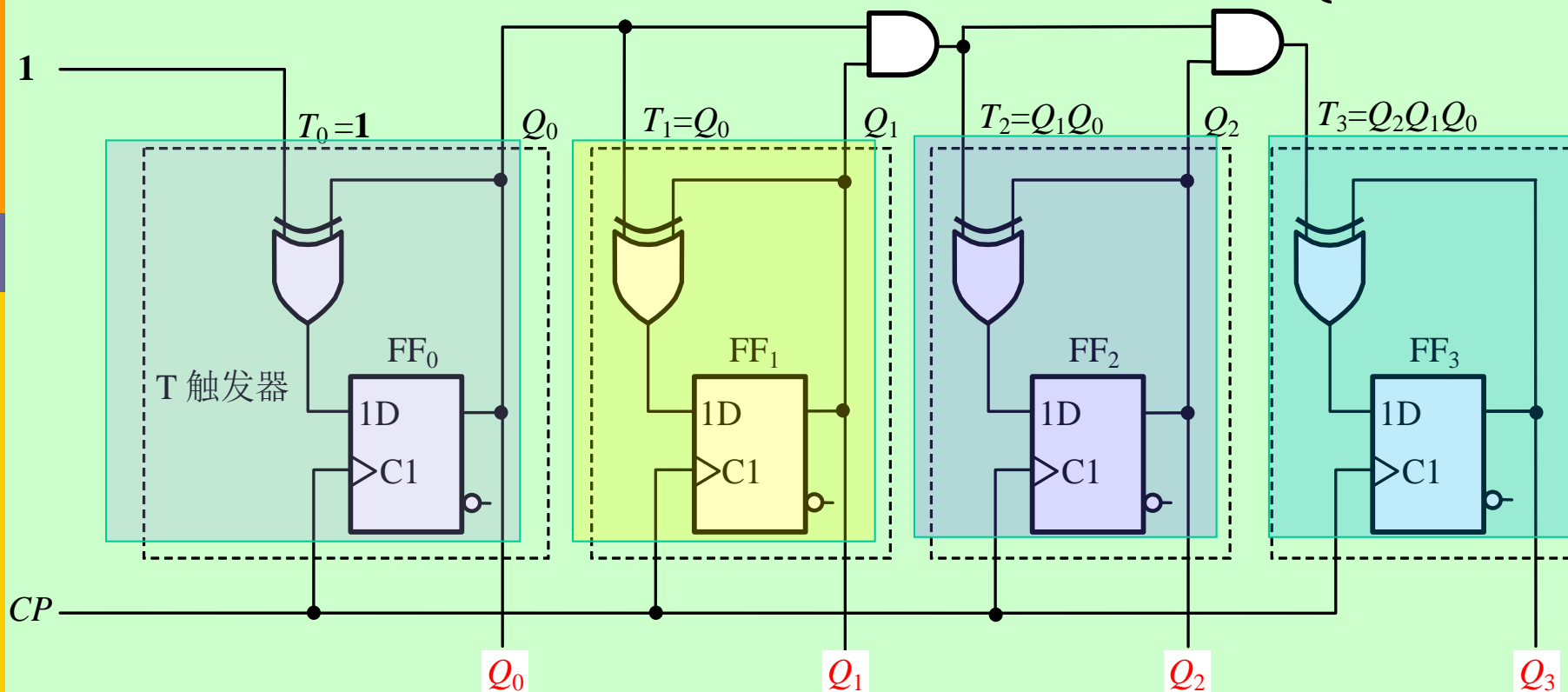
结论: ➤ 计数器的功能: 不仅可以计数也可作为分频器。

(b) 4位二进制同步加计数器逻辑图--由D触发器构成

$$Q^{n+1} = D = T\overline{Q^n} + \overline{T}Q^n$$



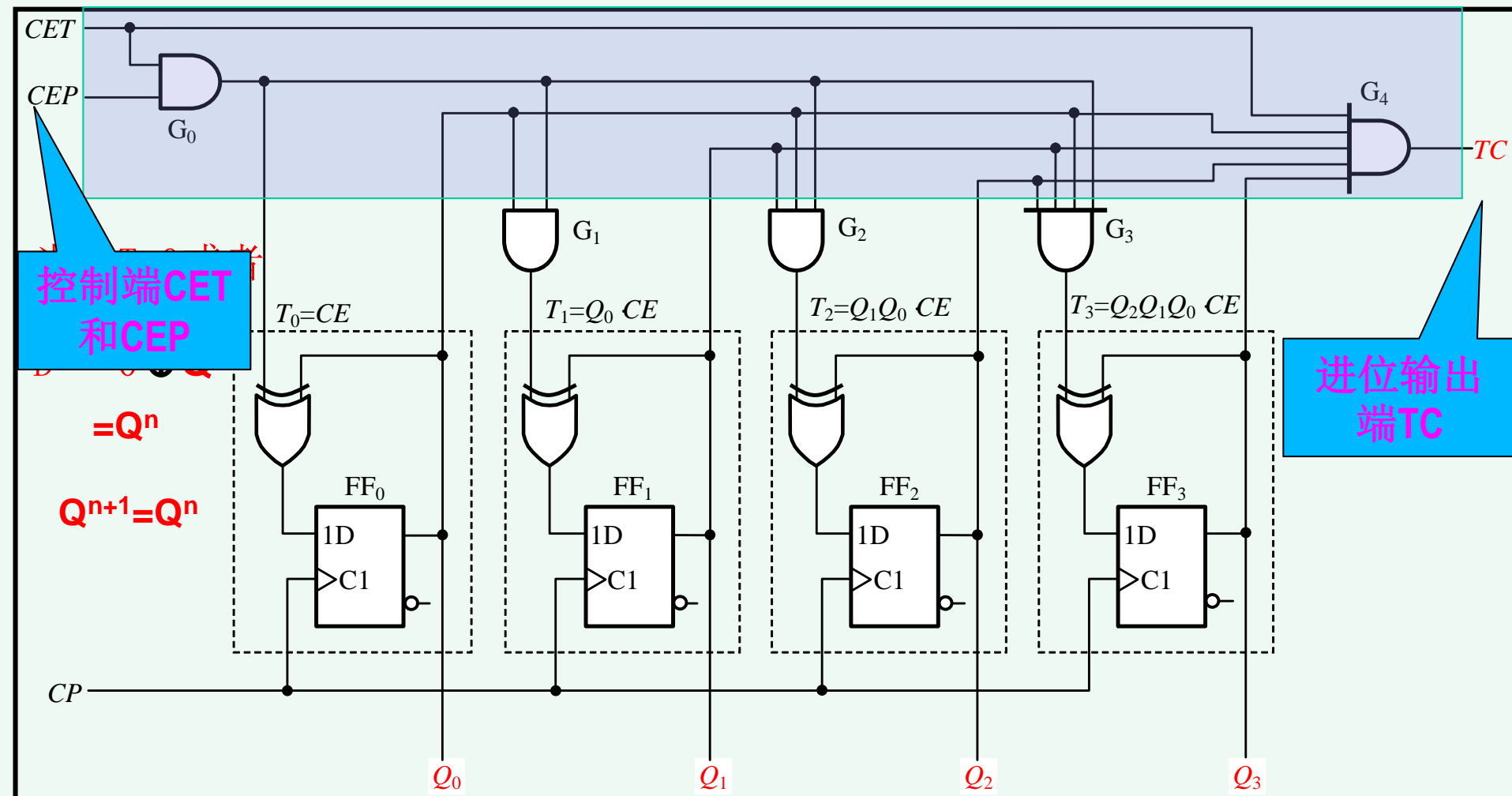
$$\begin{cases} T_0 = 1 \\ T_1 = Q_0 \\ T_2 = Q_1 Q_0 \\ T_3 = Q_2 Q_1 Q_0 \end{cases}$$



(c) 在上页电路基础上添加计数使能和并行进位引脚，如下图：

计数使能引脚：控制停止计数（保持不变， $Q^{n+1}=Q^n$ ）和允许计数

引脚CET、CEP为计数使能，并行进位： $TC = Q_3 Q_2 Q_1 Q_0 \cdot CET$



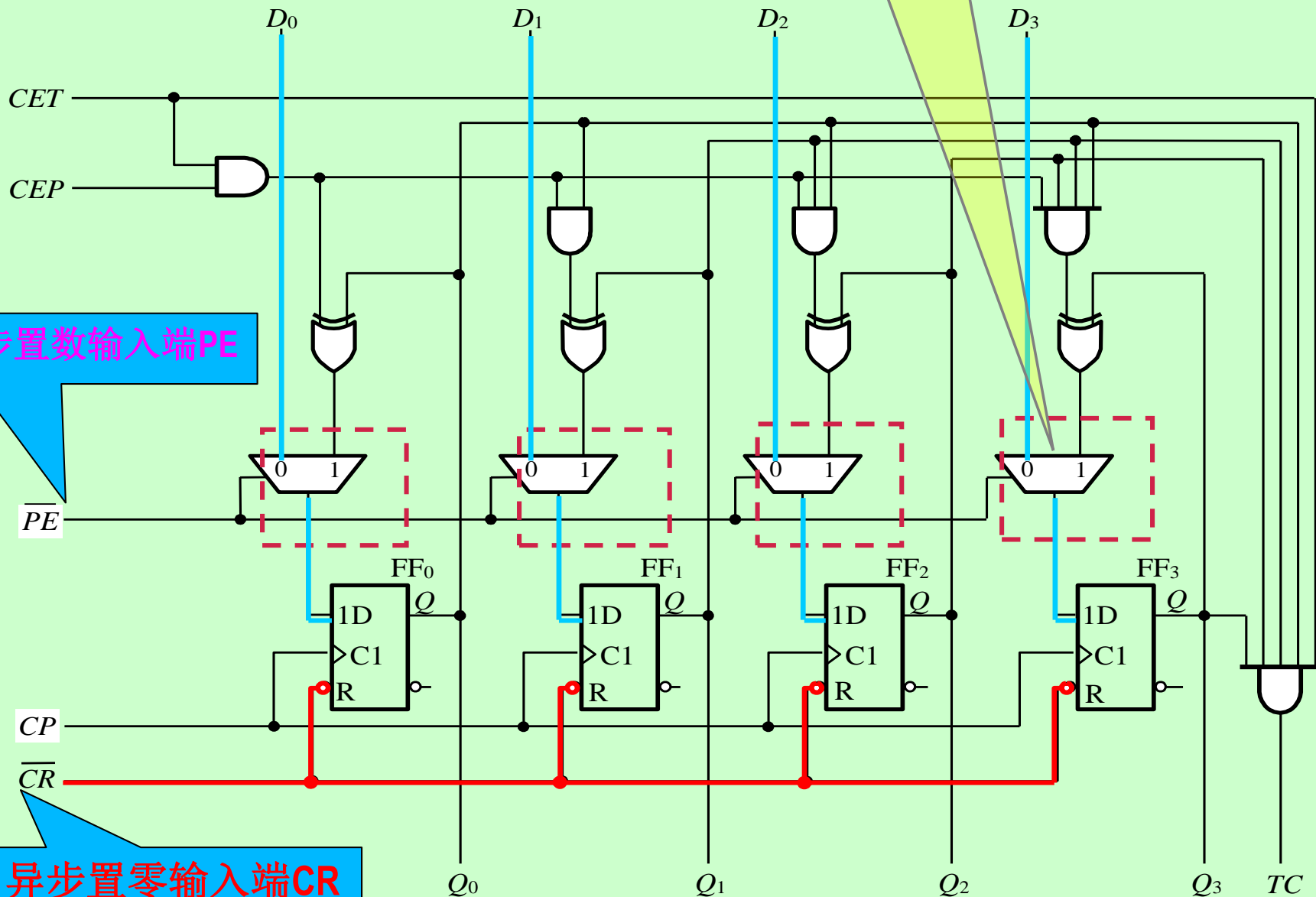
芯片74LVC161

2选1数据选择器

同步置数输入端PE

清零

异步置零输入端CR



根据此图可以写出74LVC161的4个工作特性（参见下页的表格）

计数器芯片74LVC161 逻辑功能表

输 入									输 出				
清零	预置	使能		时钟	预置数据输入				计 数				进位
\overline{CR}	\overline{PE}	CEP	CET	CP	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	TC
L	×	×	×	×	×	×	×	×	L	L	L	L	L
H	L	×	×	↑	D_3	D_2	D_1	D_0	D_3	D_2	D_1	D_0	*
H	H	L	×	×	×	×	×	×	保 持				*
H	H	×	L	×	×	×	×	×	保 持				*
H	H	H	H	↑	×	×	×	×	计 数				*

\overline{CR} 的作用?

清零端

\overline{PE} 的作用?

并行置数端