**2021年宜春学院软件工程专业《计算机组成原理》科目期末试卷B（有答案）**

**一、选择题**

1、局部性原理是一个持久的概念，对硬件和软件系统的设计和性能都有着极大的影响。局部性通常有两种不同的形式：时间局部性和空间局部性。程序员是否编写出高速缓存友好的代码，就取决于这两方面的问题。对于下面这个函数，说法正确的是（ ）。

int sumvec(int v[N])

{int i, sum=0;

for(i=0;i<N;i++)

sum+= v[i]

eturn sum;

}

A.对于变量i和sum，循环体具有良好的空间局部性

B.对于变量i、sum和v[N]，循环体具有良好的空间局部性

C.对于变量i和sum，循环体具有良好的时间局部性

D.对于变量i、sum和v[N]，循环体具有良好的时间局部性2

2、采用八体并行低位交叉存储器，设每个体的存储容量为32K×16位，存储周期为400ns，下述说法中正确的是（ ）。

A.在400ns内，存储器可向CPU提供2位二进制信息

B.在l00ns内，每个体可向CPU提供27位二进制信息

C.在400ns内，存储器可向CPU提供2位二进制信息

D.在100ns内，每个体可向CPU提供2位二进制信息

3、float 型数据常用IEEE754单精度浮点格式表示。假设两个float型变量x和y分别存放在32位寄存器fl和f2中，若（fl）=CC900000H，（f2）=BOC00000H，则x和y之间的关系为（ ）。

A.x<y且符号相同 B.x<y符号不同 C.x>y且符号相同 D.x>y且符号不同

4、ALU属于（ ）。

A.时序电路

B.控制器

C.组合逻辑电路

D.寄存器

5、假设编译器规定int 和shot类型长度分别为32位和16位，若有下列C语言语句：

unsigned short x=65530；

unsigned int y=x；得到y的机器数为（ ）。

A.00007FFAH B.0000 FFFAH C.FFFF 7FFAH D.FFFF FFFAH

6、下列关于多总线结构的叙述中，错误的是（ ）。

A.靠近CPU的总线速度较快

B.存储器总线可支持突发传送方式

C.总线之间需通过桥接器相连

D.PCI-Expressx16采用并行传输方式

7、系统总线中的数据线、地址线、控制线是根据（ ）来划分的。

A.总线所处的位置

B.总线的传输方向

C.总线传输的内容

D.总线的材料

8、将高级语言源程序转换为机器目标代码文件的程序是（ ）。

A.汇编程序 B.链接程序 C.编译程序 D.解释程序

9、只有当程序要执行时，它才会去将源程序翻译成机器语言，而且一次只能读取、翻译并执行源程序中的一行语句，此程序称为（ ）。

A.目标程序 B.编译程序 C.解释程序 D.汇编程序

10、在CPU的状态字寄存器中，若符号标志位SF为“1"，表示运算结果是（ ）。

A.正数 B.负数 C.非正数 D.不能确定

11、下列说法中，正确的是（ ）。

A.加法指令的执行周期一定要访存

B.加法指令的执行周期一定不要访存

C.指令的地址码给出存储器地址的加法指令，在执行周期一定要访存

D.指令的地址码给出存储器地址的加法指令，在执行周期一定不需要访存

12、假设相对寻址的转移指令占两个字节，第一个字节为操作码，第二个字节为位移量（用补码表示），每当CPU从存储器取出一个字节时，即自动完成（PC）+l-PC。若当前指令地址是3008H，要求转移到300FH，则该转移指令第二个字节的内容应为（ ）；若当前指令地址为300FH，要求转移到3004H，则该转移指令第二字节的内容为（ ）。

A.05H，F2H B.07H，F3 H C.05H，F3H D.07H，F2H

13、某计算机按字节编址，指令字长固定且只有两种指令格式，其中三地址指令29条，二地址指令107条，每个地址字段为6位，则指令字长至少应该是（ ）。

A.24位 B.26位 C.28位 D.32位

14、计算机的外部设备指（ ）

A.输入/输出设备

B.外存储器

C.输入/输出设备和外存储器

D.以上均不正确

15、某计算机的IO设备采用异步串行传送方式传送字符信息，字符信息的格式为：1位起始位、7位数据位、1位检验位、1位停止位。若要求每秒传送480个字符，那么该I/O设备的数据传输率应为（ ）bit/s.

A.1200 B.4800 C.9600 D.2400

**二、填空题**

16、计算机的\_\_\_\_\_\_\_是计算机\_\_\_\_\_\_\_结构的重要组成部分，也是计算机不同于一般电子设备的本质所在。

17、一位十进制数，用BCD码表示需\_\_\_\_\_\_位二进制码，用ASCII码表示需\_\_\_\_\_\_位二进制码。

18、闪速存储器特别适合于\_\_\_\_\_\_\_微型计算机系统，被誉为\_\_\_\_\_\_\_而成为代替磁盘的一种理想工具。

19、·计算机硬件包括\_\_\_\_\_\_\_\_\_、\_\_\_\_\_\_\_\_\_、\_\_\_\_\_\_\_\_\_适配器，输入/输出设备。

20、多个用户共享主存时，系统应提供\_\_\_\_\_\_\_。通常采用的方法是\_\_\_\_\_\_\_保护和\_\_\_\_\_\_\_保护，并用硬件来实现。

21、计算机系统中，根据应用条件和硬件资源不同，数据传输方式可采用\_\_\_\_\_\_传送、\_\_\_\_\_\_传送、\_\_\_\_\_\_传送。

22、寻址方式按操作数的物理位置不同，多使用\_\_\_\_\_\_\_型和\_\_\_\_\_\_\_型，前者比后者执行速度快。

23、不同的CRT显示标准所支持的最大\_\_\_\_\_\_\_\_和\_\_\_\_\_\_\_\_数目是不同的。

24、对存储器的要求是\_\_\_\_\_\_\_\_、\_\_\_\_\_\_\_\_、\_\_\_\_\_\_\_\_为了解决这三个方面的矛盾。计算机采用多级存储器体系结构。

25、双端口存储器和多模块交叉存储器属于\_\_\_\_\_\_\_\_存储器结构。前者采用\_\_\_\_\_\_\_\_技术，后者采用\_\_\_\_\_\_\_\_技术。

**三、名词解释题**

26、原码：

27、RLL码：

28、全相联映象：

29、码元：

**四、简答题**

30、CPU 对DMA请求和中断请求的响应时间是否相同？为什么？

31、什么是堆栈？说明堆栈指针SP的作用。

32、在计算机中，CPU管理外围设备有几种方式？

33、什么是指令周期？指令周期是否有一个固定值？为什么？

**五、计算题**

34、一个16K×16位的存储器，有lK×4位的DRAM芯片，内部结构由64×64构成，试问：

1）采用异步刷新方式，如果最大刷新间隔为2ms，则相邻两行之间的刷新间隔是多少？

2）如果采用集中刷新方式，则存储器刷新一遍最少用多少个存储周期？设存储器的存储周期为0.5us，“死区”占多少时间？“死时间率”为多少（刷新周期为2ms）？

35、将下列十进制数表示成浮点规格化数，阶码4位（包含一位阶符），分别用补码和移码表示；尾数9位（包含一位数符），用补码表示。

1）27/64。

2）-27/64。

36、设主存容量为lMB，Cache容量为l6KB，每字块有16个字，每字32位，且按字节编址。

1）若Cache采用直接映射，试求主存地址字段中各段的位数。

2）若Cache采用4路组相联映射，试求主存地址字段中各段的位数。

**六、综合题**

37、用16K×16位的SRAM芯片构成64K×32位的存储器。要求画出该存储器的组成逻辑框图。

38、假设指令流水线分为取指令（IF）、指令译码/读寄存器（ID）、执行/有效地址计算（EX）、存储器访问（MEM）、结果写回寄存器（WB）5个过程段。现有下列指令序列进入该流水线。

① ADD R1，R2，R；

② SUB R4，R1，R5；

③ AND R6，R1，R7；

④ OR R8，R1，R9；

⑤ XOR R10，R1，R11；

请回答以下问题：

1）如果处理器不对指令之间的数据相关进行特殊处理，而允许这些指令进入流水线，试问上述指令中哪些将从未准备好数据的R1寄存器中取到错误的数据？

2）假如采用将相关指令延迟到所需操作数被写回到寄存器后再执行的方式，以解决数据相关的问题，那么处理器执行该指令序列需占用多少个时钟周期？

39、设某机器共能完成120种操作，CPU共有8个通用寄存器，且寄存器都为12位。主存容量为16K字（机器采用按字寻址），采用寄存器-存储器型指令。

1）欲使指令可直接访问主存的任意地址，指令字长应取多少位？

2）若在上述设计的指令字中设置一寻址特征位X，且X=0表示某个寄存器作为基址寄存器，试画出指令格式。试问采用基址寻址可否访问主存的任意单元？为什么？如不能，提出一种方案，使得指令可访问主存的任意位置。

3）若存储字长等于指令字长，且主存容量扩大到64K字，在不改变硬件结构的前提下，可采用什么方法使得指令可访问存储器的任意位置。

**参考答案**

**一、选择题**

1、C

2、A

3、A

4、C

5、B

6、D

7、C

8、C

9、C

10、D

11、C

12、C

13、A

14、C

15、B

**二、填空题**

16、软件 系统

17、4 7

18、便携式 固态盘

19、运算器 存储器 控制器

20、存储保护 存储区域 访问方式

21、并行 串行 复用

22、RR RS

23、分辨率 颜色

24、容量大 速度快 成本低

25、并行 空间并行 时间并行

**三、名词解释题**

26、原码：

带符号数据表示方法之一，一个符号位表示数据的正负，0代表正号，2代表负号，其余的代表数据的绝对值。

27、RLL码：

游程长度受限码，将原始数据序列变换成

28、全相联映象：

cache的一种地址映象方式，一个主存块可映象到任何cache块。

29、码元：

信息传输通道中，携带数据信息的信号单元。

**四、简答题**

30、答：CPU对DMA请求和中断请求的响应时间不相同，因为两种方式的交换速度相差很大，因此CPU必须以更短的时间间隔查询并响应DMA请求（一个存取周期末）。

31、答：是一种按先进后出的顺序进行存取的数据结构或存储区域。Sp是用来存放最后进堆栈的位置的寄存器；

32、答：CPU管理外围设备有五种方式：（1）程序查询方式（2）程序中断方式（3）直接内存访问（DMA）方式（4）通道方式（5）外围处理机方式

33、答：指令周期是指取出并执行完一条指令所需的时间。由于计算机中各种指令执行所需的时间差异很大，因此为了提高CPU运行效率，即使在同步控制的机器中，不同指令的指令周期长度都是不一致的，也就是说指令周期对于不同的指令来说不是一个固定值。

**五、计算题**

34、解析：不论采用何种刷新方式，刷新都是从单个芯片的存储容量着手。

1）采用异步刷新方式，在2ms时间内把芯片的64行刷新一遍，相邻两行之间的刷新间隔=2ms/64=31.25s，可取的刷新间隔为31s。

2）如果采用集中刷新方式，则存储器刷新一遍最少用64个存储周期，因为存储器的存储周期为0.5s，则“死区”=0.5s×64=32s，“死时间率”=32s/2000s×100%=l.6%。

35、解析

1）27/64=0.011011=0.11011×2-1

当补码和尾数都采用补码表示时：1，111：0.11011000。

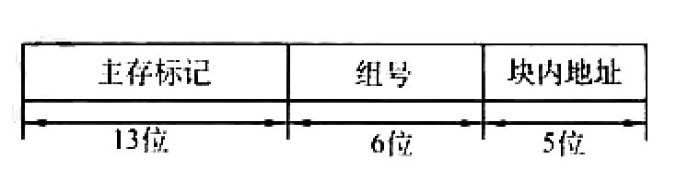
阶码采用移码、尾数采用补码表示时：0.11l：0.11011000。

2）-27/64=1.011011=1.11011×2-1

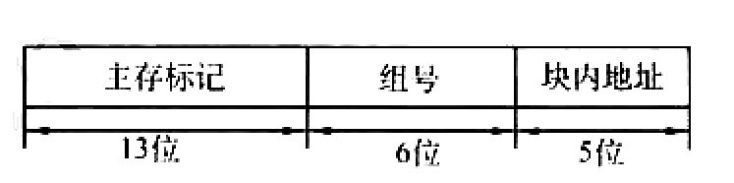
当补码和尾数都采用补码表示时：1，11l；1.00101000。

阶码采用移码、尾数采用补码表示时：0.1l1：l.00101000。

36、解析：

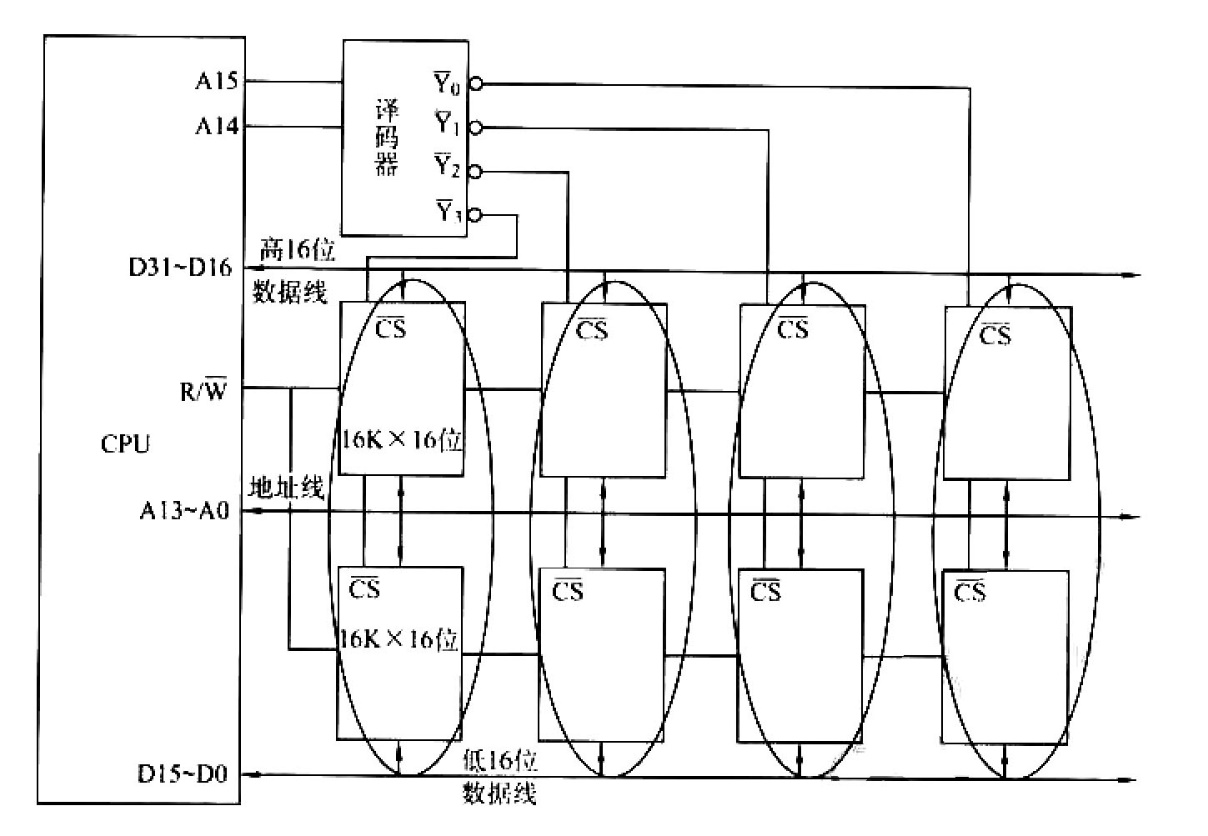
1）若Cache采用直接映射。由于每个字块含有16个字（64B），且按字节编址，因此字块内的位数（块内地址位数）为6位。另外，由于Cache中含有256个块（16KB/16×4B），因此字块地址位数为8位。主存容量1MB，说明总位数为20位，因此主存字块标记位数为20-6-8=6位。主存的地址格式如下：

2）若Cache采用4路组相联映射。同理，块内地址位数为6位。由于采用4路组相联映射，即每组4块，因此一共有64组，即组号需要6位。很容易得到主存字块标记位数为20-6-6=8位。主存的地址格式如下：



**六、综合题**

37、解析：所需芯片总数（64K×32）/（16K×16）=8片，因此存储器可分为4个模块（图中用椭圆标示出来了），每个模块16K×32位，各模块通过A15、A14进行2-4译码



38、解析：

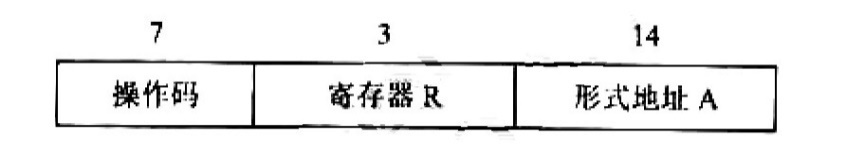
1）由题中指令序列可见，ADD指令后的所有指令都用到ADD指令的计算结果。表列出了未采用特殊处理的流水线示意，表中ADD指令在WB段才将计算结果写入寄存器R，中，但SUB指令在其ID段就要从寄存器R1中读取该计算结果。同样AND指令、OR指令也将受到这种相关关系的影响。ADD指令只有到第5个时钟周期末尾才能结束对寄存器R的写操作，使XOR指令可以正常操作，因为它在第6个时钟周期才读寄存器R1的内容。

2）表是对上述指令进行延迟处理的流水线示意。由表可见，从第一条指令进入流水线到最后一条指令流出流水线，共需12个时钟周期。

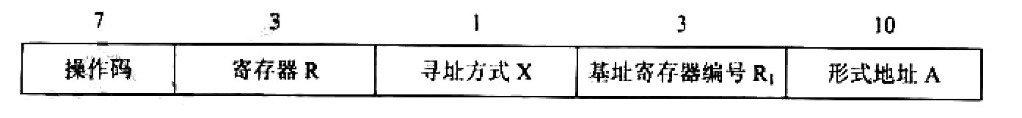


39、解析：

1）首先，操作码可以确定为7位；8个通用寄存器需要3位来表示；访问16K字的主存也需要14位，故指令字长需要7+3+14=24位，指令格式如下：



2）由于增加了一位寻址特征位，且基址寄存器使用了通用寄存器，因此除了加一位寻址方式X，还得空一个字段（基址寄存器编号R1）来表示使用哪一个通用寄存器作为基址寄存器，故指令格式为



另外，由于覆盖主存的16K字需要14位的地址，而寄存器只有12位，因此采用基址寻址不可以访问主存的任意单元，但可以将通用寄存器的内容向左移动两位，低位补0，这样就可以形成14位的基地址，然后与形式地址相加，得到的有效地址就可以访问16K字存储器的任意单元。

3）首先，由于不能改变硬件结构，因此把寄存器的位数加长是不可行的。其次，因为指令字长为24位，而存储字长等于指令字长，所以恰好使用一次间接寻址就能达到16M字的寻址范围，完全可以满足题目所要求的寻址范围，而且还超额完成任务。