



Pusan
National
University



Nov 22, 2023

조교
안현기

tykr0001@pusan.ac.kr

임베디드 시스템 설계 및 실험

월요일 분반

12주차
DMA

수업 일정

- **2~3주 동안 텀프로젝트 수행**
 - 출석체크 합니다
- **기말고사 주 끝나고 발표 예정**
 - 교수님이 직접 실험실 각자 자리에서 검사
 - 점퍼선으로 연결하기 보다는 납땜하세요. 시연할 때 점퍼선 뽑혀서 시간 지체되면 바로 완성도 0점 입니다. 다 납땜해서 깔끔하게 하면 점수 더 많이 받을 수 있습니다

Contents

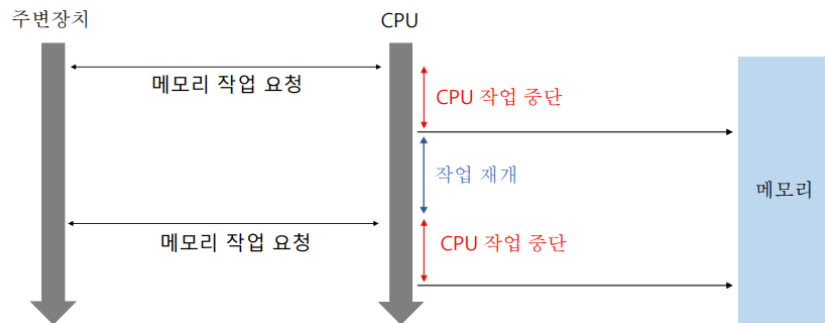
12주차 실험 내용

- DMA 동작 방법의 이해
- DMA 구현

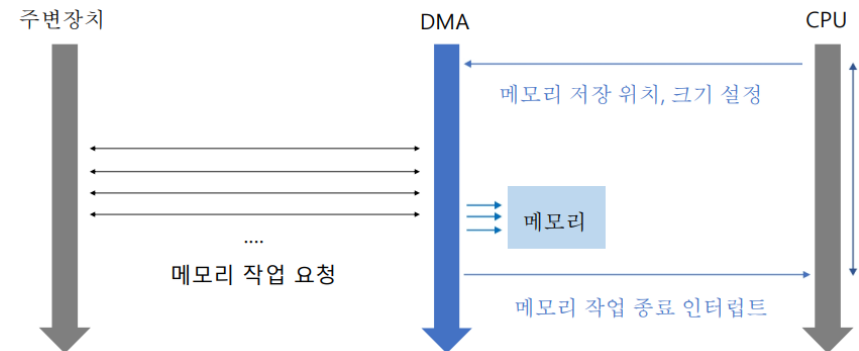
Direct Memory Access (DMA)

- 주변장치들이 메모리에 직접 접근하여 읽거나 쓸 수 있도록 하는 기능
- CPU 의 개입 없이 I/O 장치와 기억장치 데이터를 전송하는 접근 방식
- Interrupt 와 달리 별도의 중앙제어장치는 명령을 실행할 필요가 없음
- 메모리 처리 Interrupt 의 사이클 만큼 성능의 향상

Polling, Interrupt



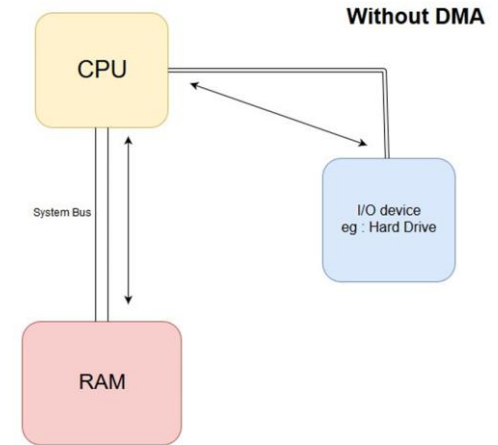
Direct Memory Access



Direct Memory Access (DMA)

• 일반적인 메모리 접근 방식

- 모든 I/O 로의 접근은 CPU를 통해서 수행
- Data를 전달할 때마다 CPU가 관여함



• DMA 방식

- RAM이 I/O 장치로부터 데이터가 필요해지면, CPU는 DMA 컨트롤러에게 신호(전송 크기, 주소 등등)를 보냄
- DMA 컨트롤러가 RAM 주소로 데이터를 bus를 통해 주고 받음
- 모든 데이터 전송이 끝나면, DMA Controller가 CPU에게 Interrupt 신호를 보냄

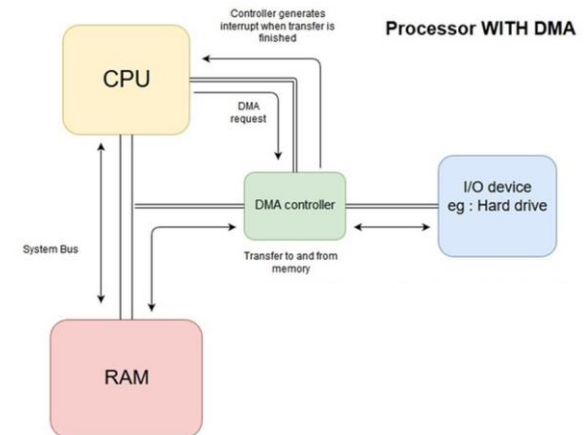


그림 출처: <https://www.quora.com/What-is-the-function-of-DMA-in-a-computer>

DMA Channel

- 모듈은 DMA Controller 의 DMA 채널을 통해 메모리 R/W
- STM32 보드 DMA 채널은 총 12 개
 - DMA1 채널 7개, DMA2 채널 5개
- 한 DMA의 여러 채널 사이 요청은 Priority에 따라 동작
 - 4 level: very high, high, medium, low
- Peripheral-to-memory, memory-to-peripheral, and peripheral-to-peripheral 전송

DMA Mode

- **Normal Mode**

- DMA Controller 는 데이터를 전송할 때 마다 NDT 값을 감소시킴
- NDT 는 DMA 를 통해 전송할 데이터의 총 용량을 의미하며 레지스터의 값이 0이 되면 데이터 전송 중단
- 데이터 전송을 받고 싶을 때 마다 새롭게 요청이 필요

- **Circular Mode**

- 주기적인 값의 전송(업데이트)이 필요할 때 사용하는 모드
- NDT 값이 0이 될 경우 설정한 데이터 최대 크기로 재설정됨

DMA Controller

- 주변 장치의 Request Signal 의 발생
 - DMA Controller 에서 우선순위 설정 및 요청에 대한 서비스 제공
 - Request / ACK 방식을 통한 주변 장치와 DMA Controller 간 통신

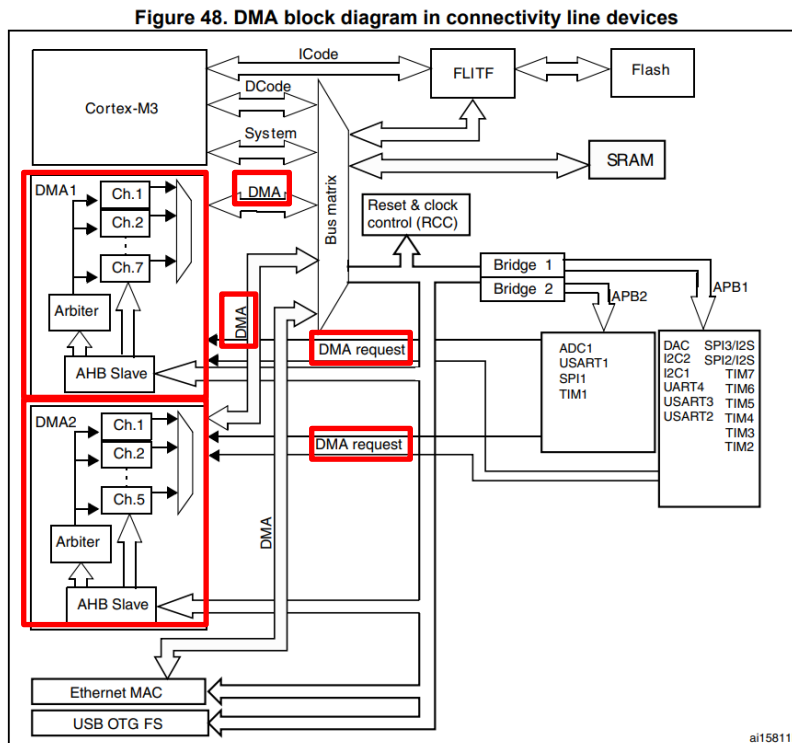


Figure 5. Memory map

Reserved	0x5000 0400 - 0x5FFF FFFF
USB OTG FS	0x5000 0000 - 0x5003 FFFF
Reserved	0x4003 0000 - 0x4FFF FFFF
Ethernet	0x4002 8000 - 0x4002 9FFF
Reserved	0x4002 3400 - 0x4002 7FFF
CRC	0x4002 3000 - 0x4002 33FF
Reserved	0x4002 2400 - 0x4002 2FFF
Flash interface	0x4002 2000 - 0x4002 23FF
Reserved	0x4002 1400 - 0x4002 1FFF
RCC	0x4002 1000 - 0x4002 13FF
Reserved	0x4002 0800 - 0x4002 0FFF
DMA2	0x4002 0400 - 0x4002 07FF
DMA1	0x4002 0000 - 0x4002 03FF
Reserved	0x4001 3C00 - 0x4001 FFFF
USART1	0x4001 3800 - 0x4001 3BFF

• DMA1 및 DMA2 채널

Table 78. Summary of DMA1 requests for each channel

Peripherals	Channel 1	Channel 2	Channel 3	Channel 4	Channel 5	Channel 6	Channel 7
ADC1	ADC1	-	-	-	-	-	-
SPI/I ² S	-	SPI1_RX	SPI1_TX	SPI2/I2S2_RX	SPI2/I2S2_TX	-	-
USART	-	USART3_TX	USART3_RX	USART1_TX	USART1_RX	USART2_RX	USART2_TX
I ² C	-	-	-	I2C2_TX	I2C2_RX	I2C1_TX	I2C1_RX
TIM1		TIM1_CH1	-	TIM1_CH4 TIM1_TRIG TIM1_COM	TIM1_UP	TIM1_CH3	
TIM2	TIM2_CH3	TIM2_UP	-	-	TIM2_CH1	-	TIM2_CH2 TIM2_CH4
TIM3	-	TIM3_CH3	TIM3_CH4 TIM3_UP	-	-	TIM3_CH1 TIM3_TRIG	-
TIM4	TIM4_CH1	-	-	TIM4_CH2	TIM4_CH3	-	TIM4_UP

Table 79. Summary of DMA2 requests for each channel

Peripherals	Channel 1	Channel 2	Channel 3	Channel 4	Channel 5
ADC3 ⁽¹⁾					ADC3
SPI/I2S3	SPI/I2S3_RX	SPI/I2S3_TX			
UART4			UART4_RX		UART4_TX
SDIO ⁽¹⁾				SDIO	
TIM5	TIM5_CH4 TIM5_TRIG	TIM5_CH3 TIM5_UP		TIM5_CH2	TIM5_CH1
TIM6/ DAC_Channel1			TIM6_UP/ DAC_Channel 1		
TIM7				TIM7_UP/ DAC_Channel 2	
TIM8	TIM8_CH3 TIM8_UP	TIM8_CH4 TIM8_TRIG TIM8_COM	TIM8_CH1		TIM8_CH2

DMA Configuration

- Stm320f10x_dma.h

```
typedef struct
{
    uint32_t DMA_PeripheralBaseAddr; /*!< Specifies the peripheral base address for DMAy Channelx. */

    uint32_t DMA_MemoryBaseAddr; /*!< Specifies the memory base address for DMAy Channelx. */

    uint32_t DMA_DIR; /*!< Specifies if the peripheral is the source or destination.
    This parameter can be a value of @ref DMA_data_transfer_direction */

    uint32_t DMA_BufferSize; /*!< Specifies the buffer size, in data unit, of the specified Channel.
    The data unit is equal to the configuration set in DMA_PeripheralDataSize
    or DMA_MemoryDataSize members depending in the transfer direction. */

    uint32_t DMA_PeripheralInc; /*!< Specifies whether the Peripheral address register is incremented or not.
    This parameter can be a value of @ref DMA_peripheral_incremented_mode */

    uint32_t DMA_MemoryInc; /*!< Specifies whether the memory address register is incremented or not.
    This parameter can be a value of @ref DMA_memory_incremented_mode */

    uint32_t DMA_PeripheralDataSize; /*!< Specifies the Peripheral data width.
    This parameter can be a value of @ref DMA_peripheral_data_size */

    uint32_t DMA_MemoryDataSize; /*!< Specifies the Memory data width.
    This parameter can be a value of @ref DMA_memory_data_size */

    uint32_t DMA_Mode; /*!< Specifies the operation mode of the DMAy Channelx.
    This parameter can be a value of @ref DMA_circular_normal_mode.
    @note: The circular buffer mode cannot be used if the memory-to-memory
    data transfer is configured on the selected Channel */

    uint32_t DMA_Priority; /*!< Specifies the software priority for the DMAy Channelx.
    This parameter can be a value of @ref DMA_priority_level */

    uint32_t DMA_M2M; /*!< Specifies if the DMAy Channelx will be used in memory-to-memory transfer.
    This parameter can be a value of @ref DMA_memory_to_memory */
}DMA_InitTypeDef;
```

각 기능 및 설명은 Reference Manual - DMA 챕터 참고

DMA Configuration

```
void DMA_Init(DMA_Channel_TypeDef* DMAy_Channelx, DMA_InitTypeDef* DMA_InitStruct)
{
    uint32_t tmpreg = 0;

    /* Check the parameters */
    //assert_param(IS_DMA_ALL_PERIPH(DMAy_Channelx));
    //assert_param(IS_DMA_DIR(DMA_InitStruct->DMA_DIR));
    //assert_param(IS_DMA_BUFFER_SIZE(DMA_InitStruct->DMA_BufferSize));
    //assert_param(IS_DMA_PERIPHERAL_INC_STATE(DMA_InitStruct->DMA_PeripheralInc));
    //assert_param(IS_DMA_MEMORY_INC_STATE(DMA_InitStruct->DMA_MemoryInc));
    //assert_param(IS_DMA_PERIPHERAL_DATA_SIZE(DMA_InitStruct->DMA_PeripheralDataSize));
    //assert_param(IS_DMA_MEMORY_DATA_SIZE(DMA_InitStruct->DMA_MemoryDataSize));
    //assert_param(IS_DMA_MODE(DMA_InitStruct->DMA_Mode));
    //assert_param(IS_DMA_PRIORITY(DMA_InitStruct->DMA_Priority));
    //assert_param(IS_DMA_M2M_STATE(DMA_InitStruct->DMA_M2M));

    /*----- DMAy Channelx CCR Configuration -----*/
    /* Get the DMAy Channelx CCR value */
    tmpreg = DMAy_Channelx->CCR;

    /* Clear MEM2MEM, PL, MSIZE, PSIZE, MINC, PINC, CIRC and DIR bits */
    tmpreg &= CCR_CLEAR_Mask;

    /* Configure DMAy Channelx: data transfer, data size, priority level and mode */
    /* Set DIR bit according to DMA_DIR value */
    /* Set CIRC bit according to DMA_Mode value */
    /* Set PINC bit according to DMA_PeripheralInc value */
    /* Set MINC bit according to DMA_MemoryInc value */
    /* Set PSIZE bits according to DMA_PeripheralDataSize value */
    /* Set MSIZE bits according to DMA_MemoryDataSize value */
    /* Set PL bits according to DMA_Priority value */
    /* Set the MEM2MEM bit according to DMA_M2M value */
    tmpreg |= DMA_InitStruct->DMA_DIR | DMA_InitStruct->DMA_Mode |
        DMA_InitStruct->DMA_PeripheralInc | DMA_InitStruct->DMA_MemoryInc |
        DMA_InitStruct->DMA_PeripheralDataSize | DMA_InitStruct->DMA_MemoryDataSize |
        DMA_InitStruct->DMA_Priority | DMA_InitStruct->DMA_M2M;

    /* Write to DMAy Channelx CCR */
    DMAy_Channelx->CCR = tmpreg;
}
```

13.4.3 DMA channel x configuration register (DMA_CCRx) (x = 1..7, where x = channel number)

Address offset: 0x08 + 0d20 × (channel number - 1)

Reset value: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	MEM2MEM	PL[1:0]	MSIZE[1:0]	PSIZE[1:0]	MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bits 31:15 Reserved, must be kept at reset value.

Bit 14 **MEM2MEM**: Memory to memory mode
This bit is set and cleared by software.
0: Memory to memory mode disabled
1: Memory to memory mode enabled

Bits 13:12 **PL[1:0]**: Channel priority level
These bits are set and cleared by software.
00: Low
01: Medium
10: High
11: Very high

Bits 11:10 **MSIZE[1:0]**: Memory size
These bits are set and cleared by software.
00: 8-bits
01: 16-bits
10: 32-bits
11: Reserved

Bits 9:8 **PSIZE[1:0]**: Peripheral size
These bits are set and cleared by software.
00: 8-bits
01: 16-bits
10: 32-bits
11: Reserved

Bit 7 **MINC**: Memory increment mode
This bit is set and cleared by software.
0: Memory increment mode disabled
1: Memory increment mode enabled

Bit 6 **PINC**: Peripheral increment mode
This bit is set and cleared by software.
0: Peripheral increment mode disabled
1: Peripheral increment mode enabled

Bit 5 **CIRC**: Circular mode
This bit is set and cleared by software.

```
void DMA_Configure(void) {
    DMA_InitTypeDef DMA_InitStructure;
```

```
DMA_InitStructure.DMA_PeripheralBaseAddr = (uint32_t)&ADC1->DR; // 어디에 있는걸 가져올지(ADC->DR = conversion 된 데이터 결과 쓰여짐)
DMA_InitStructure.DMA_MemoryBaseAddr = (uint32_t)&ADC_Value[0]; // 가져올걸 어디에 쓸지.
```

실험 힌트!!!

- **ADC 설정**

- Interrupt를 쓰지 말고 DMA를 이용해야 하므로
- ADC_ITConfig 함수 대신 ADC_DMAMCmd 함수를 써야 함

- **Volatile**

- 전역변수로 선언한 ADC 값을 저장할 공간을 항상 참조하도록 volatile 키워드 이용

```
// volatile unsigned 32bits  
volatile uint32_t ADC_Value[1];
```

- a value of type "uint32_t volatile *" cannot be assigned to an entity of type "uint32_t"

- 이런 종류의 에러가 뜨면 변수명 앞에 (uint32_t) 로 형 변환하세요

```
(uint32_t) &ADC_Value[0];
```

- 실험 장비들을 연결 및 분리할 때 반드시 모든 전원을 끄고 연결해주세요.
- 장비사용시 충격이 가해지지 않도록 주의해주세요.
- 자리는 항상 깔끔하게 유지하고 반드시 정리 후 퇴실해주세요.
- 실험 **소스 코드와 프로젝트 폴더**는 **백업** 후 반드시 **삭제**해주세요.
- 장비 관리, 뒷정리가 제대로 되지 않을 경우 해당 조에게 감점이 주어집니다.

- **동작 중 케이블 절대 뽑지말것**
- **보드는 전원으로 USBPort나 어댑터(5V,1A)를 사용할것 (5V 5A 어댑터(비슷하게 생김)와 혼동하지 말 것, 사용시 보드가 타버림 -> 감점)**
- **디버깅 모드 중에 보드 전원을 끄거나 연결 케이블을 분리하지 말 것!!!**

- **-> 지켜지지 않을 시 해당 조 감점**

미션 ! 별도 미션지 참고

실험 검사

반드시 DMA 사용!!! Interrupt 금지!

이번 주 실험 결과 보고서 및 소스 코드 및 실험 동작 영상

- A. 이론부터 실습까지 **전반적인 내용을 포함**하도록 작성 (실험 과정 사진 찍으시면 좋아요)
- B. 다음 실험시간 전까지 PLATO 제출
- C. 소스 코드는 직접 작성 및 수정한 파일만 제출

예비 발표 조는 발표 자료(영상) 만들어서
일요일 24시까지 조교 이메일로 제출

나가실 때, 만드신 코드 및 프로젝트 폴더는 모두 백업하시고 삭제해주세요.
다른 분반 파일은 만지지 마시고 조교에게 알려주세요.
자리 정리정돈 안 되어 있으면 **감점**합니다!!!