





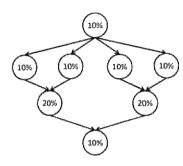
Grado en Ingeniería Informática y Grado en Ing. Informática y Matemáticas

Arquitectura de Computadores (AC)

Examen de 13 de Junio de 2016

Estudiante:

Ejercicio 1. (1 punto) En la Figura se muestra el grafo de dependencias entre tareas para una aplicaciónEn cada nodo del grafo la fracción del tiempo de ejecución secuencial que tarda cada tarea. El tiempo de ejecución secuencial de la aplicación es de 200 s. y las tareas no se pueden dividir en tareas de menor granularidad. Si dispone de un multiprocesador UMA con cuatro procesadores, conectados a través de un bus compartido, y la comunicación entre tareas, a través de la memoria compartida, tarda 10 segundos (si las tareas que se comunican están asignadas a procesadores



diferentes): (a) ¿Qué ganancia de velocidad obtiene si utiliza los cuatro procesadores del computador? ¿y si utiliza dos procesadores? (b) ¿Qué eficiencia obtiene si utiliza los cuatro procesadores del computador? ¿y si utiliza dos procesadores?

Ejercicio 2.(1 punto) Se dispone de un multiprocesador CC-NUMA con 4 procesadores o nodos (N1-N4) y una memoria de 32 GBytes. El multiprocesador implementa para mantener la coherencia de cache el protocolo MSI basado en directorios distribuidos sin difusión. Cada procesador dispone de una cache de datos de último nivel de 4MBytes con marcos de bloque (también llamados líneas) de 32 bytes. En el multiprocesador se están ejecutando en paralelo dos threads que acceden a los elementos de dos vectores X[] e Y[] de 8 elementos de 64 bits cada uno. Los vectores se encuentran almacenados a partir de una dirección de memoria múltiplo de 32: primero están almacenados los componentes de X[]y, justo a continuación, los elementos de Y[]. Conteste a las siguientes preguntas:

- 🗘 🕽 (a) ¿Qué estados puede tener un bloque en cache y en memoria? Defina los estados.
- (b) ¿Cuál es el tamaño del subdirectorio de un nodo?
- (c) ¿Cuántos bloques de memoria ocupan los vectores X[] e Y[]?
- (d) Suponiendo que inicialmente los bloques que contienen ambos vectores no están en ninguna cache, ¿Cuál será el contenido de las entradas del directorio para cada uno de estos bloques?
- (e) Indique los estados de los bloques en las caches y los cambios en los contenidos del directorio ante la siguiente secuencia de eventos (considere que inicialmente los bloques que contienen ambos vectores no están en ninguna cache): 1) Lectura generada por el procesador 1 a X[0] . 2) Escritura generada por el procesador 2 a X[1]. 3) Lectura generada por el procesador 1 a X[2]. 4) Escritura generada por el procesador 2 a Y[2]

NOTA: Suponga que bloques distintos se almacenan en la cache de cada procesador en marcos de bloque (líneas) diferentes.





Ejercicio 3. (1 punto) En un multiprocesador con un modelo de consistencia que garantiza los órdenes W->W, R->W, R->R, se ha ejecutado el siguiente código (X e Y son variables (memoria), reg1 y reg2 son registros del núcleo, la variable Y está a 0 en memoria):

Accesos a memoria	Núcleo P1	Accesos a memoria	Núcleo P2
(1.1)W(X)	X=1;	(2.1)W(Y)	Y=2
(1.2)R(X)	reg1=X;	(2.2)W(X)	X=2
(1.3)R(Y)	reg2=Y;		

Contestar a las siguientes cuestiones:

- (a) ¿Cuáles son los órdenes globales de los accesos a memoria que podrían ver P1 y P2 teniendo en cuenta que garantiza W->W, R->W, R->R? Escribir todas las combinaciones posibles. Indicar qué se obtiene en reg1 y reg2 para cada uno de los órdenes indicados y cuál sería el contenido de X e Y para cada uno de ellos.
- 0. (b) ¿Qué recursos incluyen los núcleos de procesamiento para relajar el orden W->R?

Ejercicio 4. (1 punto) La siguiente secuencia de instrucciones

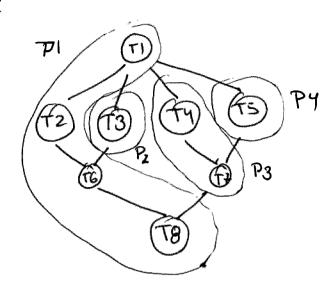
Ejercicio 4. (I punto, La	SIE	ICII	LE 3	ecu	CIIC	JIG C	10 11	130	uci	-101	103	, ,	ponomena	ann ann ann ann an		 	***********		 		
Instrucción	Significado	1	2	3	4	5	6	7	8										 			
lw r1,0(r2)	r1←m(r2)																					
add r5,r4,r1	r5←r4+r1																		***********			
lw r4,0(r3)	r4←m(r3)						-													***************************************		
mult r6,r5,r4	r5←r5×r4			· · · · · · · · · · · · · · · · · · ·												and a common to						
add r4,r5,r1	r4←r5+r1																 		 			
sw 0(r3),r4	m(r3) ←r4																					
sw 0(r2),r6	m(r2) ←r6																					

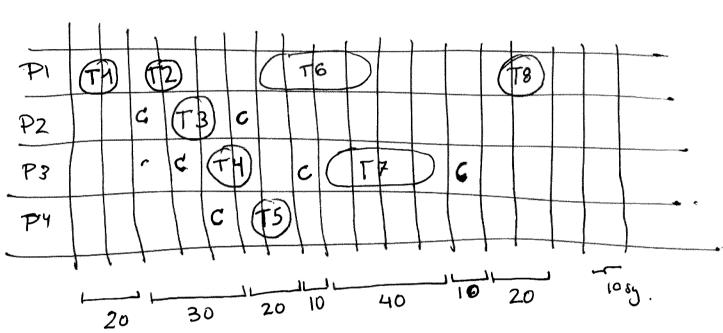
se ha ejecutado en un procesador superescalar capaz de captar cuatro instrucciones por ciclo y de decodificar tres instrucciones por ciclo. El procesador dispone de una estación de reserva común para todas las unidades funcionales con emisión desordenada de hasta tres instrucciones por ciclo, y de un ROB (Buffer de reorden) del que se pueden retirar tres instrucciones por ciclo.

- 🔾 💲 (a) Indique la evolución temporal de las instrucciones a través de las etapas del procesador
- (b) ¿Cuál es el valor promedio de CPI (ciclos por instrucción) en este código?
- (c) ¿Para qué se usa ROB en un núcleo de procesamiento? ¿En qué etapas del cauce segmentado de un núcleo se accede al ROB?

NOTA: Suponga que el procesador tiene una unidad de carga de memoria, una unidad de almacenamiento, dos unidades de suma/resta y una de multiplicación. La multiplicación consume 3 ciclos, la suma/resta 1 ciclo, la carga de memoria 2 ciclos, y el almacenamiento 1 ciclo.

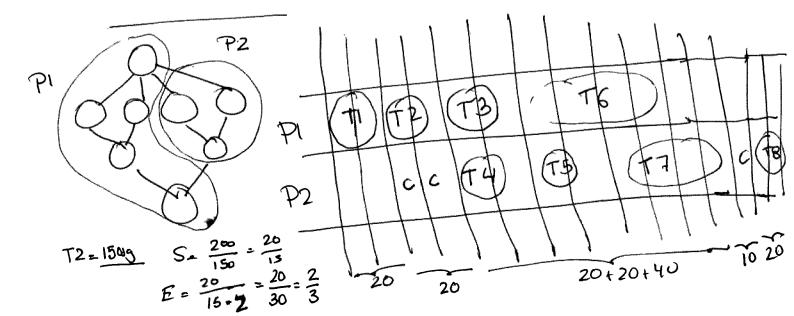


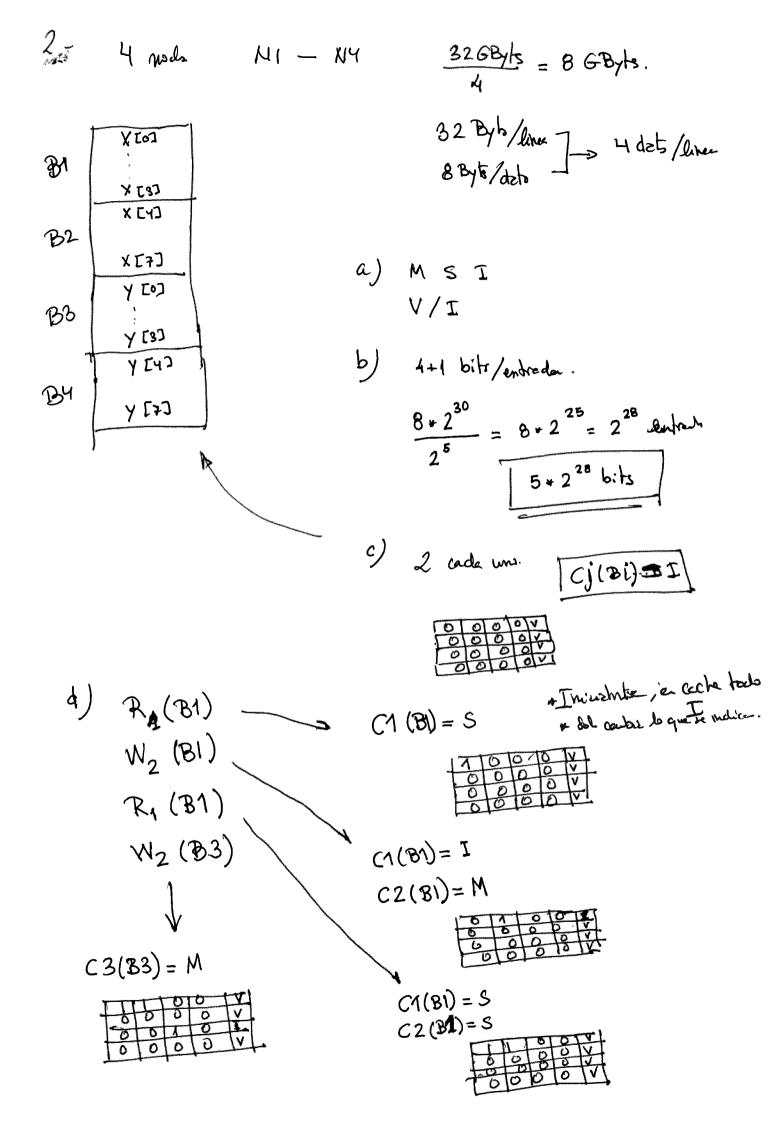




$$S = \frac{200}{150} = \frac{20}{15}$$

$$\dot{\Xi} = \frac{20}{15.4} = \frac{20}{60} = \frac{1}{3}$$





3 -

(1.1) $W(X) = \mathbb{R}$ [1.2) $\mathbb{R}(X) = \mathbb{R}$ [1.3) $\mathbb{R}(Y)$ \mathbb{R} [1.3) $\mathbb{R}(Y)$ \mathbb{R} [1.3) $\mathbb{R}(Y)$

No se producen cumber ondre ells.

R2 = 2 R1 = 1 **@b 1 1 2 3** R2=2 R1 = 2 **@0 B23** R2=2 R1~ 1 (b) (1) (D) (b) (3) R2=2 21 =1 Q () D (3 (b) R1=2 R2=2 0 6603 R2=2 R1=1 00000 R2=2 R1=1 (I) (A) (B) (B) (B) R2=2 R=1 0 0 00 R2= 2 RI=1 R1=1 R2=0 0 2 3 66

(b) - D Instruciones especifico en el reportorio mosquine que hece que ho se punder producer adelentemento en los accosos a monorios (todos los lectros o reitors anteriores se deber capitales anto y la instrucció se capitale ante de los escritores / lectros porteriores.

1	Ejercicio 4	punto) La	sigu	iien	te s	ecu	iend	cia d	de i	nstı	uc	cio	nes	<u> </u>		 	T: 12	2 T	LI 6 4	+ (m	- L	.PT		>	MgGantana.	12	cps =	1
	Instrucción	Significado	1	2	3	4	5	6	7	8	4	Į0	11	12													112/1	embi
	lw r1,0(r2)	r1←m(r2)	If	D	Ex	EX	ROB	MB								- Landard											市	indi Vali
	add r5,r4,r1	r5←r4+r1	IF	D	*		ex	POB	WO							and a second											Commission	-
	lw r4,0(r3)	r4←m(r3)	IF	D			EX	EX	POB	W														and a second			*	
	mult r6,r5,r4	r 6 ←r5×r4	ŢF		ϖ				EX	ex	ex	809	W															
	add r4,r5,r1	r4←r5+r1		JE	ID			ex	RoB		and the second second		WE	Š													-	
	sw 0(r3),r4	m(r3) ←r4		JF	ID				EX	r##gs			MB									20						
	sw 0(r2).r6	m(r2) ←r6	-	IF		ID				NA COLUMN TO THE PARTY OF THE P	- Announcement	EX	*	W	>					NO DESCRIPTION OF THE PERSON O			CONTRACTOR OF THE PARTY OF THE					

se ha ejecutado en un procesador superescalar capaz de captar cuatro instrucciones por ciclo y de decodificar tres instrucciones por ciclo. El procesador dispone de una estación de reserva común para todas las unidades funcionales con emisión desordenada de hasta tres instrucciones por ciclo, y de un ROB (Buffer de reorden) del que se pueden retirar tres instrucciones por ciclo.

- (a) Indique la evolución temporal de las instrucciones a través de las etapas del procesador
- (b) ¿Cuál es el valor promedio de CPI (ciclos por instrucción) en este código?

(c) ¿Para qué se usa ROB en un núcleo de procesamiento? ¿En qué etapas del cauce segmentado de un núcleo se accede al ROB? Fine livractor da y jene dominator de un habitante de discontración, la ejementado de un núcleo se accede al ROB? Fine livractor ordina da y jene dominator de un habitante.

NOTA: Suponga que el procesador tiene una unidad de carga de memoria, una unidad de almacenamiento, dos

unidades de suma/resta y una de multiplicación. La multiplicación consume 3 ciclos, la suma/resta 1 ciclo, la carga de memoria 2 ciclos, y el almacenamiento 1 ciclo.

Ejercicio 5.(1 punto) En un procesador con repertorio LOAD/STORE todas las instrucciones pueden predicarse. Para establecer los valores de los predicados se utilizan instrucciones de comparación con el formato p1,p2 cmp.cnd ra,rb, donde cnd es la condición que se comprueba entre los registros ra y rb (lt, ge, eq, ne,....). Si la condición es verdadera p1=1 y p2=0, y si es falsa, p1=0 y p2=1. Una instrucción precedida por un predicado, (p) instruc, sólo se ejecuta si el predicado que la precede es igual a 1, p=1 (su valor habrá sido establecido por otra instrucción de comparación). (a) Escriba sin ninguna instrucción de salto el siguiente código, donde los arrays X[i] e Y[j] (j=1,2) están constituidos por elementos de 32 bits en posiciones consecutivas a partir de las direcciones contenidas en los registros r1 (para la dirección donde empieza X[]) y r2 (para la dirección donde empieza Y[]) :

(b) Con los predicados se eliminan los saltos ¿por qué resulta de interés eliminar los saltos? ¿Qué otro hardware puede incluir un núcleo de procesamiento relacionado con el procesamiento de los saltos?

Ejercicio 6. (1 punto) En un multiprocesador con un modelo de consistencia que garantiza los órdenes W->W, R->W, R->R, se ha ejecutado el siguiente código (X e Y son variables (memoria), reg1 y reg2 son registros del núcleo, la variable Y está a 0 en memoria):

Accesos a memoria	Núcleo P1	Accesos a memoria	Núcleo P2
(1.1)W(X)	X=1;	(2.1)W(Y)	Y=2
(1.2)R(X)	reg1=X;	(2.2)W(X)	X=2
(1.3)R(Y)	reg2=Y;		

Contestar a las siguientes cuestiones:

- (a) ¿Cuáles son los órdenes globales de los accesos a memoria que podrían ver P1 y P2 teniendo en cuenta que garantiza W->W, R->W, R->R? Escribir todas las combinaciones posibles. Indicar qué se obtiene en reg1 y reg2 para cada uno de los órdenes indicados y cuál sería el contenido de X e Y para cada uno de ellos.
- (b) ¿Qué recursos incluyen los núcleos de procesamiento para relajar el orden W->R?