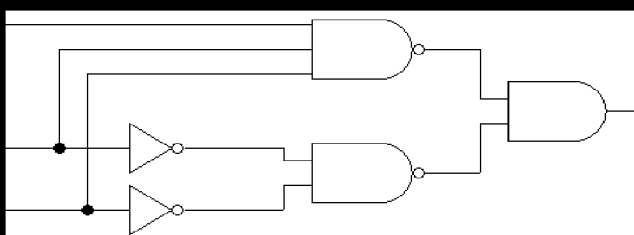




UGR

Universidad
de Granada

DEPARTAMENTO DE ARQUITECTURA Y TECNOLOGÍA DE COMPUTADORES

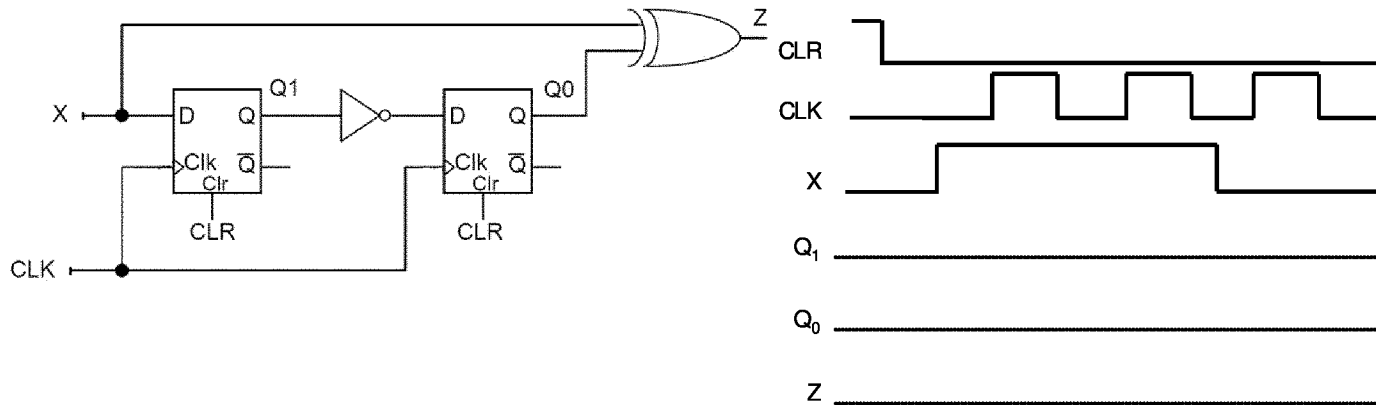


6. (1,00 pto.) Dadas las siguientes funciones de conmutación, en las que "x₀" representa la variable menos significativa:

- $f_0(x_2, x_1, x_0) = \sum m(0, 1, 2, 5)$
- $f_1(x_2, x_1, x_0) = \sum m(2, 3, 5)$
- $f_2(x_2, x_1, x_0) = \sum m(0, 1, 3)$

- a. Implemente dichas funciones en una PLA de tamaño 3x4x3. Dibuje explícitamente la estructura interna de la PLA con las conexiones adecuadas.
- b. Implemente dichas funciones mediante una ROM de tamaño adecuado. ¿Cuál es el tamaño de dicha memoria ROM? Dibuje explícitamente la estructura interna de la ROM con las conexiones adecuadas del plano OR.

7. (0,50 pto.) Complete el siguiente diagrama de tiempos para el circuito de la figura



8. (1,00 pto.) Diseñe un generador de secuencias que genere cíclicamente la secuencia de salidas siguiente

$Z = 0, 9, 2, 9, 4, 5 ; 0, 9, 2, 9, 4, 5, \dots$

Utilice para el diseño biestables de tipo T activo por flanco de subida (si lo prefiere, puede usar biestables de tipo D, en vez de tipo T).

9. (0,50 pto.) Diseñe un registro de desplazamiento de 3 bits que tenga las características dadas por la siguiente tabla de funcionamiento simplificada (utilice biestables de tipo D y multiplexores de 2 a 1):

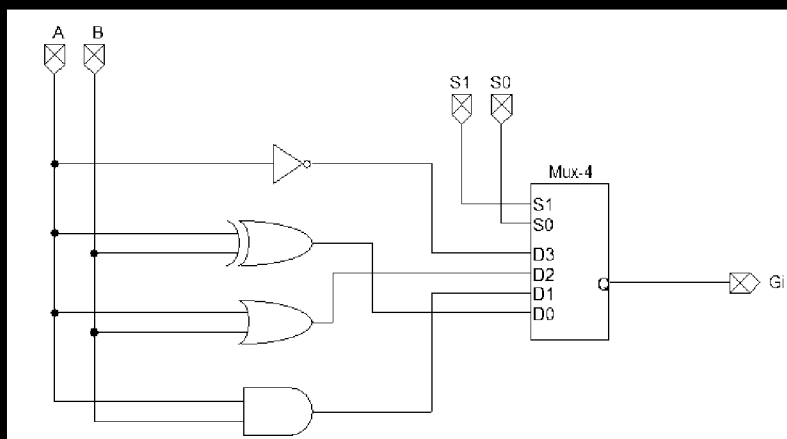
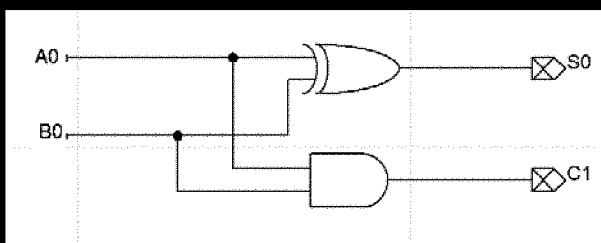
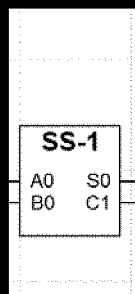
Clk	Clr	LD	Q (Q ₂ , Q ₁ , Q ₀)	Q ₂ ⁺ , Q ₁ ⁺ , Q ₀ ⁺
-	1	-	Q _i = 0, i = 0...2 (asíncronamente)	0 0 0
↑	0	0	DESPLAZAMIENTO DERECHA	Ar Q ₂ Q ₁
↑	0	1	CARGA SÍNCRONA EN PARALELO Q _i ← D _i , i = 0...2	D ₂ D ₁ D ₀



UGR

Universidad
de Granada

DEPARTAMENTO DE ARQUITECTURA Y TECNOLOGÍA DE COMPUTADORES



Señales de control $S_1 S_0$	Operación
00	
01	
10	
11	

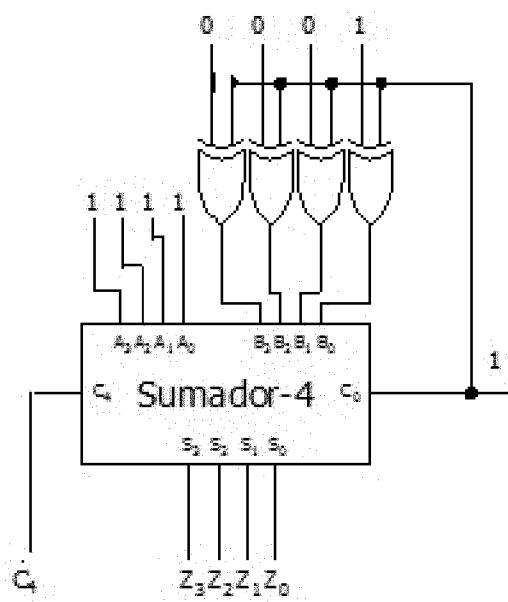
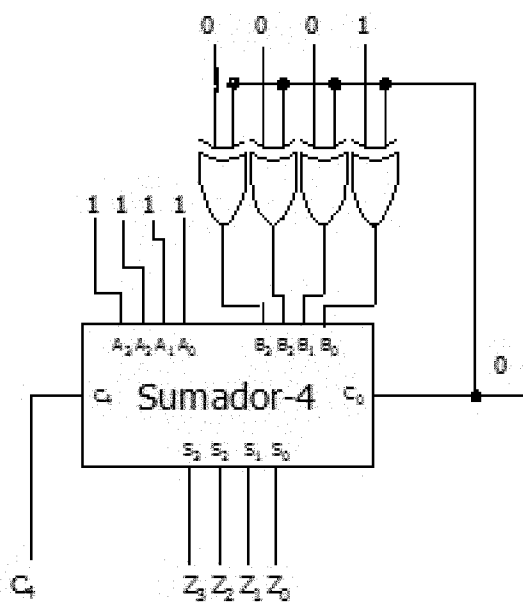
Tabla 2.1

Indique en la Tabla 2.2 el resultado que se obtiene en la salida G_i con los siguientes datos A y B y las combinaciones $S_1 S_0$

A B $S_1 S_0$	Resultado G_i
0 1 0 0	
0 0 0 0	
1 0 0 1	
1 0 1 1	

Tabla 2.1

3. (0,50 pto.) Determine las salidas C_4 , Z_3 , Z_2 , Z_1 , Z_0 de los siguientes circuitos combinacionales para los valores de las entradas que se indican en cada uno de ellos.



Apellidos :

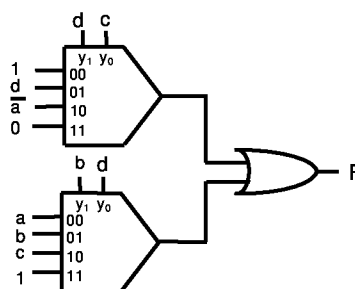
Nombre :

Grupo :

D.N.I. :

EJERCICIOS:

- (0,75 pto.)** Un procesador dispone, entre otros, de los siguientes elementos: registro de dirección (AR) de 32 bits, registro de datos (DR) de 16 bits, contador de programa (PC), y puntero de pila (SP). Indicar:
 - Número de bits del bus de datos
 - Número de bits del bus de direcciones.
 - Tamaño máximo posible de la memoria principal (en GB)
 - Tamaño en bits del registro PC
 - Tamaño en bits del registro SP
- (0,75 pto.)** Un programa de prueba (en lenguaje de alto nivel) se ejecuta en un procesador obteniéndose una velocidad de 120 MIPS y tardando su ejecución 35 segundos. Sabiendo que por término medio cada instrucción consume 6 ciclos de reloj, obtener:
 - El número de instrucciones máquina totales del programa de prueba.
 - La frecuencia de reloj del computador
- (0,50 pto.)** El siguiente número $N = (00E0\ 0000)_H$ está en representación interna IEEE-754 (Precisión sencilla). Indicar el número en decimal que representa.
- (0,50 pto.)** Analice el circuito de la figura y obtenga la tabla de verdad de la función de conmutación resultante.



- (0,50 pto.)** Dada la siguiente función de conmutación, en la que "x₀" representa la variable menos significativa:

$$f(x_3, x_2, x_1, x_0) = \prod M(1, 4, 5, 7, 11) + d(0, 12, 14)$$

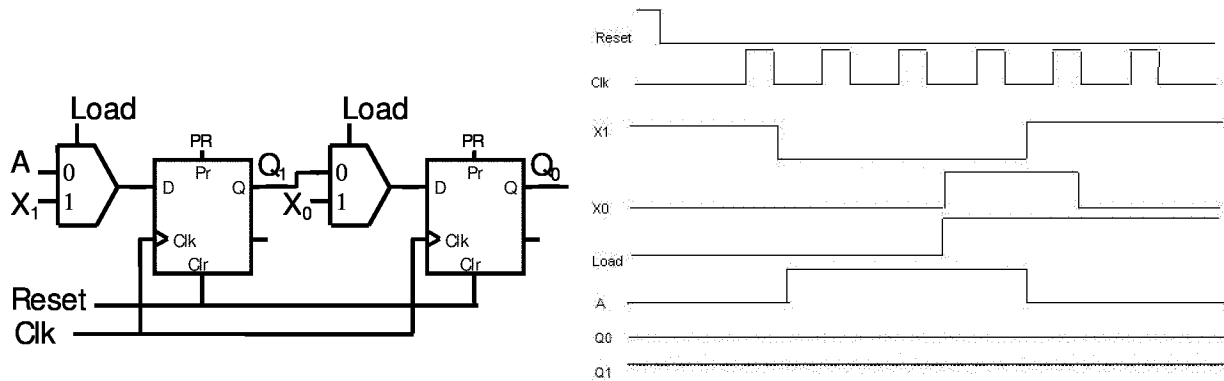
Minimícela e impleméntela (dibuje el circuito) mediante síntesis OR/AND (Producto de Sumas).

6. (1,00 pto.) Dadas las siguientes funciones de conmutación, en las que "x₀" representa la variable menos significativa:

- $f_0(x_3, x_2, x_1, x_0) = \sum m(1, 2, 5, 6, 8, 9, 11, 12, 13, 15)$
- $f_1(x_3, x_2, x_1, x_0) = \sum m(2, 6, 8, 11, 12, 15)$

- a. Implemente dichas funciones en una PLA de tamaño 4x4x2. Dibuje explícitamente la estructura interna de la PLA con las conexiones adecuadas.
- b. Implemente dichas funciones mediante una ROM de tamaño adecuado. ¿Cuál es el tamaño de dicha memoria ROM? Dibuje explícitamente la estructura interna de la ROM con las conexiones adecuadas del plano OR.

7. (1,00 pto.) Complete el siguiente diagrama de tiempos para el circuito de la figura



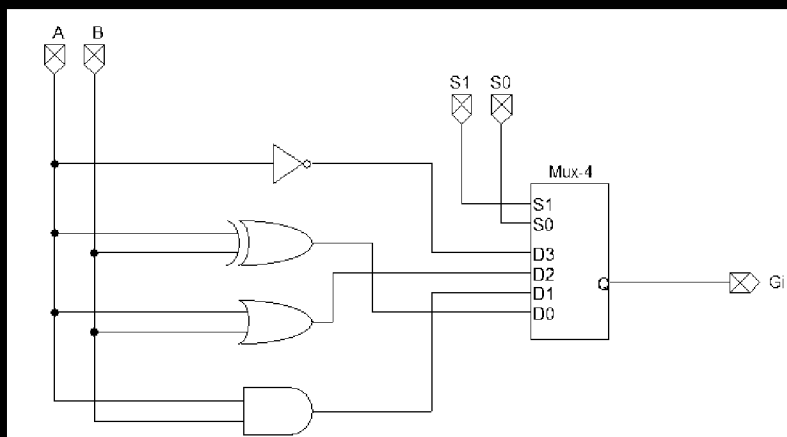
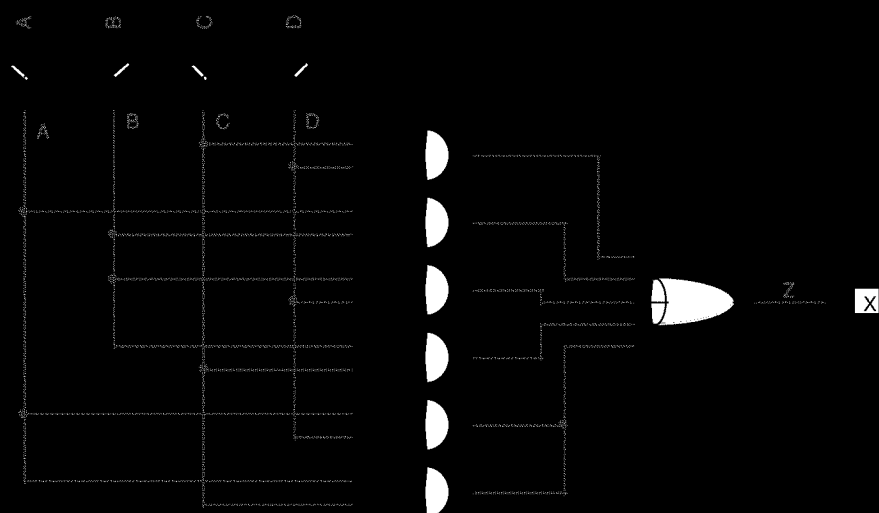
8. (1,00 pto.) Diseñe un contador síncrono ascendente que produzca, de forma cíclica, la siguiente secuencia de salidas **0, 1, 2, 3, 4, 5, 0, 1, 2, 3, 4, 5, ...** Utilice para el diseño biestables de tipo T activos por flanco de subida.



ugr

Universidad
de Granada

DEPARTAMENTO DE ARQUITECTURA Y TECNOLOGÍA DE COMPUTADORES



Rellene la Tabla 2.1 indicando la operación que se realiza con cada combinación de señales de control (S_1, S_0), según la versión de etapa lógica de la Figura 2.

Señales de control $S_1 S_0$	Operación
00	
01	
10	
11	

Tabla 2.1

Indique en la Tabla 2.2 el resultado que se obtiene en la salida G_i con los siguientes datos A y B y las combinaciones $S_1 S_0$

A B $S_1 S_0$	Resultado G_i
0 1 0 0	
0 0 0 0	
1 0 0 1	
1 0 1 1	

Tabla 2.1

3. (0,50 pto.) Indique por qué razón, en el circuito de la figura 3, aunque se cambie el valor de la entrada externa A, no se produce ningún cambio en las salidas de los biestables Q_3 , Q_2 , Q_1 y Q_0 , permaneciendo éstas siempre al valor lógico 1.

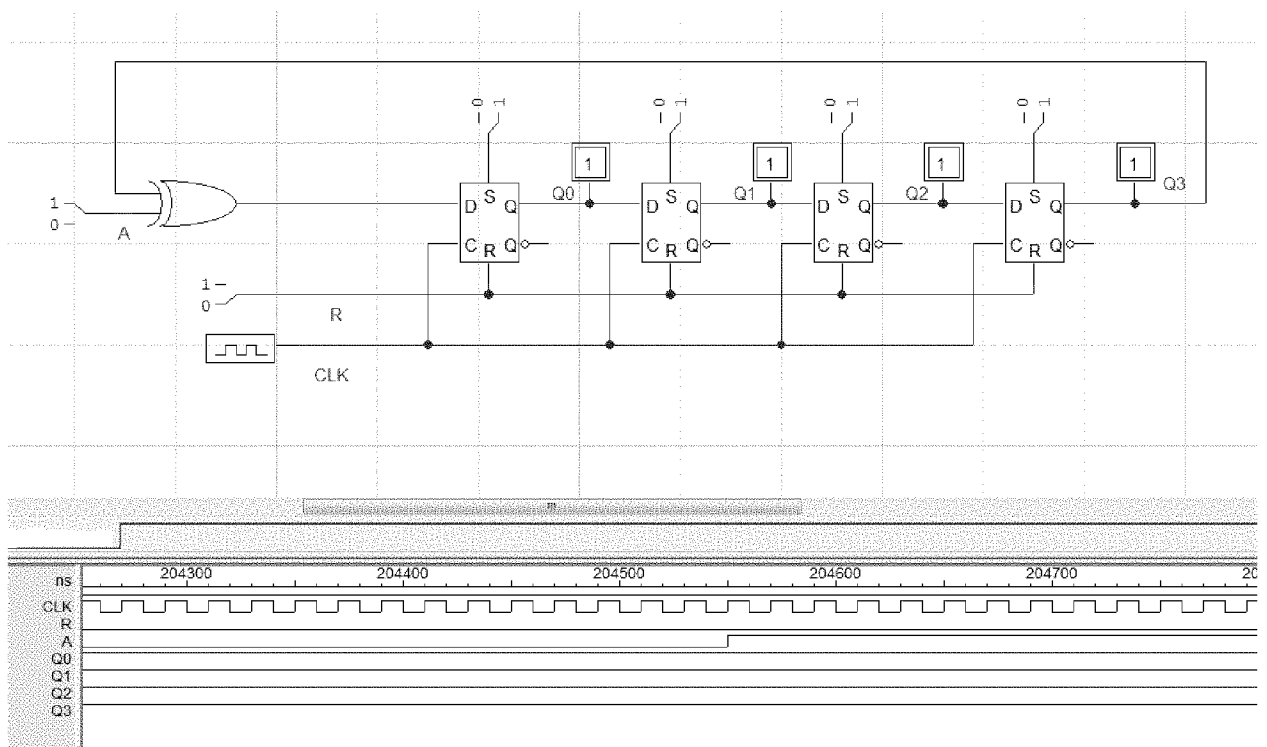


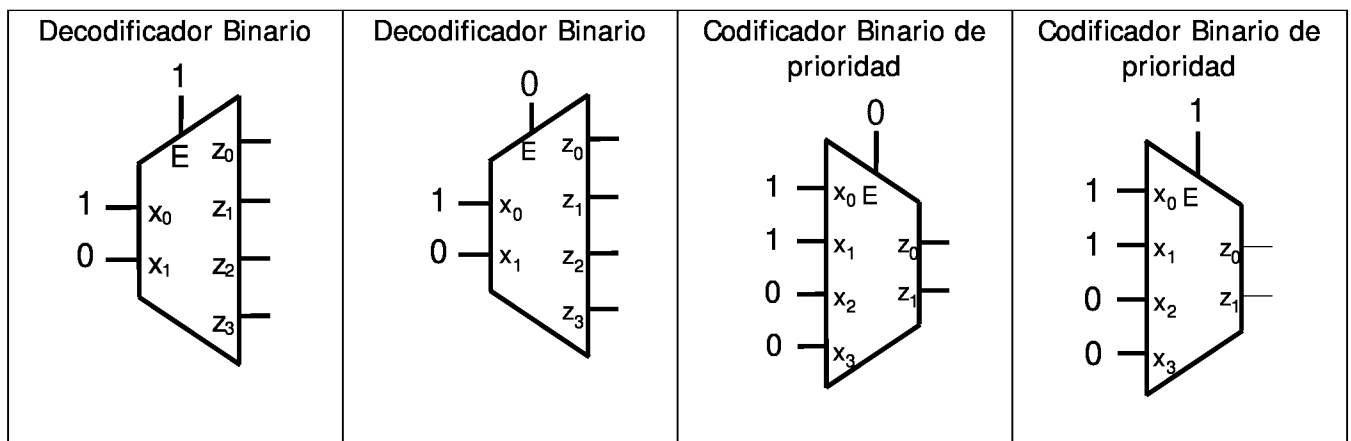
Figura 3.

6. (0,50 pto.) Dadas las siguientes funciones de conmutación, en las que "x₀" representa la variable menos significativa:

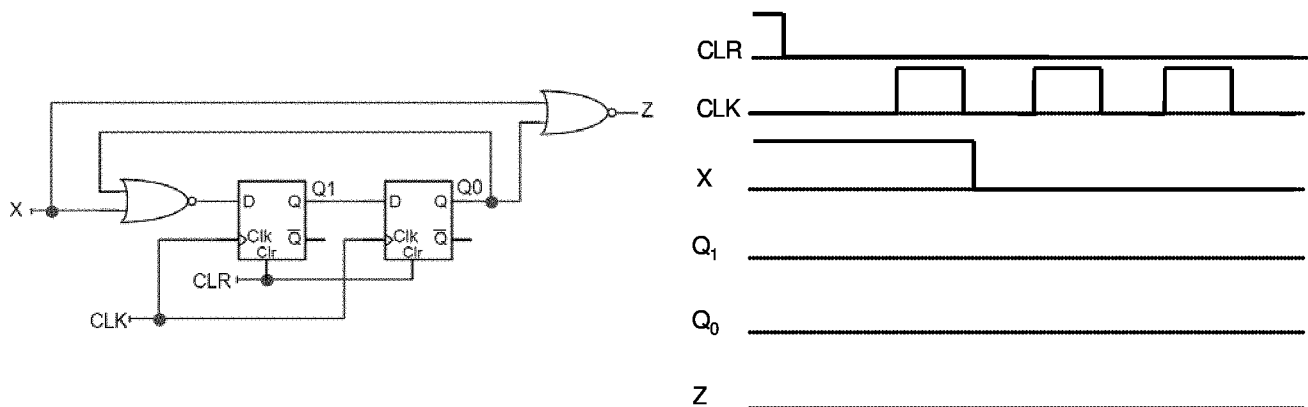
- $f_0(x_2, x_1, x_0) = \sum m(0, 3, 4, 5)$
- $f_1(x_2, x_1, x_0) = \sum m(2, 4, 5, 7)$
- $f_2(x_2, x_1, x_0) = \sum m(0, 1, 3)$

Implemente dichas funciones mediante una ROM de tamaño adecuado. ¿Cuál es el tamaño de dicha memoria ROM?. Dibuje la estructura interna de la ROM con las conexiones adecuadas en el plano OR.

7. (0.50 pto.) Determine las salidas de los siguientes circuitos combinacionales para los valores de las entradas que se indican en cada uno de ellos. La señal E es la de habilitación.



8. (0,75 pto.) Complete el siguiente diagrama de tiempos para el circuito de la figura:

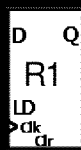
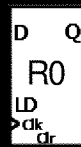


9. (0,50 pto.) Un sistema secuencial síncrono tiene dos entradas (A y B), y una salida (Z). Su función es comparar las secuencias que recibe por ambas entradas. Si A = B durante al menos cuatro ciclos de reloj consecutivos, el circuito genera Z = 1 a partir del cuarto ciclo (mientras A = B); en cualquier otro caso, produce Z=0, tal como se refleja en el siguiente ejemplo:

A	= 0 1 1 0 1 1 1 0 0 0 1 1 0 ...
B	= 1 1 1 0 1 0 1 0 0 0 1 1 1 ...
Z	= 0 0 0 0 1 0 0 0 0 1 1 1 0 ...

Obtenga el diagrama de estados y la tabla de estados del sistema secuencial síncrono.

No hace falta hacer el circuito.



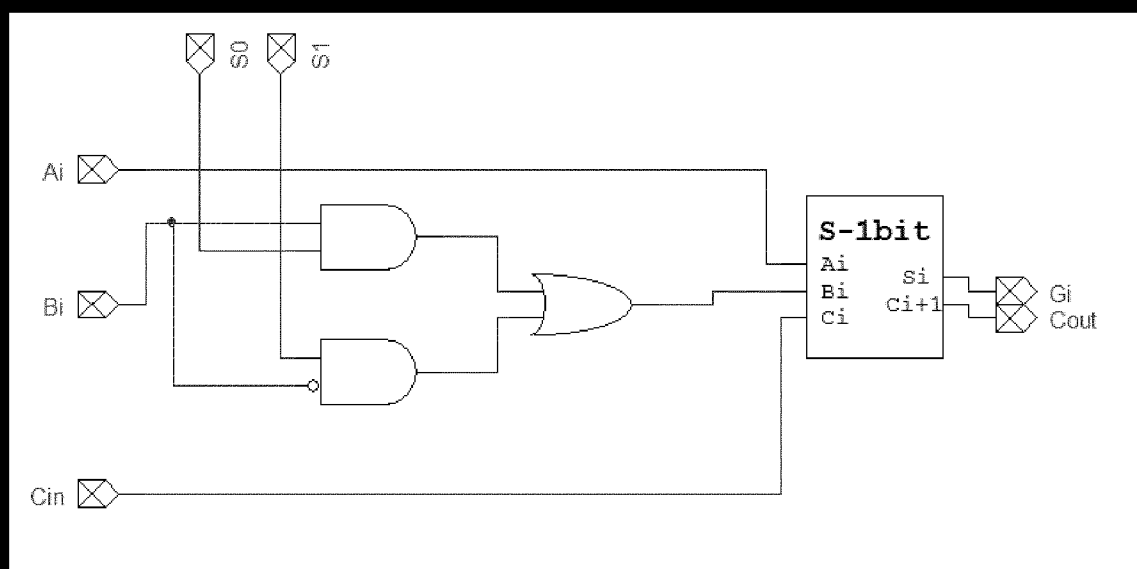
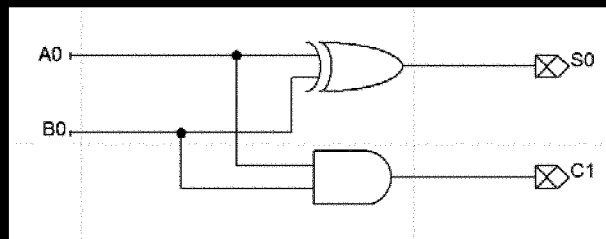
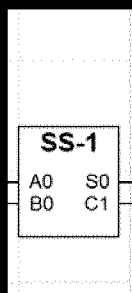
S ₁	S ₀	R
0	0	$\overline{X \cdot Y}$
0	1	Y
1	0	X más \overline{Y}
1	1	Y más 1



ugr

Universidad
de Granada

DEPARTAMENTO DE ARQUITECTURA Y TECNOLOGÍA DE COMPUTADORES



Re llene la Tabla 2.1 indicando la operación que se realiza entre los datos A y B de cuatro bits, que se obtendría en la salida G de la ALU, según las señales de control (S_1 , S_0) que se especifican en dicha Tabla 2.1, considerando la versión de etapa aritmética de la Figura 2.

Señales de control $S_1 S_0$	Operación
00	
01	
10	
11	

Tabla 2.1

3. (0,25 pto.) En la práctica 5.2 “Análisis de un sistema secuencial síncrono” se analizó el circuito secuencial síncrono de la Figura 3. En dicho contexto responda a las siguientes cuestiones:

- ¿En qué estado actual se encuentra el circuito secuencial de la Figura 3 ?
- ¿ Qué estado siguiente se tendrá, tras el próximo flanco activo de reloj?
- Si mantenemos la señal R en R= 1, en vez de R= 0, ¿ Qué estado siguiente se tendrá, tras el próximo flanco activo de reloj?.

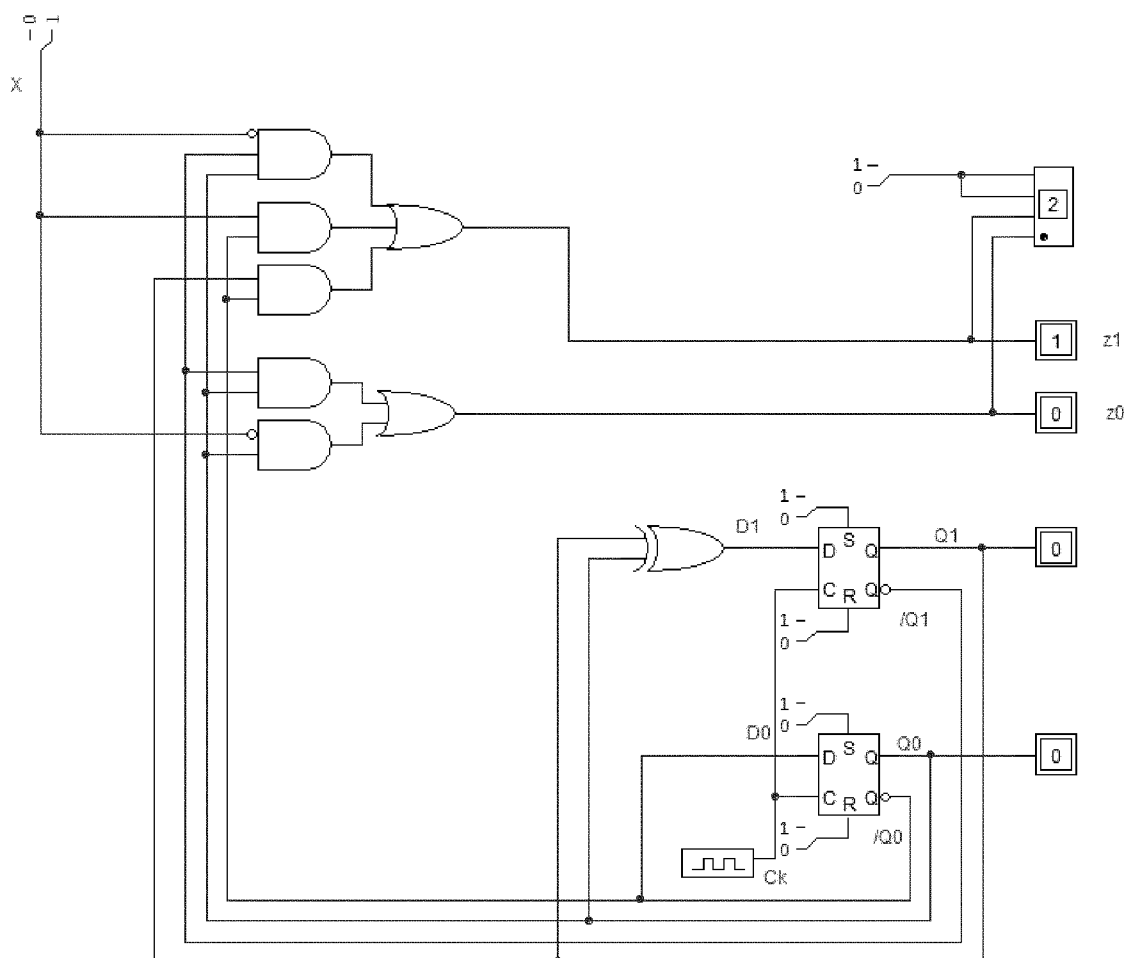


Figura 3



ugr

Universidad
de Granada

DEPARTAMENTO DE ARQUITECTURA Y TECNOLOGÍA DE COMPUTADORES

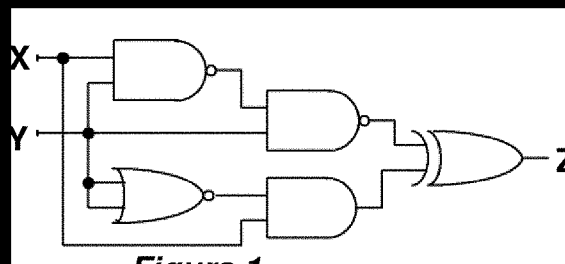
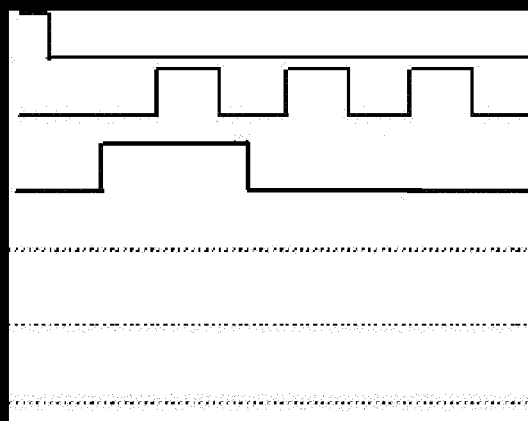
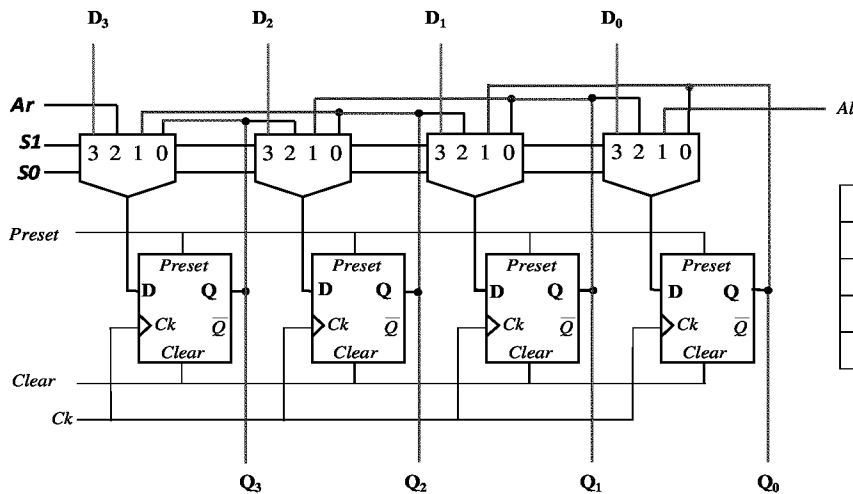


Figure 1



9. (0,50 pto.) El circuito de la figura 4 es un registro de desplazamiento universal, que realiza las operaciones siguientes: Desplazar a derecha, Desplazar a izquierda, Carga paralelo y Mantener Valor (Hold). Indique para cada una de estas operaciones qué valores han de tomar las señales de control S1 y S0.



Operación	S1	S0
Desplazar a derecha		
Desplazar a izquierda		
Mantener valor (Hold)		
Carga paralelo		

Figura 4

10. (1,00 pto.) Diseñe un generador de secuencias que genere cíclicamente la secuencia de salidas siguiente:

$$Z = \{ 0, 9, 6, 6, 9, 0, 15 ; 0, 9, 6, 6, 9, 0, 15 ; .. \}$$

11. (0,75 pto.) Para la unidad de procesamiento de la figura:

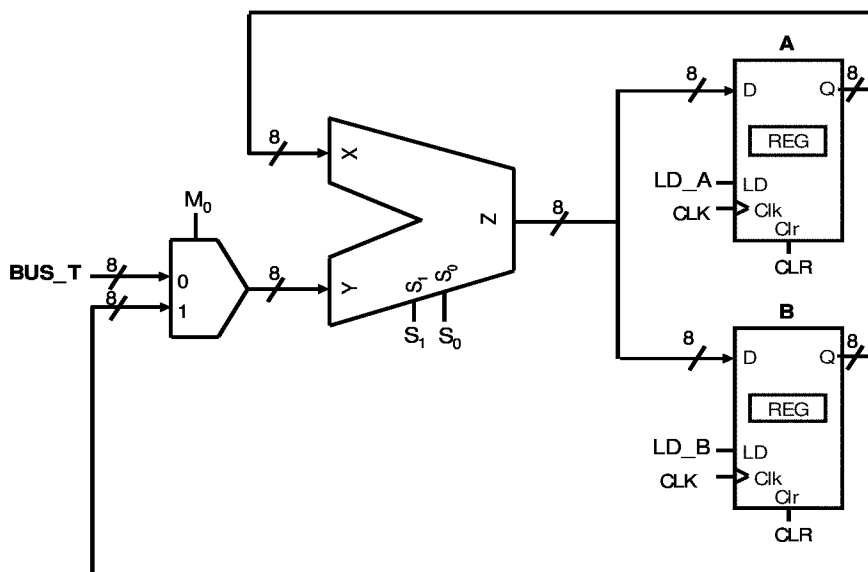


Tabla de Operaciones de la ALU

S1	S0	Z
0	0	X MAS Y
0	1	Y
1	0	$\overline{X \cdot Y}$
1	1	Y MAS 1

Complete la siguiente tabla indicando la operación RT que se realiza tras el flanco de subida de la señal de reloj. En la primera fila se ha proporcionado un ejemplo.

LD_A	LD_B	M0	S1	S0	Operación RT
1	0	1	1	1	$A \leftarrow B \text{ MAS } 1$, B no cambia
1	0	1	0	1	
1	1	0	0	0	
0	1	1	1	0	



ugr

Universidad
de Granada

DEPARTAMENTO DE ARQUITECTURA Y TECNOLOGÍA DE COMPUTADORES

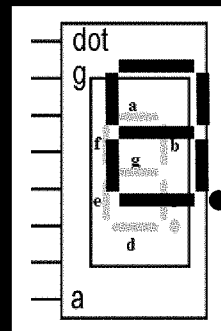
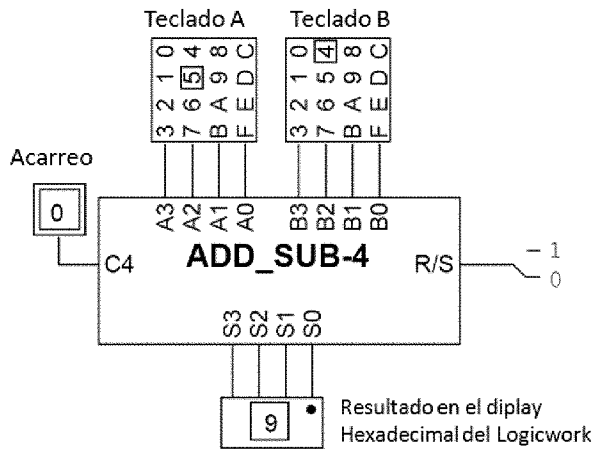


Tabla 1.1

Figura 1.1

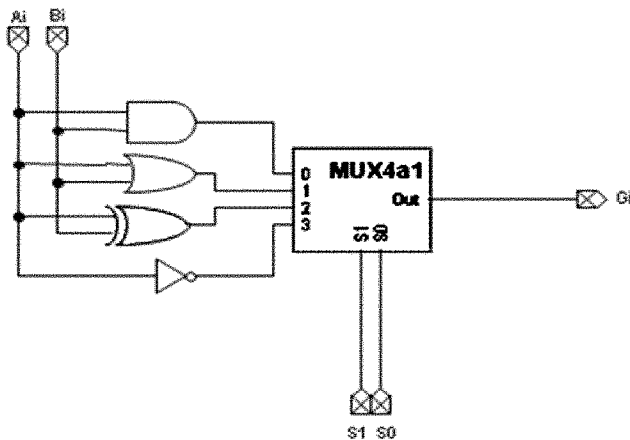
2. (0,25 pto.) En la práctica 3 se comprobaba el funcionamiento de un sumador/restador (en complemento a dos). Se realizaban distintas operaciones de sumas y restas teóricamente y se comprobaban experimentalmente con el simulador sus resultados.

Indicar el resultado de cada una de las siguientes operaciones (resultado y acarreo), tras presionar las teclas marcadas en los teclados hexadecimales (tal y como aparece en la figura).



Teclado A	Teclado B	R/S (suma/resta)	Acarreo	Resultado
5	4	0	0	9
4	5	1		
3	2	1		
A	F	0		

3. (0,25 pto.) En la práctica 4 se simularon los circuitos para realizar algunas operaciones lógicas como parte de una ALU. Se tenía el siguiente circuito. Indicar las operaciones que se realizan con distintos valores en las entradas de control (S_1 , S_0). Es decir, rellenar la tabla de más abajo.



Señales de control $S_1 S_0$	Operación
00	Ejemplo: A·B
01	
10	
11	