

TECNOLOGÍA Y ORGANIZACIÓN
COMPUTADORES

1º Grado en Ingeniería Informática y
1º del Doble grado GIIM.
GRANADA, 11 de Septiembre de 2014
EXAMEN DE TEORÍA Y PROBLEMAS

DE

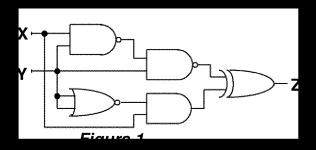
Apellidos :	
Nombre :	Grupo :
DNI ·	

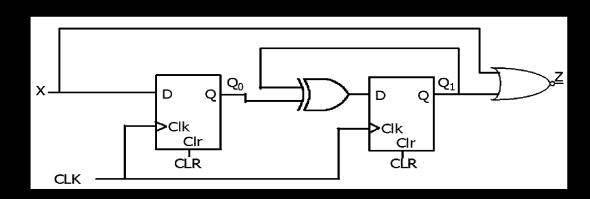
## EJERCI CI OS (Temas 1º y 2º):

1. (0,75 pto.) Suponga que un computador trabaja con datos enteros y con longitud de palabra n = 8 bits. Dados los datos de la columna de la izquierda en representación interna, indique su valor en decimal en la columna de la derecha. Para representación sesgada (el sesgo es S= 2<sup>7</sup>= 128).

Representación	Representación interna	Valor decimal que representa
(Signo Magnitud)	1000 0101	
(Complemento 1)	0000 0111	
(Complemento 2)	1111 1110	
(Sesgada)	1000 0100	
(Entero sin signo)	1111 1110	

- 2. (0,25 pto.) Suponiendo que tenemos el número N = 1011 1110 de 8 bits en representación complemento a 2. Indique qué representación en complemento a 2 tendría en una representación utilizando 16 bits.
- 3. (1,50 pto.) Un procesador dispone, entre otros, de los siguientes elementos: Registro de Dirección (AR) de 32 bits, Registro de Datos (DR) de 16 bits y Contador de Programa (PC). El procesador funciona con un reloj de frecuencia 10 MHz y está conectado mediante el bus de datos con la memoria y para cada transferencia de un dato se requieren 4 ciclos de reloj. Indicar:
  - a. Número de bits del bus de datos (DB).
  - b. Número de bits del bus de direcciones (AB).
  - c. Número de bits del registro de instrucciones (IR).
  - d. Tamaño en bits del registro Contador de Programa (PC).
  - e. Tamaño máximo posible de la memoria principal (en MB o GB).
  - f. Velocidad de transferencia de datos entre el procesador y la memoria.





- 7. (1,00 pto.) Empleando biestables de tipo D y las puertas lógicas que se necesiten, diseñe un generador de secuencia síncrono con 2 salidas binarias (z1 y z0), que genere la siguiente secuencia de valores de salida  $Z=(z1,z0)=\{1,3,2,2,0,3;1,3,2,2,0,3,...\}$ .
- 8. (1,00 pto.) Para la unidad de procesamiento de la figura:

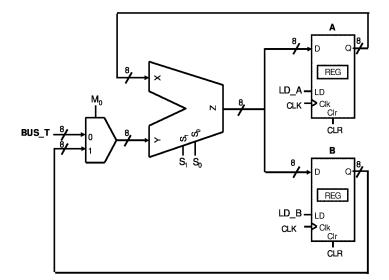


Tabla de Operaciones de la ALU S1 S0 Ζ 0 0  $\overline{X \cdot Y}$ 1 0 Y MAS 1 1 0 X MAS Y 1 1 Υ

Complete la siguiente tabla indicando la operación RT que se realiza tras el flanco de subida de la señal de reloj. En la primera fila se ha proporcionado un ejemplo.

LD_A	LD_B	M0	S1	S0	Operación RT
1	0	1	1	1	A ← B MAS 1 , B no cambia
1	0	1	0	1	
1	1	0	0	0	
0	1	1	1	0	
1	1	0	0	1	



TECNOLOGÍ A Y ORGANIZACIÓN DE COMPUTADORES

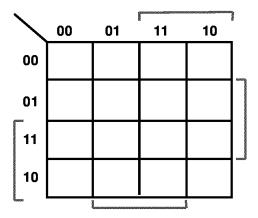
1º Grado en Ingeniería Informática y

1º del Doble grado GIIM.

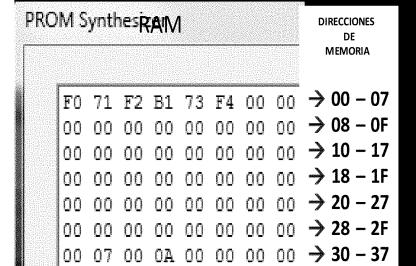
GRANADA, 11 de Septiembre de 2014 EXAMEN DE SEMINARIOS Y PRÁCTICAS.

Apellidos :		
Nombre :	Grupo :	
D.N.I.:		

- **1. (0,50 pto.)** Qué tiempo de música en calidad radio FM estéreo (frecuencia de muestreo fs=22,05KHz, 2 Bytes/muestra, 2 canales) se puede almacenar en un USB de 4 GB?
  - a. Indicar el tiempo en horas si se almacena el fichero sin comprimir.
  - b. Indicar el tiempo en horas si se almacena el fichero comprimido con una compresión 4:1.
- 2. (0,50 pto.) Dada la función:  $f(A, B, C, D) = \sum m (0, 7, 8, 10, 12, 15) + d (2, 5)$  y considerando D la variable menos significativa, obtenga su implementación mínima con estructura AND/OR y NAND/NAND. Para ello:
  - a) Rellene los unos e indiferencias del mapa de Karnaugh indicando explícitamente las variables correspondientes a cada eje (en la parte superior izquierda del mapa de Karnaugh)
  - b) Obtenga la expresión algebraica mínima como suma de productos. Marque los cubos utilizados para la minimización (cubos o adyacencias de mayor orden).
  - c) Dibujar el circuito de dos niveles de puertas lógicas AND/OR,
  - d) Dibujar el circuito de dos niveles de puertas lógicas NAND/ NAND.



3. (0,50 pto.) Los biestables del laboratorio de prácticas son del tipo JK. En prácticas se utilizaron este tipo de biestables configurados debidamente para que funcionaran como biestables de tipo T o D. Dibuje explícitamente las conexiones y/o componentes necesarios para configurar un biestable de tipo JK como un tipo T o tipo D e indique la entrada que actuaría como entrada T ó D en el circuito correspondiente. Para el biestable de tipo T suponiendo que su entrada es T=1 constantemente, su estado inicial es Q=0 y que los biestables sean activos por flanco de subida, dibuje un cronograma con una duración de la señal de reloj de 5 ciclos que ilustre el funcionamiento de la salida Q del biestable tipo T.



00 00

00 00

00

 $\rightarrow$  38 – 3F