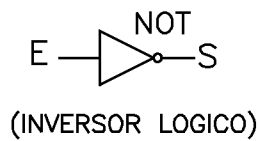
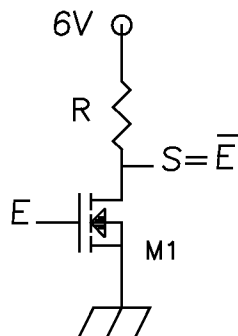


Familias Logicas

Basadas en MOSFET



Para M1:
 $V_T = 1,8V$



$E = "0" \Rightarrow V_E = 0V \Rightarrow M1 \text{ en OFF} \Rightarrow V_S = 6V \Rightarrow S = "1"$

$E = "1" \Rightarrow V_E = 6V \Rightarrow M1 \text{ en ON} \Rightarrow V_S \approx 0V \Rightarrow S = "0"$

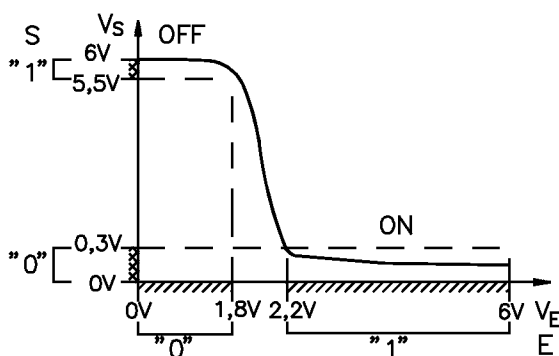
E	V_E	V_S	S
"0"	0V	6V	"1"
"1"	6V	0V	"0"

LOGICA POSITIVA

"0" \rightarrow Menor tensión (0V)

"1" \rightarrow Mayor tensión (6V)

CARACTERISTICA de TRANSFERENCIA

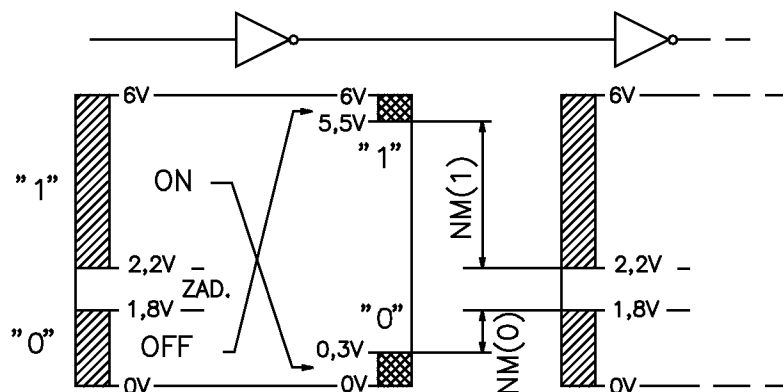


> Si $V_E \in [0V, 1,8V]$ es un "0" de entrada, ya que la salida es aproximadamente 6V ("1")

> Si $V_E \in [2,2V, 6V]$ es un "1" de entrada, ya que la salida es aproximadamente 0V ("0")

La tensión umbral V_T es aproximadamente 2,0V, ya que por debajo de este valor la puerta interpreta que la entrada es "0", y por encima como "1"

MARGENES de RUIDO:



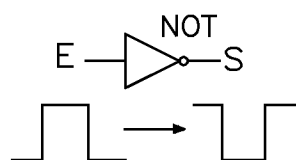
$$NM(1) = 3,3V$$

$$NM(0) = 1,5V$$

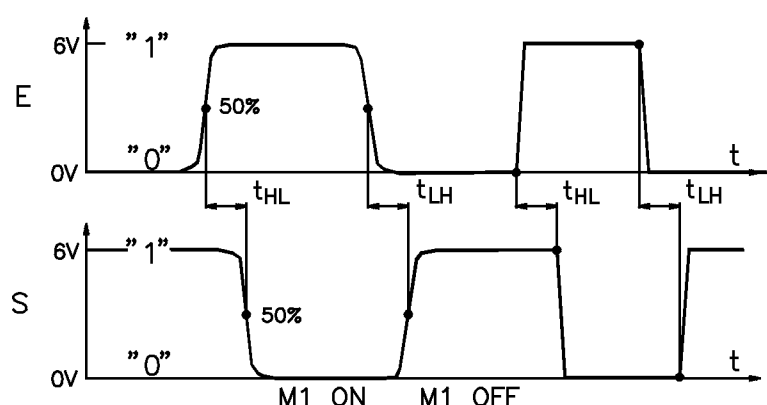
$$NM(1) = (V_{OH} - V_{IH}) = 5,5V - 2,2V$$

$$NM(0) = (V_{IL} - V_{OL}) = 1,8V - 0,3V$$

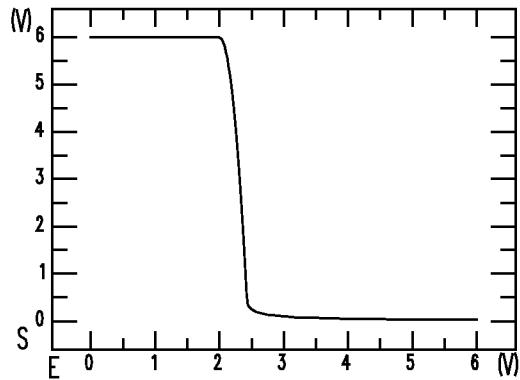
TIEMPO de RETARDO de PROPAGACION (t_{pd})



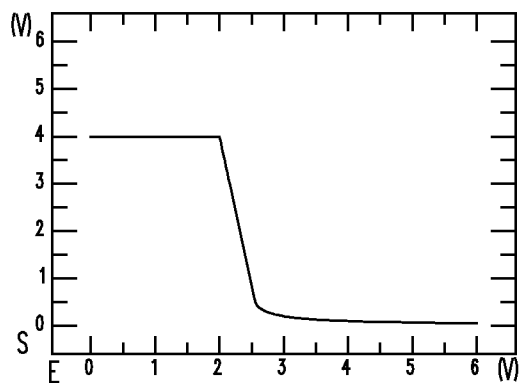
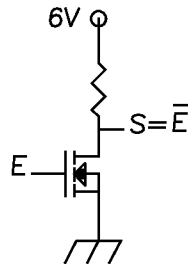
$$t_{pd} = \frac{1}{2}(t_{LH} + t_{HL})$$



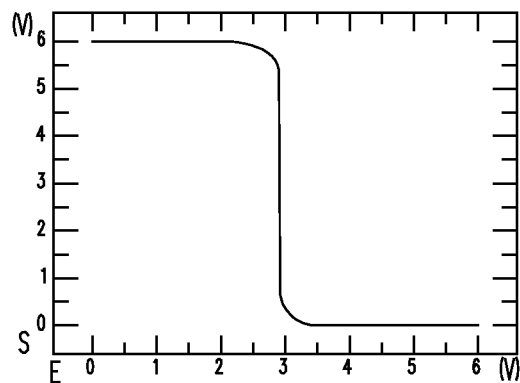
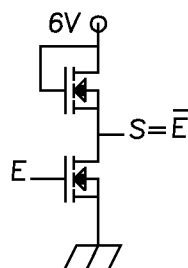
¿Qué puerta NOT tiene la mejor función de transferencia?



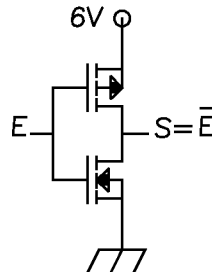
Puerta NOT NMOS
con carga Resistiva



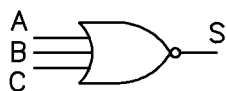
Puerta NOT NMOS
Enriquecimiento



Puerta NOT CMOS



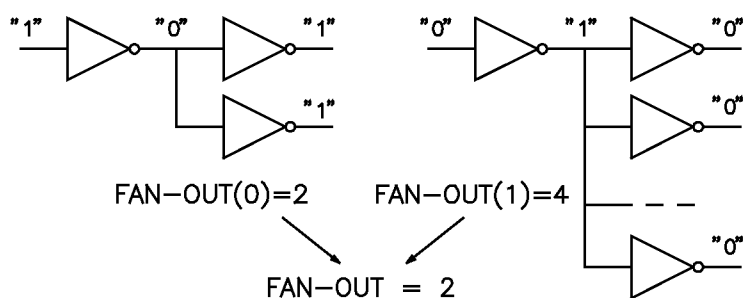
FAN-IN = Cargabilidad de entrada
FAN-IN = Número de entradas



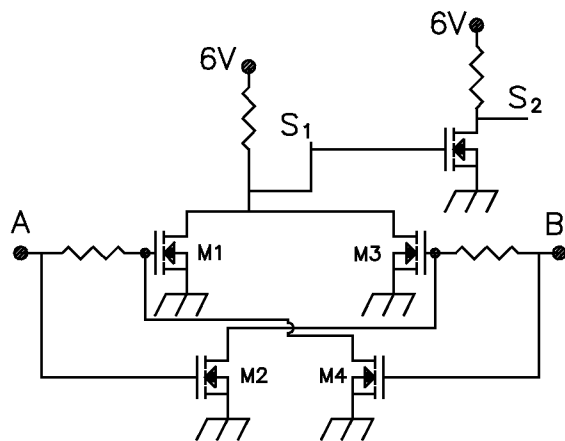
FAN-IN = 3

FAN-OUT = Cargabilidad de salida

FAN-OUT = Numero máximo de puertas similares
que se pueden conectar a la salida.



Ejemplo

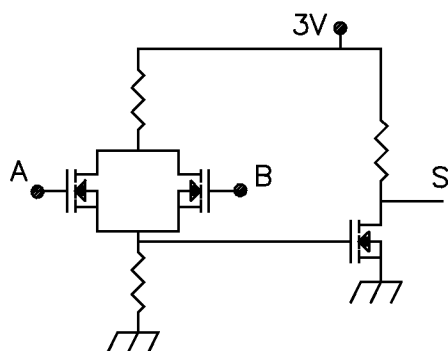
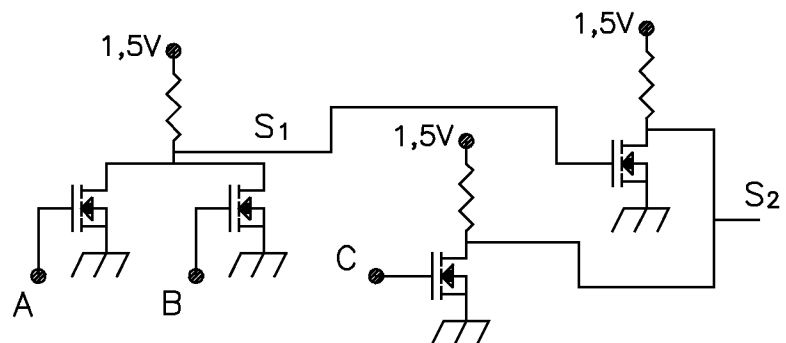
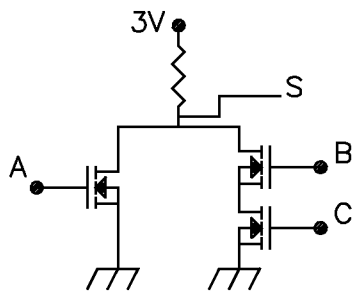
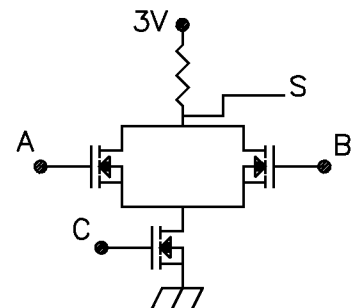
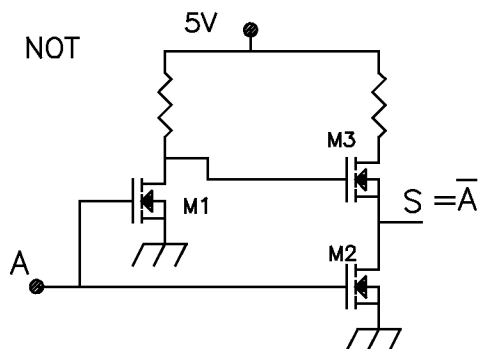


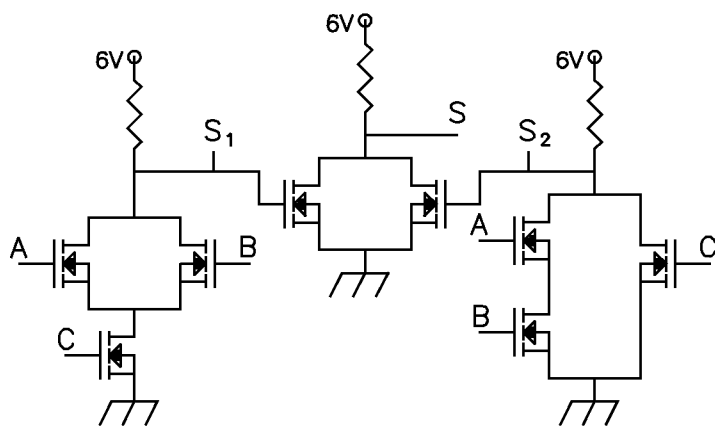
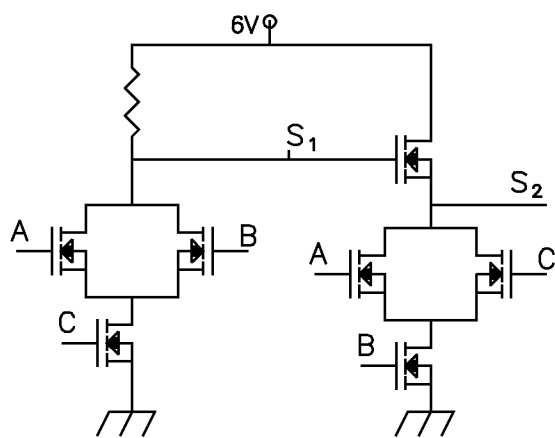
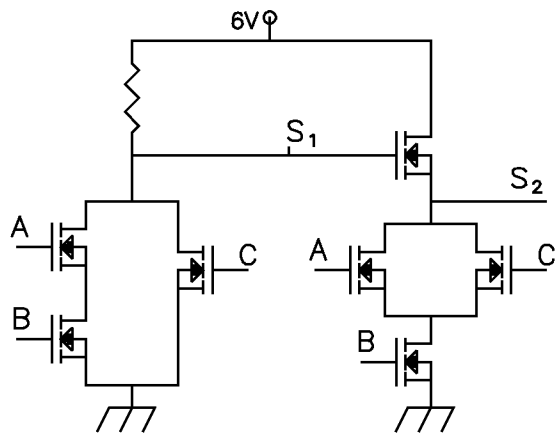
A	B	M ₁	M ₂	M ₃	M ₄	S ₁	S ₂
0	0	OFF	OFF	OFF	OFF	1	0
0	1	OFF	OFF	ON	ON	0	1
1	0	ON	ON	OFF	OFF	0	1
1	1	OFF	ON	OFF	ON	1	0

EQV XOR

EJERCICIOS:

Averiguar la función lógica realizada por las siguientes puertas.

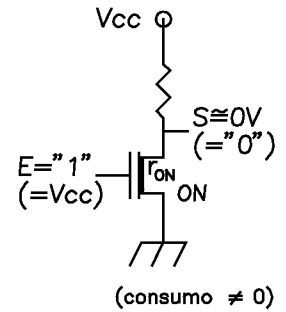
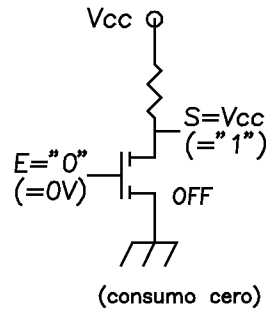
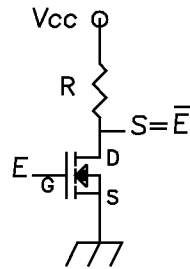




NMOS

MOSFET-CANAL N

NOT



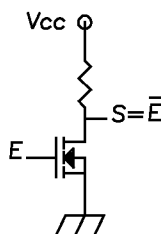
$$[r_{ON} \ll R \text{ y } V_{CC} > V_T]$$

La resistencia en conducción del MOSFET (r_{ON}) debe ser mucho menor que la resistencia R . La alimentación (V_{CC}) debe ser mayor que la tensión umbral del MOSFET (V_T)

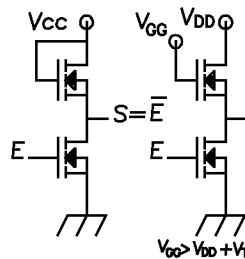
$E = "0"$ ($V_E = 0V$) $\Rightarrow V_{GS} = V_G - V_S = 0V < V_T \Rightarrow$ MOSFET en corte (OFF) $\Rightarrow V_S = V_{CC} \Rightarrow S = "1"$
 $E = "1"$ ($V_E = V_{CC}$) $\Rightarrow V_{GS} = V_{CC} > V_T \Rightarrow$ MOSFET en conducción (ON) $\Rightarrow V_S \approx 0V \Rightarrow S = "0"$

Habitualmente la resistencia R se sustituye por un MOSFET. De esta forma se disminuye el tamaño del circuito. Como resistencia de carga, puede emplearse un MOSFET de enriquecimiento, de empobrecimiento, o bien un MOSFET de canal P (llamado entonces CMOS-Pseudo-NMOS).

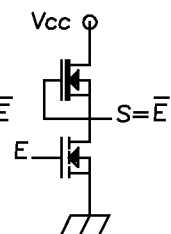
Puerta NOT NMOS con carga:



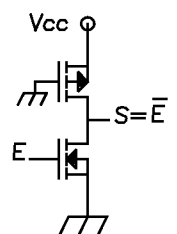
Enriquecimiento



Empobrecimiento

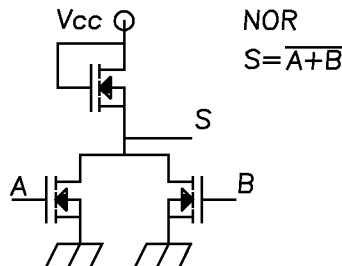


CMOS Pseudo-NMOS



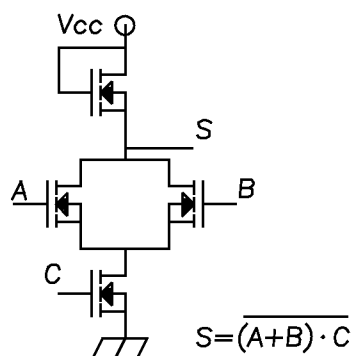
Si una puerta NMOS ha sido bien diseñada:

Entrada "0" a un MOSFET lo pone en corte, y entrada "1" lo pone en conducción.



A	B	S	M _A	M _B
0	0	1	OFF	OFF
0	1	0	OFF	ON
1	0	0	ON	OFF
1	1	0	ON	ON

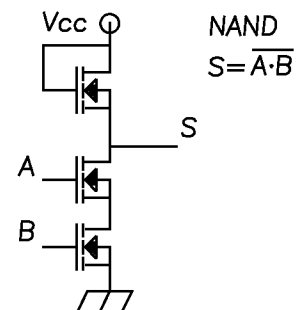
NOR



A	B	S	M _A	M _B
0	0	1	OFF	OFF
0	1	1	OFF	ON*
1	0	1	ON*	OFF
1	1	0	ON	ON

NAND

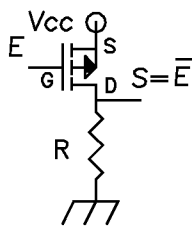
(ON* : En realidad esta en OFF)



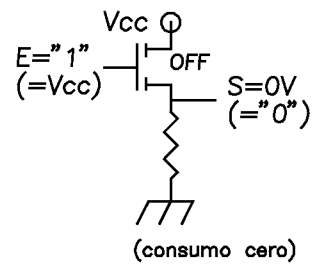
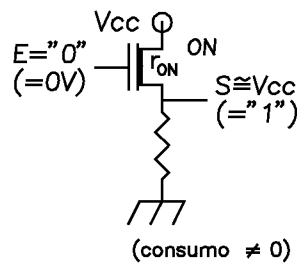
PMOS

MOSFET CANAL P

NOT



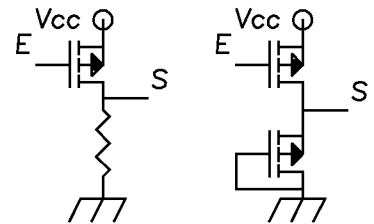
[$r_{ON} < R$ y $V_{CC} > V_T$]



$E = "0"$ ($V_E = 0V$) $\Rightarrow V_{SG} = V_S - V_G = V_{CC} > V_T \Rightarrow$ MOSFET en conducción (ON) $\Rightarrow V_S \cong V_{CC} \Rightarrow S = "1"$

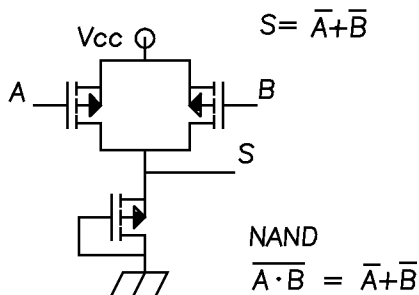
$E = "1"$ ($V_E = V_{CC}$) $\Rightarrow V_{SG} = V_{CC} - V_{CC} = 0V < V_T \Rightarrow$ MOSFET en corte (OFF) $\Rightarrow V_S = 0V \Rightarrow S = "0"$

La resistencia R se sustituye por un MOSFET de canal P en Saturación.



Si una puerta PMOS ha sido bien diseñada:

Entrada "0" a un MOSFET lo pone en conducción, y entrada "1" lo pone en corte.



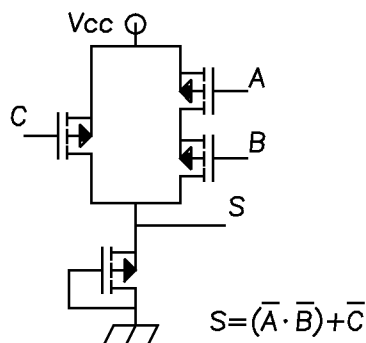
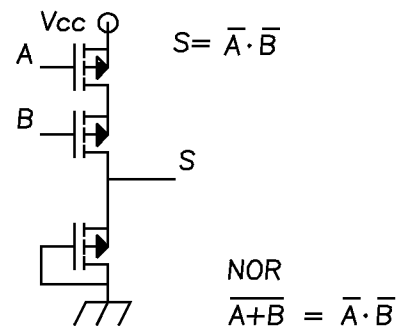
A	B	S	M _A	M _B
0	0	1	ON	ON
0	1	1	ON	OFF
1	0	1	OFF	ON
1	1	0	OFF	OFF

NAND

A	B	S	M _A	M _B
0	0	1	ON	ON
0	1	0	ON*	OFF
1	0	0	OFF	ON*
1	1	0	OFF	OFF

NOR

(ON* : En realidad esta en OFF)



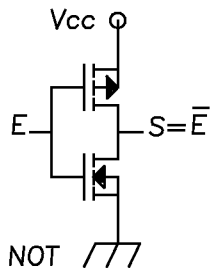
Nota:

Los sustratos de MOSFET de canal N deben conectarse a la tensión más negativa del circuito (a tierra)

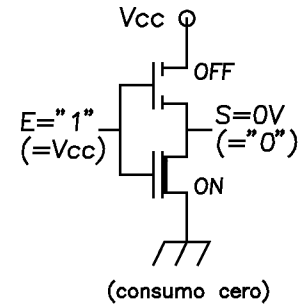
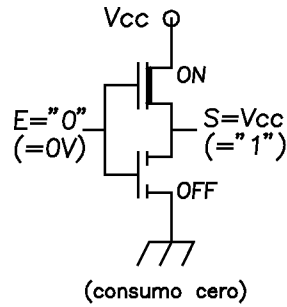
Los sustratos de MOSFET de canal P deben conectarse a la tensión más positiva del circuito (a Vcc)

CMOS

MOSFET-COMPLEMENTARIO

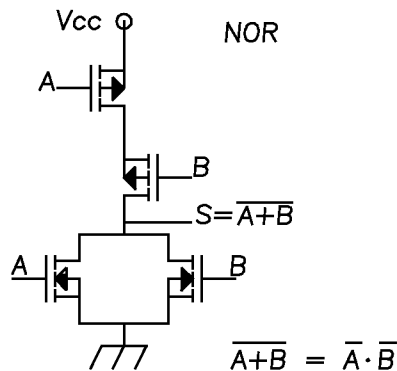


$E = "0"$	$(V_E = 0V) \Rightarrow$	<table><tr><td>MOSFET</td><td>P</td><td>ON</td></tr><tr><td>MOSFET</td><td>N</td><td>OFF</td></tr></table>	MOSFET	P	ON	MOSFET	N	OFF	$\Rightarrow V_S = V_{CC} \Rightarrow S = "1"$
MOSFET	P	ON							
MOSFET	N	OFF							
$E = "1"$	$(V_E = V_{CC}) \Rightarrow$	<table><tr><td>MOSFET</td><td>P</td><td>OFF</td></tr><tr><td>MOSFET</td><td>N</td><td>ON</td></tr></table>	MOSFET	P	OFF	MOSFET	N	ON	$\Rightarrow V_S = 0V \Rightarrow S = "0"$
MOSFET	P	OFF							
MOSFET	N	ON							



- ⊕ Consumo mucho menor que en la NMOS o en la PMOS, y por tanto menor aún que en las familias lógicas bipolares.
- ⊖ Ocupa más espacio en el circuito integrado (especialmente para puertas complejas).

El consumo estático es prácticamente nulo.
El consumo aumenta con la frecuencia de trabajo.

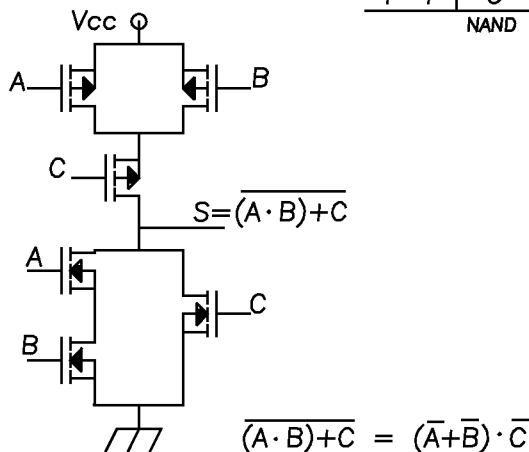
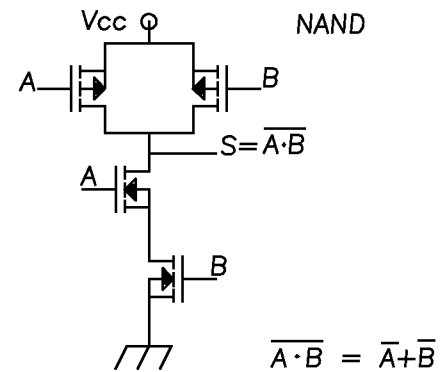


A	B	S	M _{AP}	M _{AN}	M _{BP}	M _{BN}
0	0	1	ON	OFF	ON	OFF
0	1	0	ON	OFF	OFF	ON
1	0	0	OFF	ON	ON	OFF
1	1	0	OFF	ON	OFF	ON

NOR

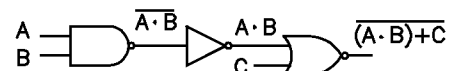
A	B	S	M _{AP}	M _{AN}	M _{BP}	M _{BN}
0	0	1	ON	OFF	ON	OFF
0	1	1	ON	OFF	OFF	ON
1	0	1	OFF	ON	ON	OFF
1	1	0	OFF	ON	OFF	ON

NAND



A	B	C	S	M _{AP}	M _{AN}	M _{BP}	M _{BN}	M _{CP}	M _{CN}
0	0	0	1	ON	OFF	ON	OFF	ON	OFF
0	0	1	0	ON	OFF	ON	OFF	OFF	ON
0	1	0	1	ON	OFF	OFF	ON	ON	OFF
0	1	1	0	ON	OFF	OFF	ON	OFF	ON
1	0	0	1	OFF	ON	ON	OFF	ON	OFF
1	0	1	0	OFF	ON	ON	OFF	OFF	ON
1	1	0	0	OFF	ON	OFF	ON	ON	OFF
1	1	1	0	OFF	ON	OFF	ON	OFF	ON

También se puede realizar la misma función lógica combinando puertas NAND, NOR y NOT de tipo CMOS.



PTL

LOGICA de TRANSISTORES de PASO
(REDES de PASO)

Como conmutadores se utilizan interruptores CMOS.

Por simplicidad, en los esquemas utilizaremos transistores NMOS.

Una puerta PTL que genera una función lógica y su complementario se llama CPL (Lógica de Paso Complementario)

Conmutador NMOS:

"0" \Rightarrow OFF

"1" \Rightarrow ON

A	B	S ₁	S ₂	S ₃	S ₄	S ₅	S ₆
0	0	0	1	0	1	0	1
0	1	0	1	1	0	1	0
1	0	0	1	1	0	1	0
1	1	1	0	1	0	0	1
		AND	NAND	OR	NOR	XOR	EQV

$$S_1 = A B + \bar{A} 0 = A \cdot B$$

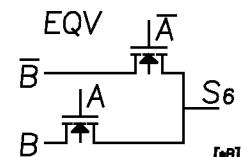
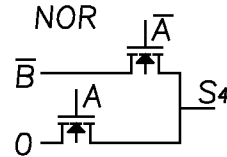
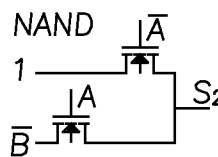
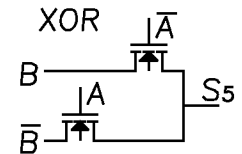
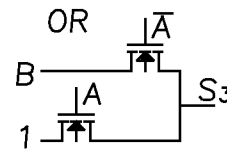
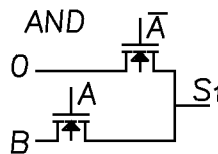
$$S_2 = A \bar{B} + \bar{A} 1 = \overline{A \cdot B}$$

$$S_3 = A 1 + \bar{A} B = A + B$$

$$S_4 = A 0 + \bar{A} \bar{B} = \overline{A + B}$$

$$S_5 = A \bar{B} + \bar{A} B$$

$$S_6 = A B + \bar{A} \bar{B}$$



[*B]

EJEMPLO:

A	B	C	S ₁	S ₂	S ₃	S ₄
0	0	0	0	0	0	0
0	0	1	1	0	0	1
0	1	0	1	0	0	1
0	1	1	1	0	0	0
1	0	0	0	0	0	1
1	0	1	0	1	1	1
1	1	0	1	0	1	1
1	1	1	0	1	1	0

Para conseguir

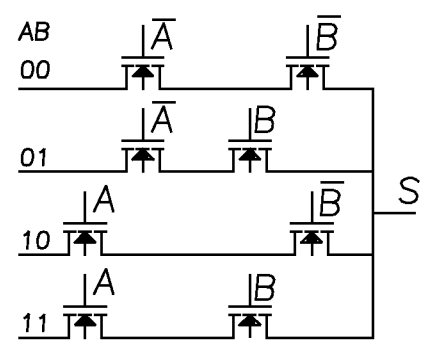
S₁ S₂ S₃
las entradas serán:

C 0 0

1 0 0

0 C C

C C 1



[*B]

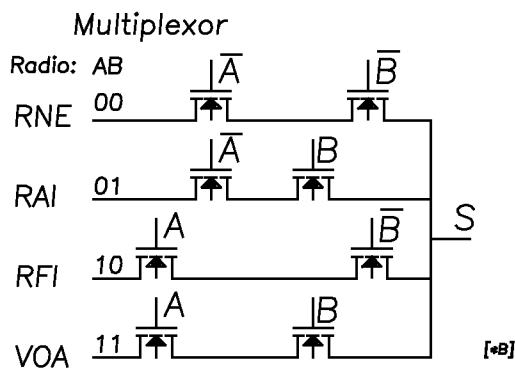
EJERCICIO:

Diseñar circuitos PTL que realicen las funciones lógicas S₁, S₂, S₃ y S₄ con el número mínimo de conmutadores. (Necesitarán 6, 2, 4 y 6 respectivamente.)

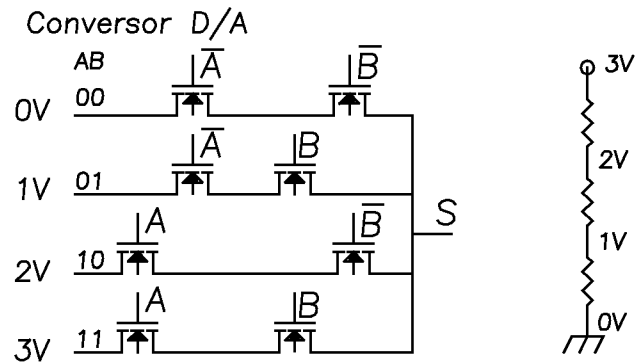
EJEMPLO:

En el siguiente ejemplo se tiene una red de paso en función de multiplexor (izda.) o en función de conversor digital-analógico (dcha.).

En el multiplexor la palabra digital AB selecciona en S uno de los cuatro canales de radio.

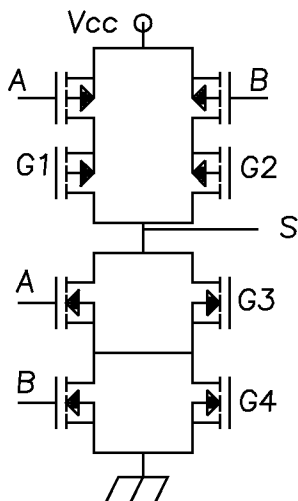


En el conversor D/A la palabra digital AB, proporciona en S, la tensión analógica correspondiente. Las tensiones analógicas se pueden conseguir con un partidor de tensión como el de la figura.



EECMOS

CMOS PROGRAMABLE ELECTRICAMENTE

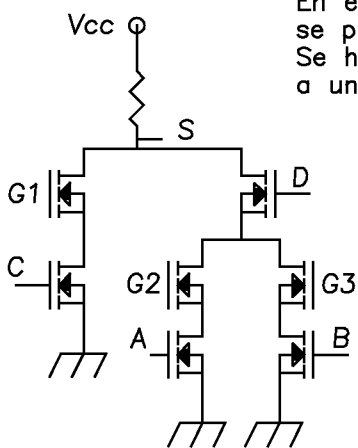


Utiliza transistores Mosfet de puerta flotante (G).

Mediante una inyección de carga puede controlarse de forma permanente el estado de conducción (On/Off) del Mosfet.

Como puede observarse en el ejemplo, según el estado de los transistores G, se realizará en S una función u otra.

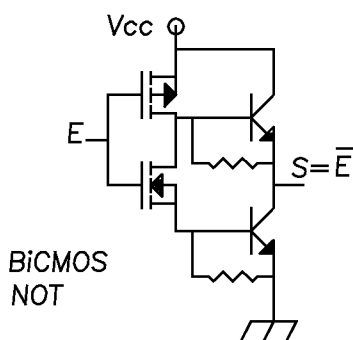
Si	G1	G2	G3	G4	S=
	0	0	0	0	$\overline{A \cdot B}$
	0	1	0	1	\overline{A}
	1	0	1	0	\overline{B}



En este circuito se muestra la variedad de funciones lógicas que se pueden obtener, en función del estado de los transistores G. Se ha elaborado con el mismo método que la EECMOS, pero aplicado a una puerta NMOS (por simplicidad).

G1	G2	G3	S=
0	0	0	1
1	0	0	\overline{C}
0	1	0	$\overline{A \cdot D}$
0	0	1	$\overline{B \cdot D}$
0	1	1	$\overline{D \cdot (A+B)}$
1	0	1	$\overline{C+B \cdot D}$
1	1	0	$\overline{C+D \cdot A}$
1	1	1	$\overline{C+D \cdot (A+B)}$

BiCMOS



En las puertas CMOS, puede modificarse la etapa de salida. Se añaden transistores bipolares que facilitan una carga y descarga más rápida de la capacidad de la siguiente etapa, mientras preservan la baja disipación de potencia en reposo.

CMOS Dinámica

LOGICA de TEMPORIZACION CMOS

Elimina casi la mitad de los transistores (los PMOS) de la familia CMOS estática.

Con CLK=0 ("precarga") C_L se carga a "1".

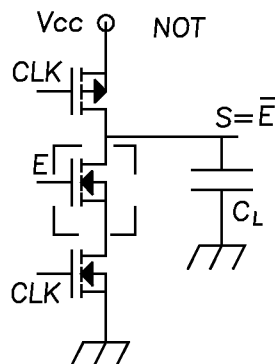
Con CLK=1 se produce la evaluación de la función lógica

VENTAJAS:

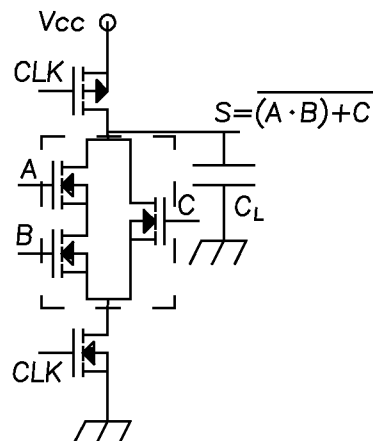
- ⊕ Menor espacio en el circuito integrado
- ⊕ Menor capacidad de entrada \Rightarrow Mayor velocidad
- ⊕ Potencia estática casi nula

INCONVENIENTES:

- ⊖ Necesita circuitería de reloj
- ⊖ Necesita algún añadido frente al circuito de la figura
- ⊖ Necesita "refrescos" periódicos, ya que la carga se fuga por las capacidades parásitas
- ⊖ La corriente de fuga se duplica cada 10°C
- ⊖ Menor robustez que en la CMOS estática

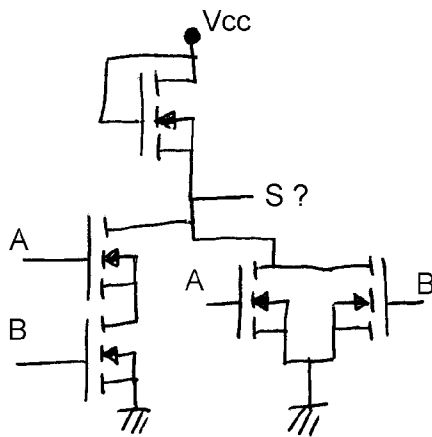


CMOS Dinámica



PROBLEMAS

NMOS, PMOS, CMOS



Es NMOS, ya que por debajo de la salida son transistores N-MOSFET controlados por las variables de entrada, y por encima de la salida es un MOSFET en saturación que hace de resistencia.



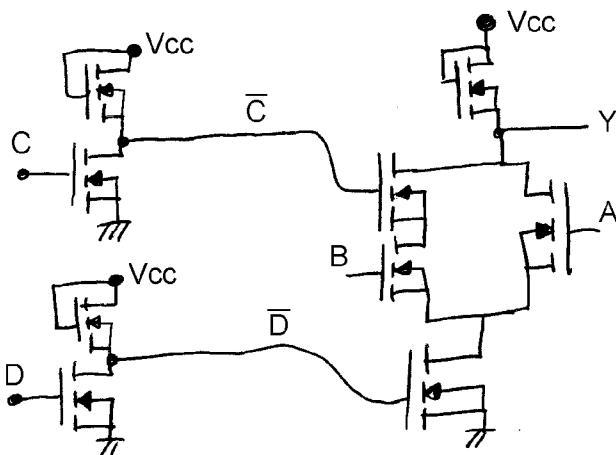
Obtención de la función lógica en S revisando la tabla de verdad, o bien viendo las posibilidades de que S llegue a tierra:

La salida S será 0 (irá a tierra) si:
(A=1 y B=1) o (A=1 o B=1)

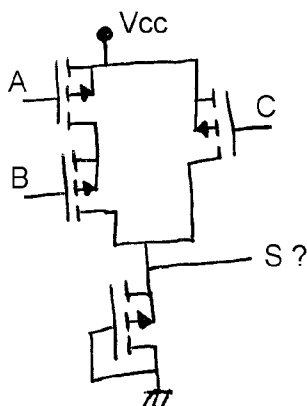
$$S = \overline{(A \cdot B) + (A + B)} = \overline{(A + B)}$$

Diseñar un circuito lógico que realice la función: $Y = [A + (B \cdot \overline{C})] \cdot \overline{D}$

La haré con NMOS ...



Calcular la función lógica S :



Es una puerta PMOS:

Entre la salida y Vcc son transistores PMOS controlados por las entradas.
Entre la salida y tierra un transistor PMOS hace de resistencia de carga.

P-MOSFET ON si le llega a la puerta un "0"

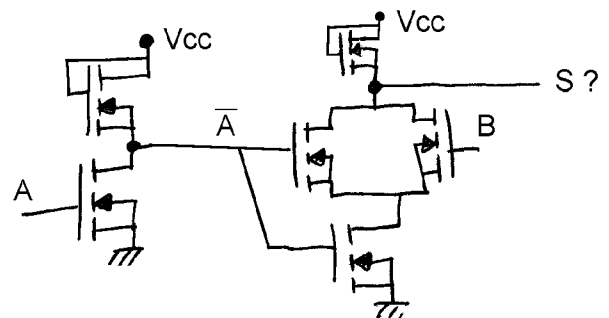
P-MOSFET OFF si le llega a la puerta un "1"

S valdrá "1" (Vcc) si:

(A=0 y B=0) o C=0

$$S = (\overline{A} \cdot \overline{B}) + \overline{C}$$

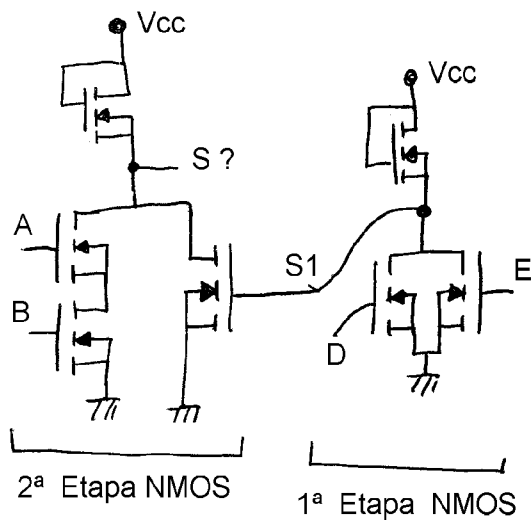
Calcular la función lógica S:



S será cero si:

(Ā=1 o B=1) y Ā=1

$$S = \overline{(\overline{A} + B) \cdot \overline{A}} = A$$



Calcular las funciones lógicas S1 y S

S1 será 0 (tierra) si:

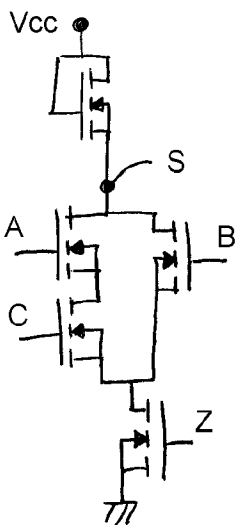
$$[D = 1 \text{ o } E = 1]$$

$$S1 = \overline{[D + E]}$$

S será 0 (tierra) si:

$$\{ (A=1 \text{ y } B=1) \text{ o } S1=1 \}$$

$$S = \overline{A \cdot B + S1} = \overline{A \cdot B + [D + E]}$$



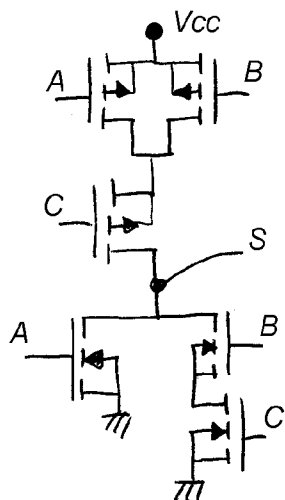
Calcular S (A, B, C y Z entradas)

S será 0 si:

$$[(A=1 \text{ y } C=1) \text{ o } B=1] \text{ y } Z=1$$

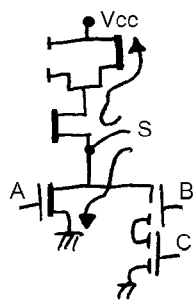
$$S = \overline{[A \cdot C + B] \cdot Z}$$

Calcular la función lógica S:



No es una puerta CMOS, ni NMOS, ni PMOS
por tanto, hay que revisar todos los casos de la tabla de verdad

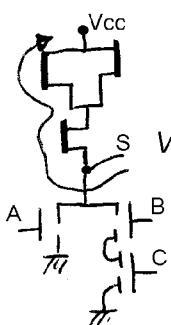
$ABC=100 \rightarrow$



En este caso S está conectado a Vcc y a tierra simultáneamente
Por tanto, el valor de S dependerá de la resistencia en conducción de los transistores.

No se puede saber a priori, el valor de la tensión de salida.

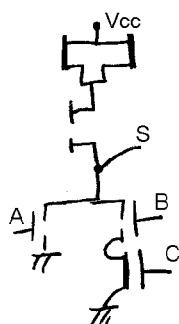
$ABC=000$



S conectada a Vcc

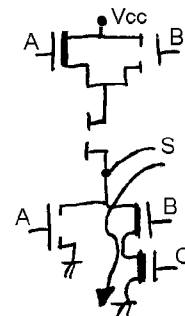
$$Vs = Vcc \Rightarrow S = "1"$$

$ABC=001$



S no tiene camino ni a Vcc ni a tierra,
S está desconectada,
S está en circuito abierto.

$ABC=011$



S conectada a tierra

$$Vs = 0V \Rightarrow S = "0"$$