2º curso / 2º cuatr. Grado en Ing. Informática

Arquitectura de Computadores Tema 3

Arquitecturas con paralelismo a nivel de thread (TLP)

Material elaborado por los profesores responsables de la asignatura: Mancia Anguita - Julio Ortega

Licencia Creative Commons © ① © ②









Lecciones

AC MATC

- Lección 7. Arquitecturas TLP
- Lección 8. Coherencia del sistema de memoria
 - Sistema de memoria en multiprocesadores
 - Concepto de coherencia en el sistema de memoria: situaciones de incoherencia y requisitos para evitar problemas en estos casos
 - Protocolos de mantenimiento de coherencia: clasificación y diseño
 - > Protocolo MSI de espionaje
 - Protocolo MESI de espionaje
 - Protocolo MSI basado en directorios con o sin difusión
- Lección 9. Consistencia del sistema de memoria
- Lección 10. Sincronización

Objetivos Lección 8

AC STATE

- Comparar los métodos de actualización de memoria principal implementados en cache.
- Comparar las alternativas para propagar un escritura en protocolos de coherencia de cache.
- Explicar qué debe garantizar el sistema de memoria para evitar problemas por incoherencias.
- Describir las partes en las que se puede dividir el análisis o el diseño de protocolos de coherencia.
- Distinguir entre protocolos basados en directorios y protocolos de espionaje (snoopy).
- Explicar el protocolo de mantenimiento de coherencia de espionaje MSI.
- Explicar el protocolo de mantenimiento de coherencia de espionaje MESI.
- Explicar el protocolo de mantenimiento de coherencia MSI basado en directorios con difusión y sin difusión.

Bibliografía Lección 8

AC A PTC

Fundamental

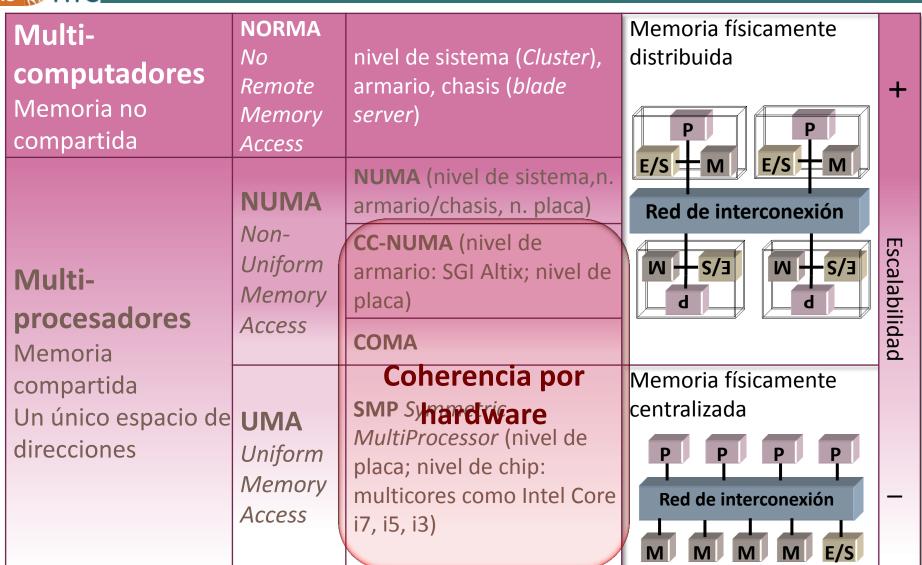
> Secc. 10.1. J. Ortega, M. Anguita, A. Prieto. *Arquitectura de Computadores*. Thomson, 2005. ESII/C.1 ORT arq

Complementaria

➤ T. Rauber, G. Ründer. *Parallel Programming: for Multicore and Cluster Systems*. Springer 2010. Disponible en línea (biblioteca UGR): http://dx.doi.org/10.1007/978-3-642-04818-0

Computadores que implementan en hardware mantenimiento de coherencia

AC MATC



Contenido Lección 8

AC A PIC

- > Sistema de memoria en multiprocesadores
- Concepto de coherencia en el sistema de memoria: situaciones de incoherencia y requisitos para evitar problemas en estos casos
- Protocolos de mantenimiento de coherencia: clasificación y diseño
- Protocolo MSI de espionaje
- Protocolo MESI de espionaje
- > Protocolo MSI basado en directorios con o sin difusión

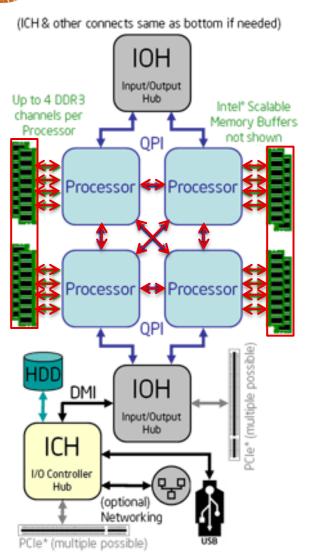
Sistema de memoria en multiprocesadores

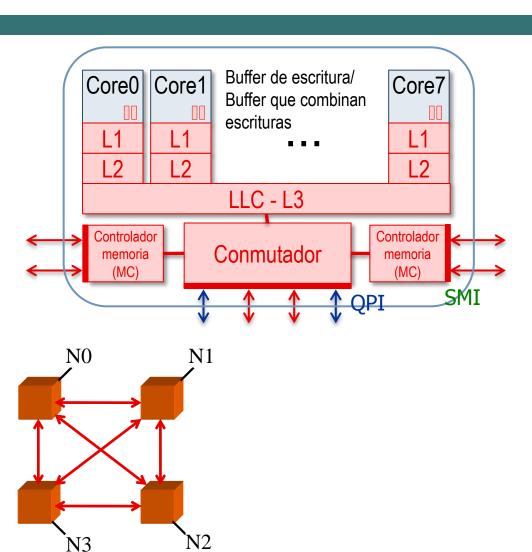
AC MATC

- ¿Qué incluye?
 - > Caches de todos los nodos
 - Memoria principal
 - > Controladores
 - > Buffers:
 - Buffer de escritura/almacenamiento
 - Buffer que combinan escrituras/almacenamientos, etc.
 - Medio de comunicación de todos estos componentes (red de interconexión)
- La comunicación de datos entre procesadores la realiza el sistema de memoria
 - La lectura de una dirección debe devolver lo último que se ha escrito (desde el punto de vista de todos los componentes del sistema)

Sistema de memoria







Contenido Lección 8

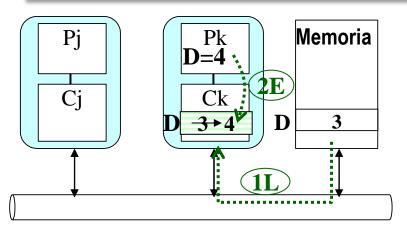
AC A PIC

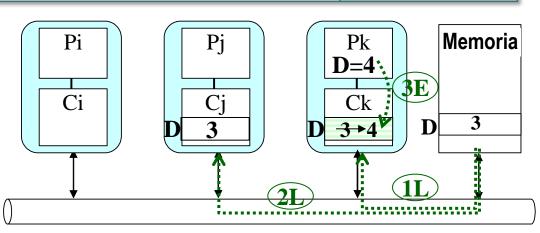
- Sistema de memoria en multiprocesadores
- Concepto de coherencia en el sistema de memoria: situaciones de incoherencia y requisitos para evitar problemas en estos casos
- Protocolos de mantenimiento de coherencia: clasificación y diseño
- Protocolo MSI de espionaje
- Protocolo MESI de espionaje
- > Protocolo MSI basado en directorios con o sin difusión

Incoherencia en el sistema de memoria

AC N PTC

| Clases de estructuras de datos | Causa de problemas por falta de coherencia | Falta de coherencia |
|--------------------------------|--|---------------------|
| Datos modificables | E/S | Cache-MP |
| Datos modificables compartidos | Fallo de cache | Cache-MP |
| Datos modificables privados | Emigra proceso→Fallo cache | Cache-MP |
| Datos modificables compartidos | Lectura de cache no actualizada | Cache-Cache |

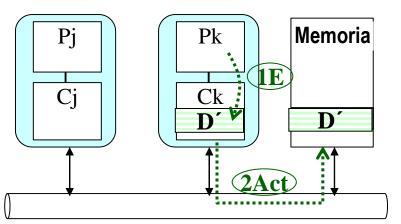




Métodos de actualización de memoria principal implementados en caches

AC MATC

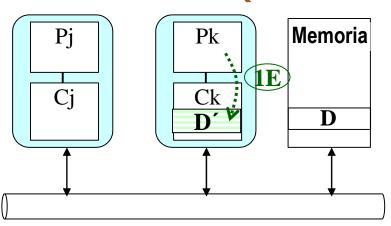
1. Escritura inmediata (write-through):



Cada vez que un procesador escribe en su cache escribe también en memoria principal

Por los principios de localidad temporal y espacial sería más rentable si se escribe todo el bloque una vez realizadas múltiples escrituras

2. Posescritura (write-back):

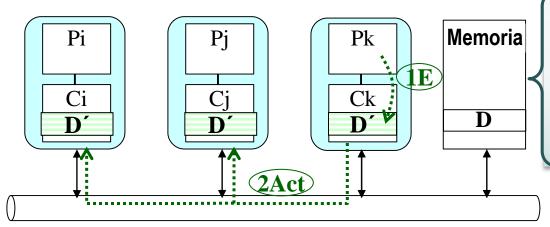


Se actualiza memoria principal escribiendo todo el bloque cuando se **desaloja** de la cache

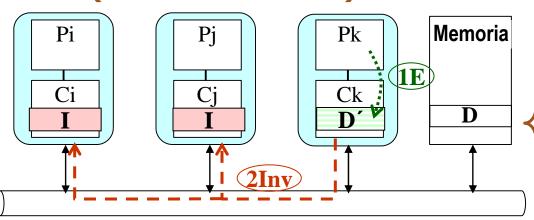
Alternativas para propagar una escritura en protocolos de coherencia de cache

AC A PIC

1. Escritura con actualización (write-update):



2. Escritura con invalidación (write-invalidate):

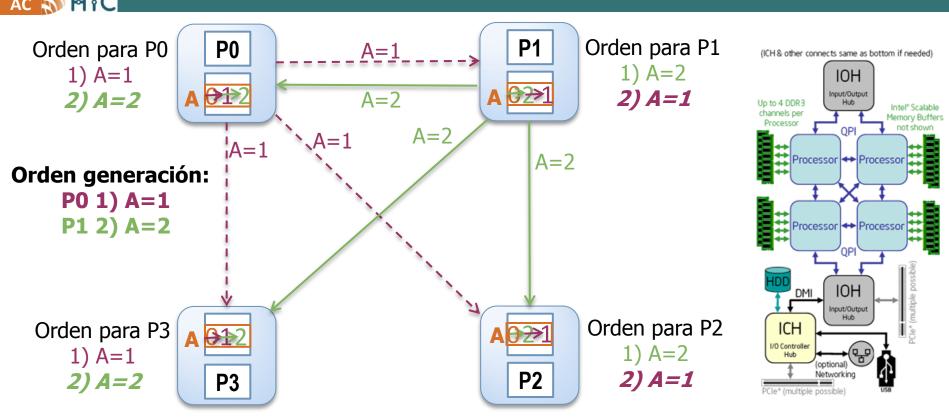


Cada vez que un procesador escribe en una dirección en su cache se escribe en las copias de esa dirección en otras caches

Para reducir tráfico, sobre todo si los datos están compartidos por pocos procesadores

Antes que un procesador modifique una dirección en su cache se invalidan las copias del bloque de la dirección en otras caches

Situación de incoherencia aunque se propagan las escrituras (usa difusión)



- Contenido inicial de las copias de la dirección A en calabaza. PO escribe en A un 1 y, después, P1 escribe en A un 2.
- > Se utiliza actualización para propagar las escrituras (las propagación se nota con flechas)
- Llegan en distingo orden las escrituras debido al distinto tiempo de propagación (se está suponiendo que los Proc. están ubicados en la placa tal y como aparecen en el dibujo). En *cursiva* se puede ver el contenido de las copias de la dirección A tras las dos escrituras.
 - > Se da una situación de incoherencia aunque se propagan las escrituras: PO y P3 acaban con 2 en A y P1 y P2 con 1.

Requisitos del sistema de memoria para evitar problemas por incoherencia l

AC A PTC

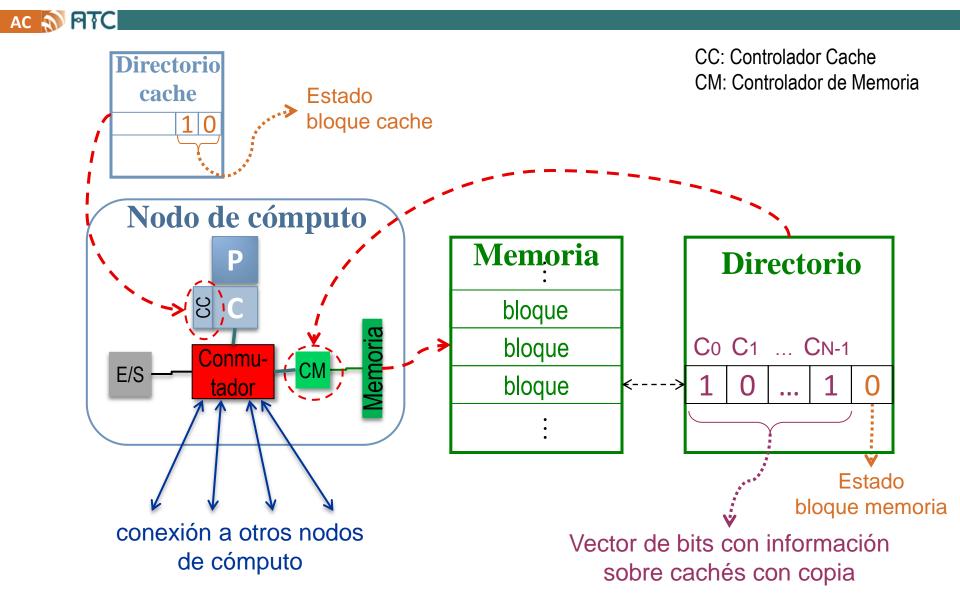
- Propagar las escrituras en una dirección
 - La escritura en una dirección debe hacerse visible en un tiempo finito a otros procesadores
 - > Componentes conectados con un bus:
 - Los paquetes de actualización/invalidación son visibles a todos los nodos conectados al bus (controladores de cache)
- Serializar las escrituras en una dirección
 - Las escrituras en una dirección deben verse en el mismo orden por todos los procesadores (el sistema de memoria debe parecer que realiza en serie las operaciones de escritura en la misma dirección)
 - > Componentes conectados con un bus:
 - El orden en que los paquetes aparecen en el bus determina el orden en que se ven por todos los nodos.

Requisitos del SM para evitar problemas por incoherencia II: la red no es un bus

AC MATC

- Propagar escrituras en una dirección
 - > Usando difusión:
 - Los paquetes de actualización/invalidación se envían a todas las caches
 - Para conseguir mayor escalabilidad:
 - Se debería enviar paquetes de actualización/invalidación sólo a caches (nodos) con copia del bloque
 - Mantener en un directorio, para cada bloque, los nodos con copia del mismo
- Serializar escrituras en una dirección
 - ➤ El orden en el que las peticiones de escritura llegan a su *home* (nodo que tiene en MP la dirección) o al directorio centralizado sirve para serializar en sistemas de comunicación que garantizan el orden en las trasferencias entre dos puntos

Directorio de memoria principal



Alternativas para implementar el directorio

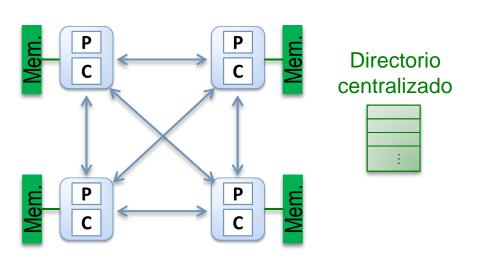


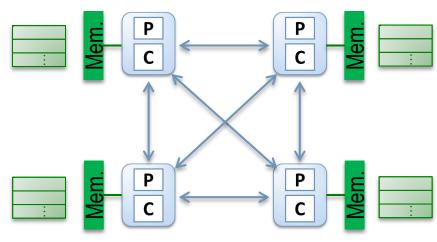
Centralizado

- Compartido por todos los nodos
- Contiene información de los bloques de todos los módulos de memoria

Distribuido

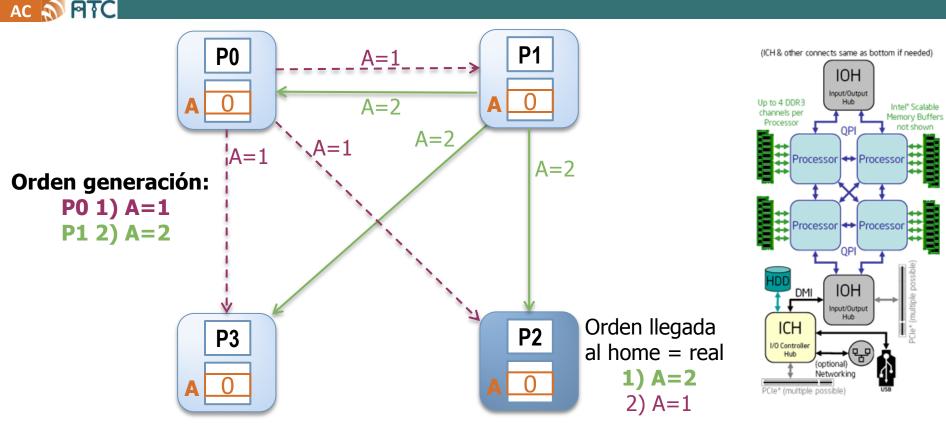
- Las filas se distribuyen entre los nodos
- Típicamente el directorio de un nodo contiene información de los bloques de sus módulos de memoria





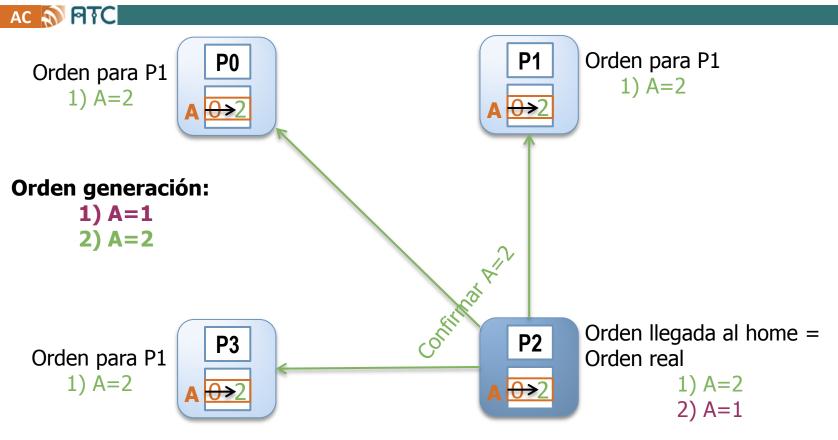
Directorios distribuidos

Serialización de las escrituras por el home. Usando difusión l



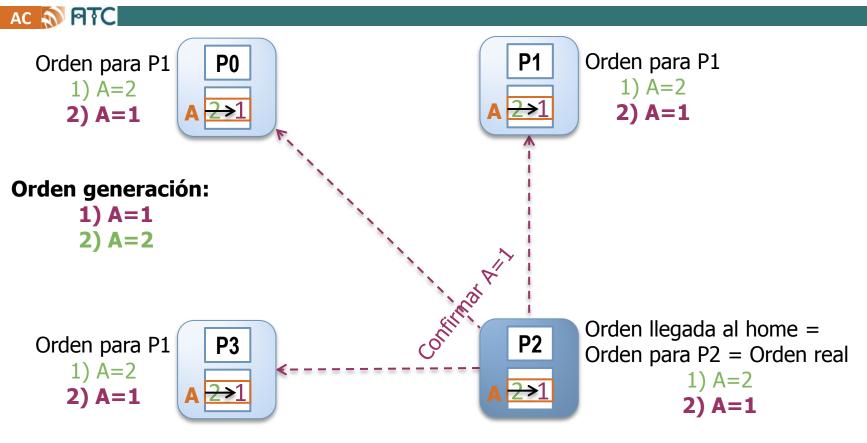
- Contenido inicial de las copias de la dirección A en calabaza. PO escribe en A un 1 y, después, P1 escribe en A un 2.
- Se utiliza actualización para propagar las escrituras (las propagación se nota con flechas)
- El orden de llegada al home es el orden real para todos

Serialización de las escrituras por el home. Usando difusión II



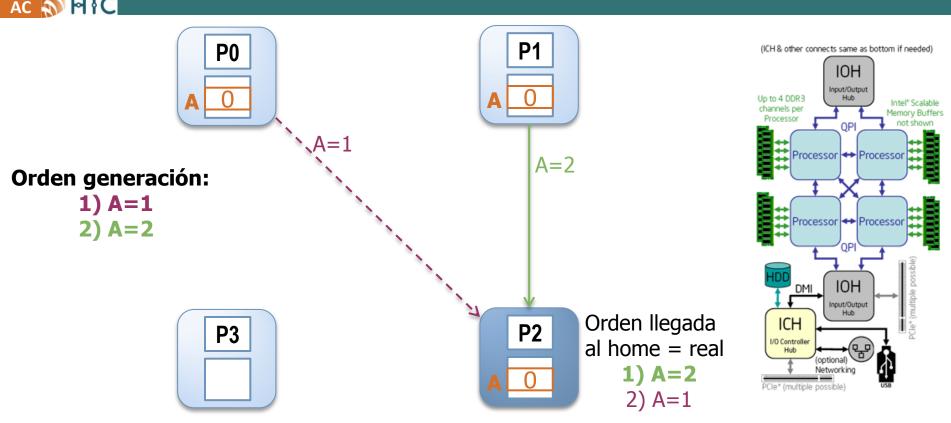
- Contenido inicial de las copias de la dirección A en calabaza
- Se utiliza actualización para propagar las escrituras (las propagación se nota con flechas)

Serialización de las escrituras por el home. Usando difusión III



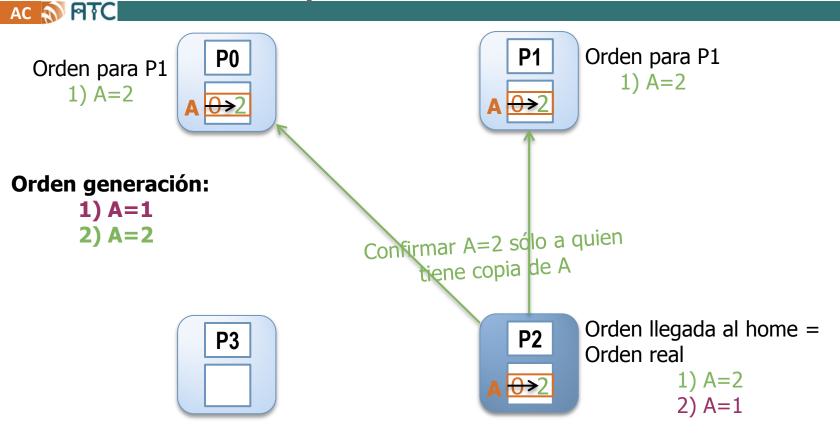
Se utiliza actualización para propagar las escrituras (las propagación se nota con flechas)

Serialización de las escrituras por el home. Sin difusión y con directorio distribuido l



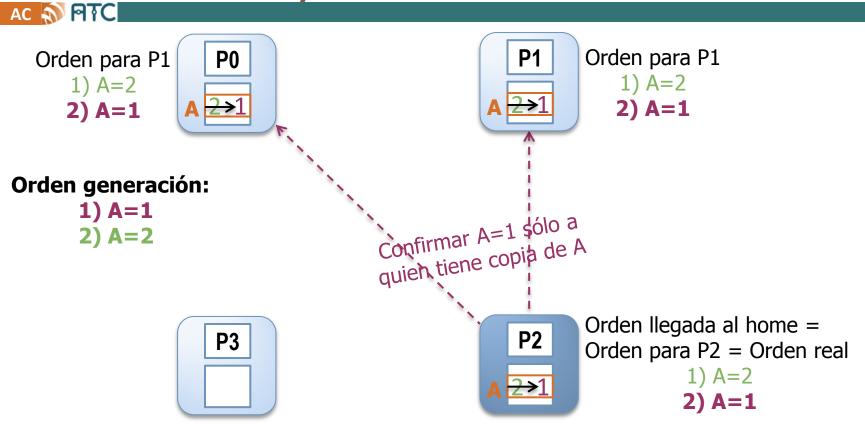
- Contenido inicial de las copias de la dirección A en calabaza. PO escribe en A un 1 y, después, P1 escribe en A un 2.
- Se utiliza actualización para propagar las escrituras (las propagación se nota con flechas)
- El orden de llegada al home es el orden real para todos

Serialización de las escrituras por el home. Sin difusión y con directorio distribuido II



- Contenido inicial de las copias de la dirección A en calabaza
- Se utiliza actualización para propagar las escrituras (las propagación se nota con flechas)

Serialización de las escrituras por el home. Sin difusión y con directorio distribuido III



Se utiliza actualización para propagar las escrituras (las propagación se nota con flechas)

Contenido Lección 8

AC A PIC

- Sistema de memoria en multiprocesadores
- Concepto de coherencia en el sistema de memoria: situaciones de incoherencia y requisitos para evitar problemas en estos casos
- Protocolos de mantenimiento de coherencia: clasificación y diseño
- Protocolo MSI de espionaje
- Protocolo MESI de espionaje
- Protocolo MSI basado en directorios con o sin difusión

Clasificación de protocolos para mantener coherencia en el sistema de memoria

AC A PTC

- Protocolos de espionaje (snoopy)
 - > Para buses, y en general sistemas con una difusión eficiente (bien porque el número de nodos es pequeño o porque la red implementa difusión).
- > Protocolos basados en directorios.
 - > Para redes sin difusión o escalables (multietapa y estáticas).
- > Esquemas jerárquicos.
 - > Para redes jerárquicas: jerarquía de buses, jerarquía de redes escalables, redes escalables-buses.

Facetas de diseño lógico en protocolos para coherencia

AC A PIC

- Política de actualización de MP:
 - > escritura inmediata, posescritura, mixta
- Política de coherencia entre caches:
 - > escritura con invalidación, escritura con actualización, mixta
- Describir comportamiento:
 - > Definir posibles estados de los bloques en cache, y en memoria
 - Definir transferencias (indicando nodos que intervienen y orden entre ellas) a generar ante eventos:
 - lecturas/escrituras del procesador del nodo
 - como consecuencia de la llegada de paquetes de otros nodos.
 - Definir transiciones de estados para un bloque en cache, y en memoria

Contenido Lección 8

AC A PIC

- Sistema de memoria en multiprocesadores
- Concepto de coherencia en el sistema de memoria: situaciones de incoherencia y requisitos para evitar problemas en estos casos
- Protocolos de mantenimiento de coherencia: clasificación y diseño
- Protocolo MSI de espionaje
- Protocolo MESI de espionaje
- Protocolo MSI basado en directorios con o sin difusión

Protocolo de espionaje de tres estados (MSI) – posescritura e invalidación

- AC MATC
- > Estados de un bloque en cache:
 - Modificado (M): es la única copia del bloque válida en todo el sistema
 - Compartido (C,S): está válido, también válido en memoria y puede que haya copia válida en otras caches
 - > Inválido (I): se ha invalidado o no está físicamente
- Estados de un bloque en memoria (en realidad se evita almacenar esta información):
 - > Válido: puede haber copia válida en una o varias caches
 - > Inválido: habrá copia valida en una cache

Protocolo de espionaje de tres estados (MSI) – posescritura e invalidación

- AC A PTC
- Transferencias generadas por un nodo con cache (tipos de paquetes):
 - Petición de lectura de un bloque (PtLec): por lectura con fallo de cache del procesador del nodo (PrLec)
 - Petición de acceso exclusivo (PtLecEx): por escritura del procesador (PrEsc) en bloque compartido o inválido
 - Petición de posescritura (PtPEsc): por el reemplazo del bloque modificado (el procesador del nodo no espera respuesta)
 - Respuesta con bloque (RpBloque): al tener en estado modificado el bloque solicitado por una PtLec o PtLecEx recibida

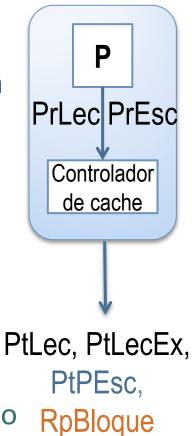
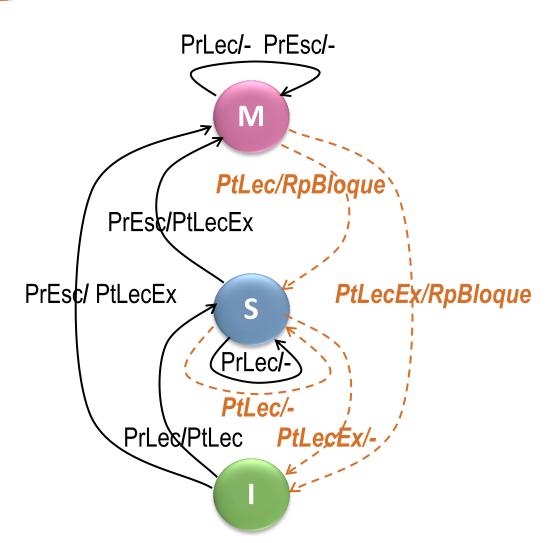


Diagrama MSI de transiciones de estados





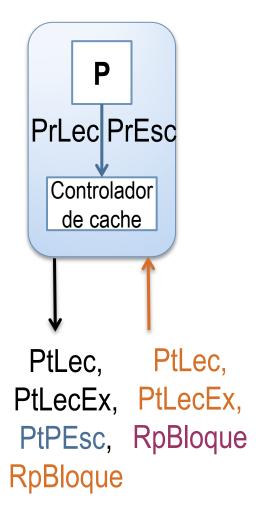
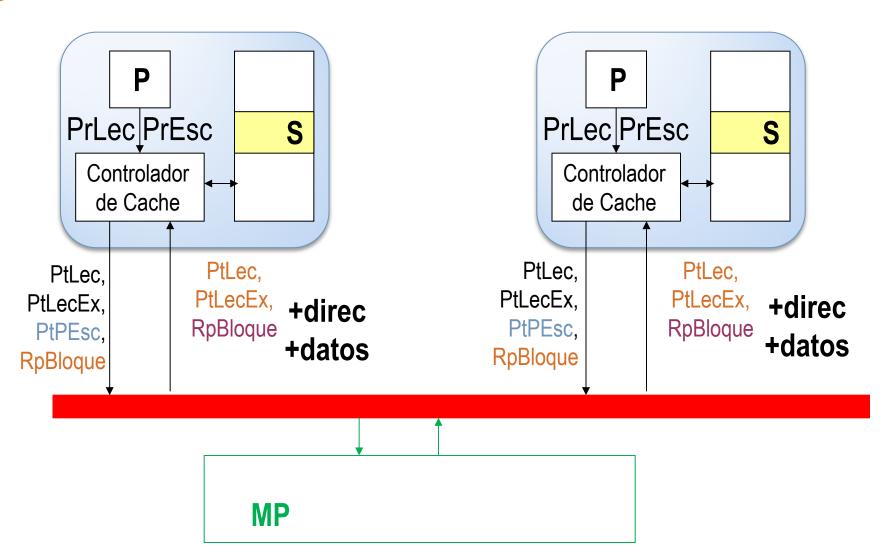


Tabla de descripción de MSI

| AC DIFFC | | | |
|-------------------|---------------|--|------------|
| EST. ACT. | EVENTO | ACCIÓN | SIGUIENTE |
| Modificado (M) | PrLec/PrEsc | | Modificado |
| | PtLec | Genera paquete respuesta (RpBloque) | Compartido |
| | PtLecEx | Genera paquete respuesta (RpBloque) Invalida copia local | Inválido |
| | Reemplazo | Genera paquete posescritura (PtPEsc) | Inválido |
| Compart. (S) | PrLec | | Compartido |
| | PrEsc | Genera paquete PtLecEx | Modificado |
| | PtLec | | Compartido |
| | PtLecEx | Invalida copia local | Inválido |
| Inválido (I) | PrLec | Genera paquete PtLec | Compartido |
| | PrEsc | Genera paquete PtLecEx | Modificado |
| | PtLec/PtLecEx | | Inválido |

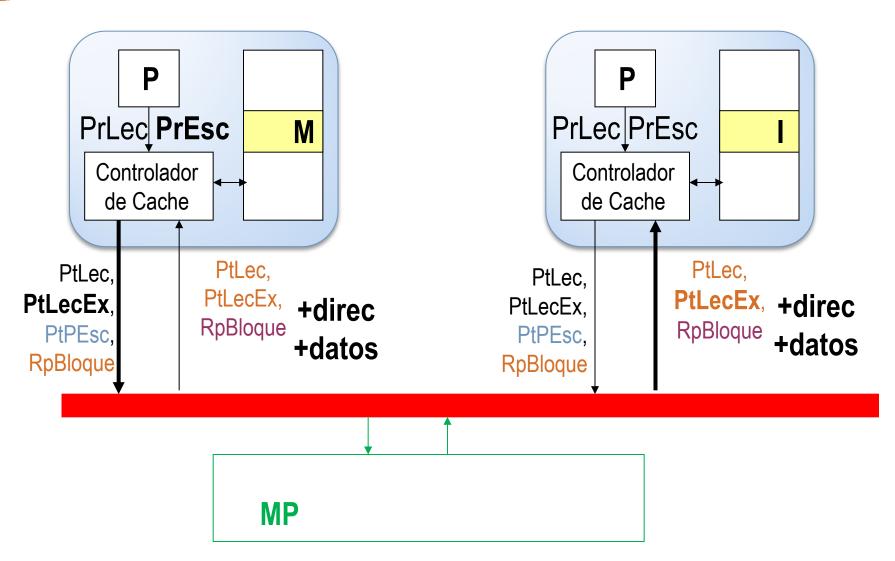
Ejemplo MSI I





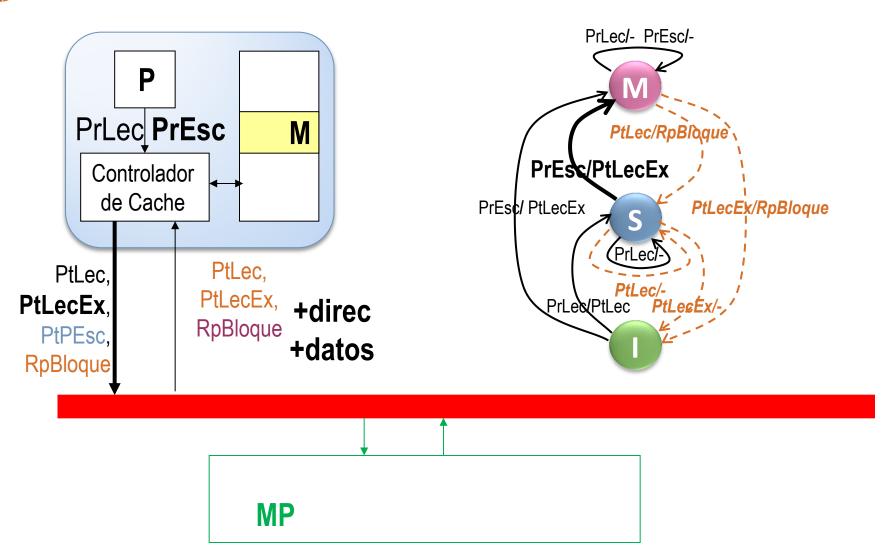
Ejemplo MSI II





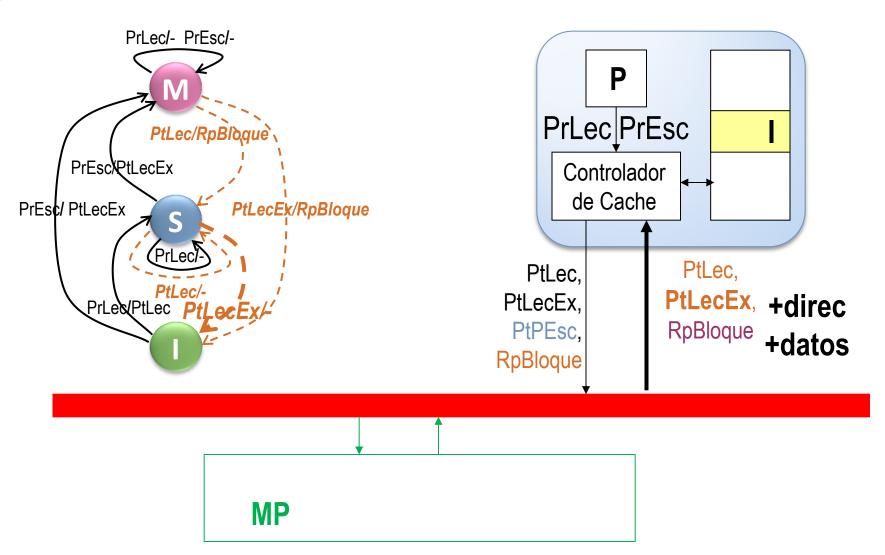
Ejemplo MSI III





Ejemplo MSI IV





Contenido Lección 8

AC A PIC

- Sistema de memoria en multiprocesadores
- Concepto de coherencia en el sistema de memoria: situaciones de incoherencia y requisitos para evitar problemas en estos casos
- Protocolos de mantenimiento de coherencia: clasificación y diseño
- Protocolo MSI de espionaje
- Protocolo MESI de espionaje
- > Protocolo MSI basado en directorios con o sin difusión

Protocolo de espionaje de cuatro estados (MESI) – posescritura e invalidación

AC A PTC

- Estados de un bloque en cache:
 - Modificado (M):es la única copia del bloque válida en todo el sistema
 - > Exclusivo (E): es la única copia de bloque válida en caches, la memoria también está actualizada
 - Compartido (C,Shared): es válido, también válido en memoria y en al menos otra cache
 - > Inválido (I): se ha invalidado o no está físicamente
- > Estados de un bloque en memoria(en realidad se evita almacenar esta información):
 - > Válido: puede haber copia válida en una o varias caches
 - > Inválido: habrá copia valida en una cache

Diagrama MESI de transiciones de estados

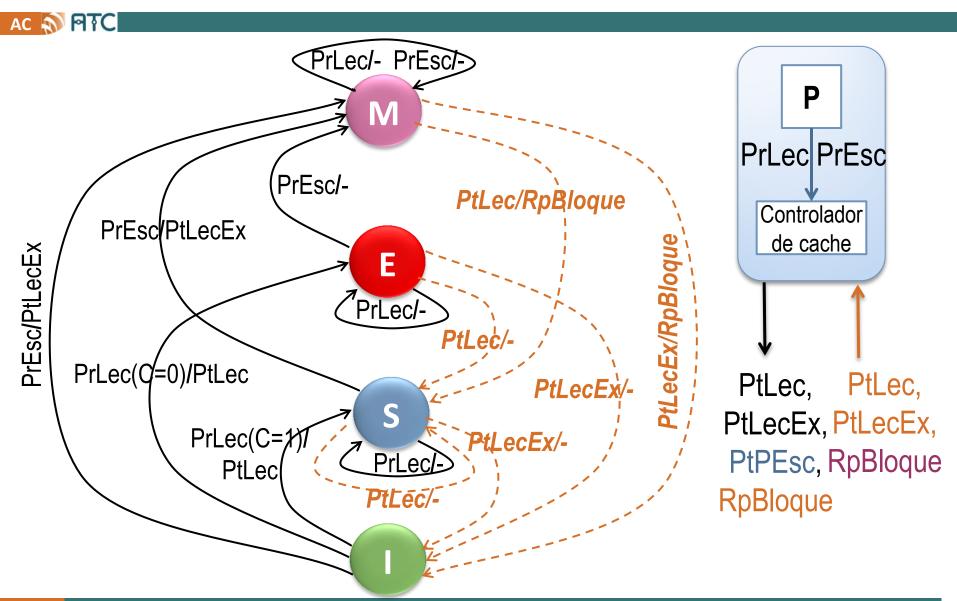


Tabla de descripción de MESI

| ● NATC | | | |
|----------------|---------------|---------------------------------------|------------|
| | PrLec/PrEsc | | Modificado |
| NA 1161 1 (NA) | PtLec | Genera RpBloque | Compartido |
| Modificado (M) | PtLecEx | Genera RpBloque. Invalida copia local | Inválido |
| | Reemplazo | Genera PtPEsc | Inválido |
| | PrLec | | Exclusivo |
| Eveluein (F) | PrEsc | | Modifieado |
| Exclusivo (E) | PtLec | | Compartido |
| | PtLecEx | Invalida copia local | Inválido |
| | PrLec/PtLec | | Compartido |
| Compartido (S) | PrEsc | Genera PtLecEx | Modificado |
| | PtLecEx | Invalida copia local | Inválido |
| | PrLec (C=1) | Genera PtLec | Compartido |
| Inválido (I) | PrLec (C=0) | Genera PtLec | Exclusivo |
| | PrEsc | Genera PtLecEx | Modificado |
| | PtLec/PtLecEx | | Inválido |

Contenido Lección 8

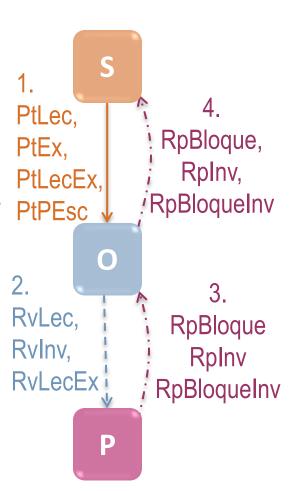
AC A PIC

- Sistema de memoria en multiprocesadores
- Concepto de coherencia en el sistema de memoria: situaciones de incoherencia y requisitos para evitar problemas en estos casos
- Protocolos de mantenimiento de coherencia: clasificación y diseño
- Protocolo MSI de espionaje
- Protocolo MESI de espionaje
- > Protocolo MSI basado en directorios con o sin difusión

MSI con directorios (sin difusión) I

AC MATC

- > Estados de un bloque en cache:
 - Modificado (M), Compartido (C), Inválido (I)
- Estados de un bloque en MP:
 - Válido e inválido
- Transferencias (tipos de paquetes) :
 - > Tipos de nodos: solicitante (S), origen (O), modificado (M), propietario (P) y compartidor (C)
 - > Petición de
 - nodo S a O: lectura de un bloque (PtLec), lectura con acceso exclusivo (PtLecEx), petición de acceso exclusivo sin lectura (PtEx), posescritura (PtPEsc)
 - > Reenvío de petición de
 - nodo O a nodos con copia (P, M, C): invalidación (RvInv), lectura (RvLec, RvLecEx).
 - Respuesta de
 - nodo P a O: respuesta con bloque (RpBloque), resp. con o sin bloque confirmando fin inv. (RpInv, RpBloqueInv)
 - nodo O a S: resp. con bloque (RpBloque), resp. con o sin bloque confirmando fin inv. (RpInv, RpBloqueInv)

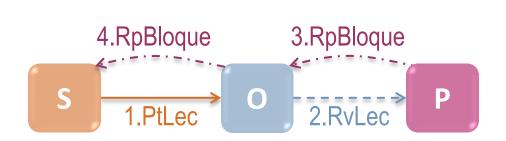


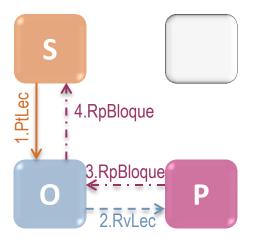
MSI con directorios (sin difusión) II

AC SPIC

| Estado inicial | Evento | Estado final |
|----------------|------------------|---------------|
| D) Inválido | Fallo de lectura | D) Válido |
| S) Inválido | | S) Compartido |
| P) Modificado | | P) Compartido |
| Acceso remoto | | |

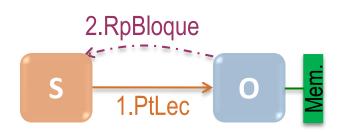
Ejemplo con 4 nodos:

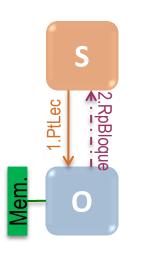




MSI con directorios (sin difusión) III

| Estado inicial | Evento | Estado final |
|----------------|------------------|---------------|
| D) Válido | Fallo de lectura | D) Válido |
| S) Inválido | | S) Compartido |
| P) Compartido | | P) Compartido |
| Acceso remoto | | |



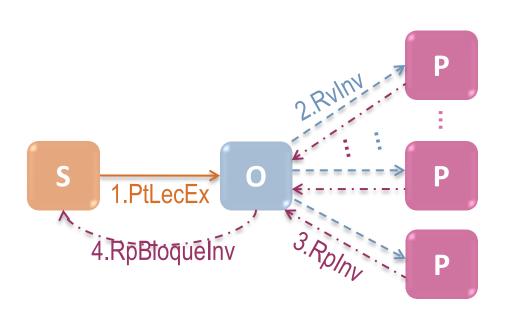


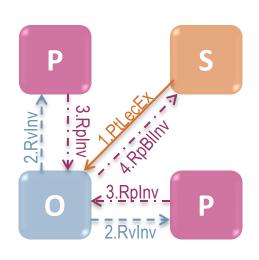




MSI con directorios (sin difusión) IV

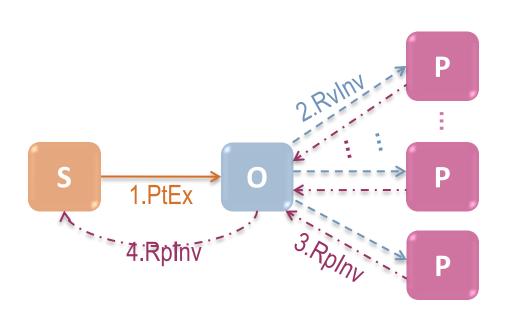
| Estado inicial | Evento | Estado final |
|----------------|--------------------|---------------|
| D) Válido | Fallo de escritura | D) Inválido |
| S) Inválido | | S) Modificado |
| P) Compartido | | P) Inválido |
| Acceso remoto | | |

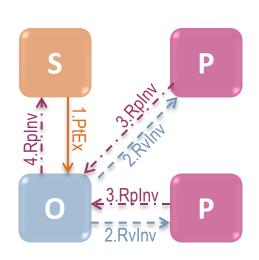




MSI con directorios (sin difusión) V

| Estado inicial | Evento | Estado final |
|----------------|--------------------|---------------|
| D) Válido | Fallo de escritura | D) Inválido |
| S) Compartido | | S) Modificado |
| P) Compartido | | P) Inválido |
| Acceso remoto | | |

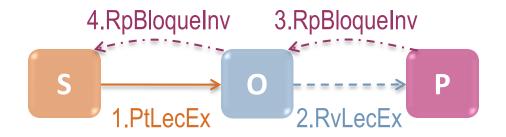


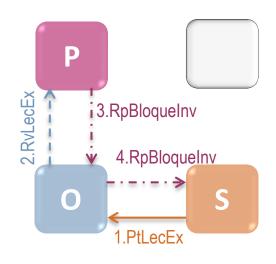


MSI con directorios (sin difusión) VI

AC A PTC

| Estado inicial | Evento | Estado final |
|----------------|--------------------|---------------|
| D) Inválido | Fallo de escritura | D) Inválido |
| S) Inválido | | S) Modificado |
| P) Modificado | | P) Inválido |
| Acceso remoto | | |

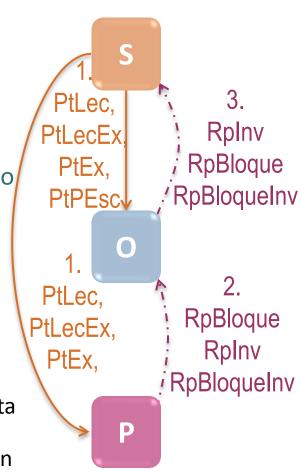




MSI con directorios (con difusión) I

AC SO PIC

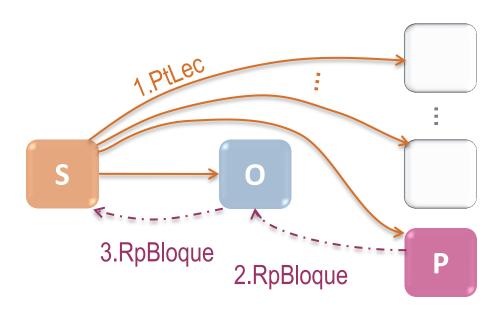
- Estados de un bloque en cache:
 - Modificado (M), Compartido (C), Inválido (I)
- Estados de un bloque en MP:
 - Válido e inválido
- Transferencias (tipos de paquetes) :
 - Tipos de nodos: solicitante (S), origen (O), modificado (M), propietario (P) y compartidor (C)
 - > Difusión de **petición** del nodo **S** a
 - O y P: lectura de un bloque (PtLec), lectura con acceso exclusivo (PtLecEx), petición de acceso exclusivo sin lectura (PtEx)
 - O: posescritura (PtPEsc)
 - > Respuesta de
 - nodo P a O: respuesta con bloque (RpBloque), respuesta confirmando invalidación (RpInv)
 - nodo O a S: resp. con bloque (RpBloque), resp. con o sin bloque confirmando fin inv. (RpInv, RpBloqueInv)



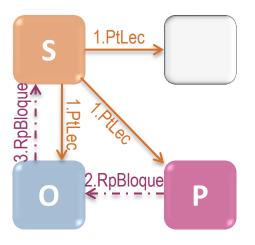
MSI con directorios (con difusión) II

AC N PTC

| Estado inicial | Evento | Estado final |
|----------------|------------------|---------------|
| D) Inválido | Fallo de lectura | D) Válido |
| S) Inválido | | S) Compartido |
| P) Modificado | | P) Compartido |
| Acceso remoto | | |

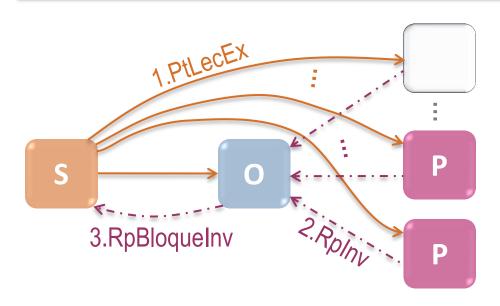


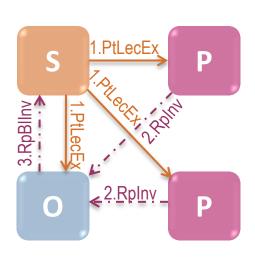
Ejemplo con 4 nodos:



MSI con directorios (con difusión) III

| Estado inicial | Evento | Estado final |
|----------------|--------------------|---------------|
| D) Válido | Fallo de escritura | D) Inválido |
| S) Inválido | | S) Modificado |
| P) Compartido | | P) Inválido |
| Acceso remoto | | |





Para ampliar ...

AC A PIC

Webs

- An Introduction to the Intel® QuickPath Interconnect, http://www.intel.com/content/www/us/en/io/quickpathtechnology/quick-path-interconnect-introductionpaper.html
- Demo Intel® QuickPath Interconnect http://www.intel.com/content/www/us/en/performance/p erformance-quickpath-architecture-demo.html
- Animaciones de protocolos de coherencia de cachés http://lorca.act.uji.es/projects/ccp/