

ARM – Cortex M

2.6. Systémový časovač

CORTEX jadro obsahuje 24 bitové počítadlo počítajúce dozadu s možnosťou automatického obnovenia počiatkovej hodnoty (cyklické počítanie) a vyvolaním prerušenia pri ukončení cyklu počítania. (Ak na vstup počítadla impulzov privedieme vstup z oscilátora, hovoríme o časovači). Toto počítadlo poskytuje štandardný časovač pre všetky CORTEX-M a nazývame ho systémový časovač – **System Timer (SysTick)** s prideleným vektorom/číslom prerušenia **15**. Ako zdroj impulzov môže byť použitý interný hodinový signál CORTEX-M procesora alebo externé referenčné hodiny, ktoré sa ale môžu líšiť medzi výrobcami.

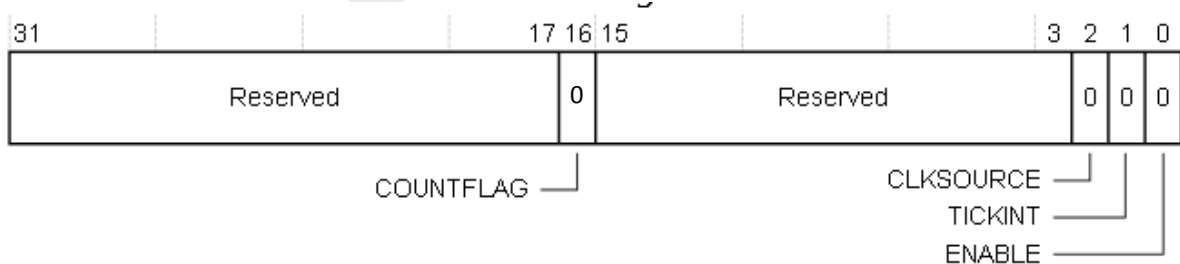
SysTick časovač je určený hlavne na určenie systémového ticku (taktu) pre RTOS, na generovanie periodických prerušení pre plánované úlohy, meranie času...



Obrázok 23: Registre systémového časovača

SysTick časovač má 3 registre:

- SysTick Control and Status register - riadiaci a stavový register, ktorý obsahuje napr. ENABLE bit na spustenie časovača a TICKINT bit na povolenie jeho prerušenia,
- SysTick Reload Value register - register obnovovacej hodnoty, je nastavovaná s novým cyklom počítania,
- SysTick Current Value register - aktuálna hodnota počítadla.



Obrázok 24: SysTick Control and Status register

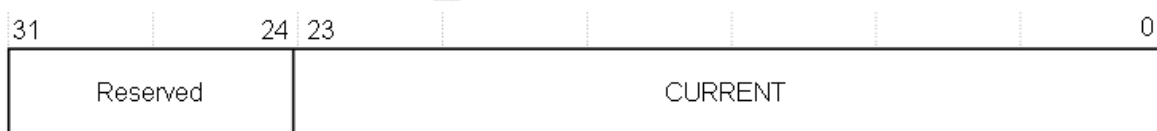
ARM – Cortex M

Bits	Name	Function
[31:17]	-	Reserved.
[16]	COUNTFLAG	Returns 1 if timer counted to 0 since last time this was read.
[15:3]	-	Reserved.
[2]	CLKSOURCE	Indicates the clock source: 0 = external clock 1 = processor clock.
[1]	TICKINT	Enables SysTick exception request: 0 = counting down to zero does not assert the SysTick exception request 1 = counting down to zero asserts the SysTick exception request. Software can use COUNTFLAG to determine if SysTick has ever counted to zero.
[0]	ENABLE	Enables the counter: 0 = counter disabled 1 = counter enabled.



Obrázok 25: SysTick Reload Value register

Bits	Name	Function
[31:24]	-	Reserved.
[23:0]	RELOAD	Value to load into the SYST_CVR register when the counter is enabled and when it reaches 0,



Obrázok 26: SysTick Current Value register

Bits	Name	Function
[31:24]	-	Reserved.
[23:0]	CURRENT	Reads return the current value of the SysTick counter. A write of any value clears the field to 0, and also clears the SYST_CSR COUNTFLAG bit to 0.

ARM – Cortex M

Časovač (počítadlo) po príchode impulzu zníži stav SysTick Current Value register o 1. Po dosiahnutí 0 sa obsah registra SysTick Current Value obnoví na hodnotu, ktorú obsahuje SysTick Reload Value register a od tejto hodnoty ďalej počíta. Pri prechode nulou (konkrétne pri prechode z 1 do 0) sa do príznaku COUNTFLAG zapíše 1 a vyšle požiadavku na výnimku (prerušenie), ak je v bite TICKINT povolené posielať takéto požiadavky.

Zapísaním 0 do SysTick Current Value registra sa vynuluje aj príznak COUNTFLAG.

Príklad obslužného podprogramu pre obsluhu prerušenia od systémového časovača:

```
Void SysTick_Handler (void)
{
    ...
}
```

2.7. Zbernice

CORTEX-M3 procesor má Harvardskú architektúru s oddelenou kódovou a dátovou zbernicou, ktoré sa nazývajú **Icode bus** a **Dcode bus**. Obe z týchto zberníc majú prístup ku kódu (preloženému – skompilovanému programu) a dátam v rozsahu 0x00000000 – 0x1FFFFFFF (Code region).

Navyše má **systémovú zbernicu** na prístup do pamäťového priestoru v rozsahu 0x20000000-0xDFFFFFFF and 0xE0100000-0xFFFFFFFF (Region SRAM, Peripheral, External RAM, External Device, Vendor Specific).

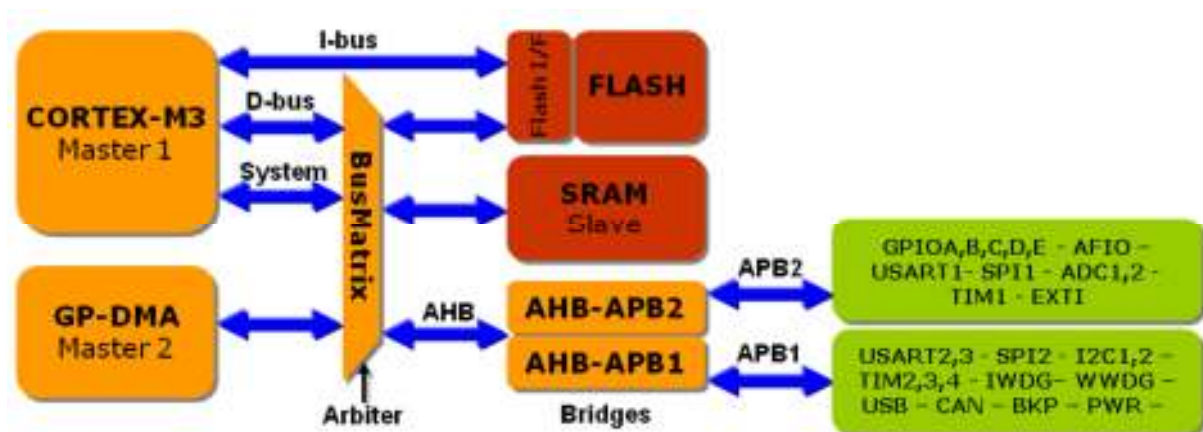
Ladiaci systém v čipe mikroprocesora má zbernicu nazývanú **Private Peripheral Bus**.

CORTEX-M3 CPU je prepojený s kódovou pamäťou (Code region) pomocou **Icode bus**. Systémová a dátová zbernice sú pripojené k externému mikropočítačovému systému pomocou sady vysokorýchlostných zberníc usporiadaného ako zbernica Matrix (**BusMatrix**). To umožňuje vytvoriť paralelné cesty medzi CORTEX zbernicami a ďalšími externými zbernicami - **Advanced High Speed Busses (AHB)**.

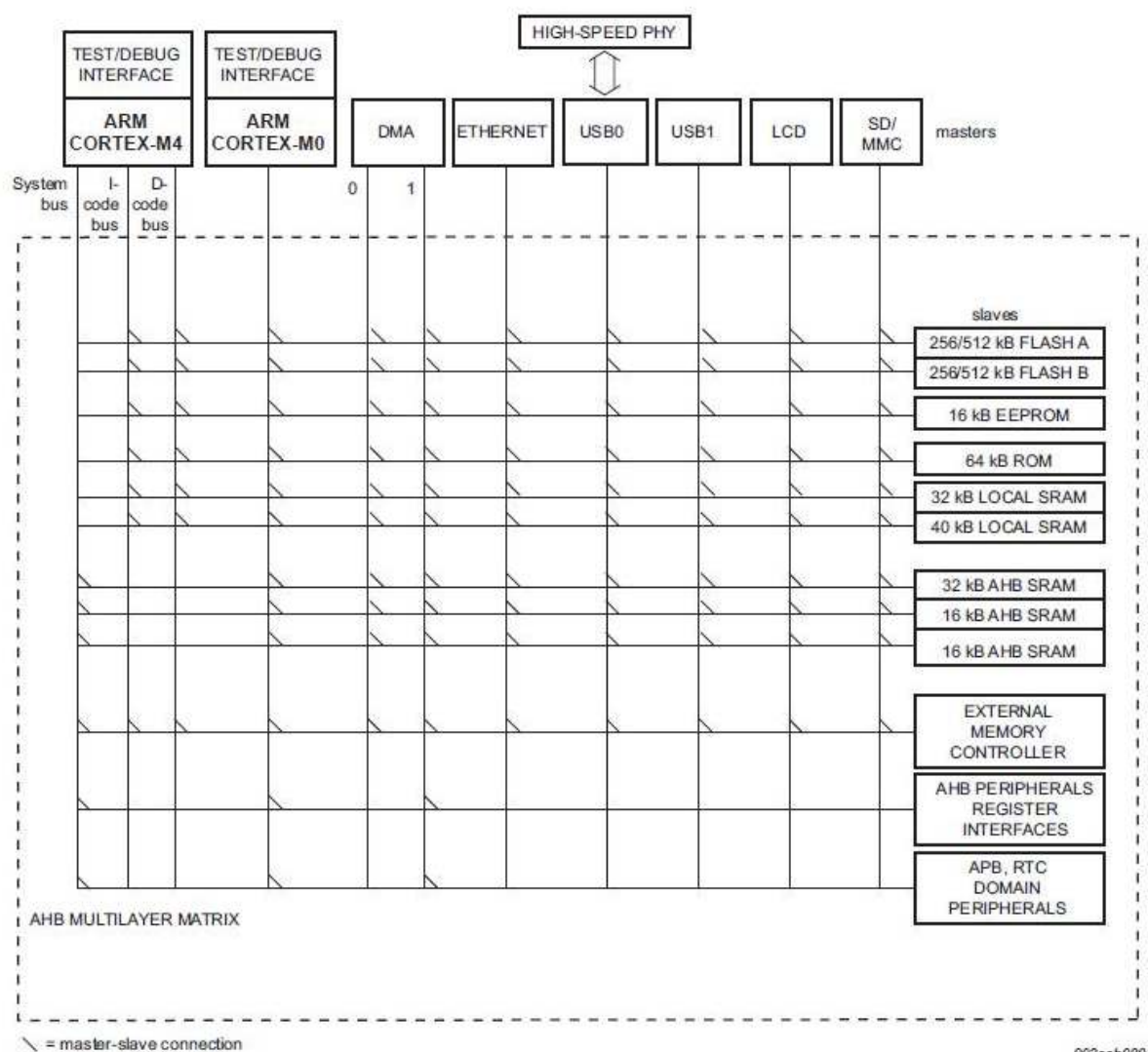
Periférie sú pripojené prostredníctvom 2 periférnych zberníc – **Advanced Peripheral Busses (APB)**. Každá z APB zberníc je premostená na AHB bus matrix (Bridge – s funkciou prispôsobenia rýchlosti jednotlivých zberníc).

AHB zbernica Matrix je taktovaná rovnakou rýchlosťou ako CORTEX jadro, ale pre úsporu energie môže byť taktovaná aj na nižšiu rýchlosť.

ARM – Cortex M



Obrázok 27: Vnútorý zbernicový systém poskytuje prepojenie procesora a jednotlivých častí mikropočítačov. Systému



Obrázok 28: AHB viacvrstvové matrix master a slave prepojenie

Periférie mikropočítačových systémov sa líšia podľa výrobcov a programujú sa odlišne v závislosti od výrobcu. Napr. ethernet od Texas Instruments sa programuje inak ako ethernet od STM a pod.