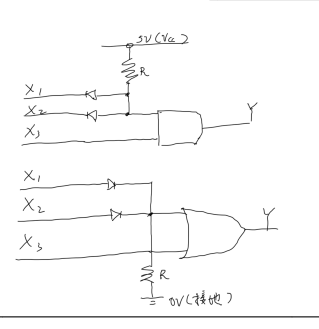
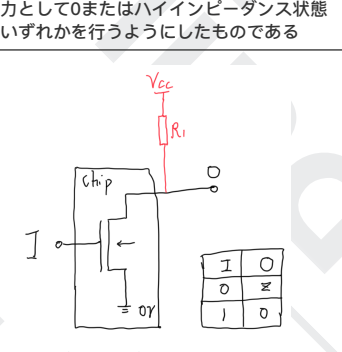
ES：01_ ハードウェア

組合せ論理回路

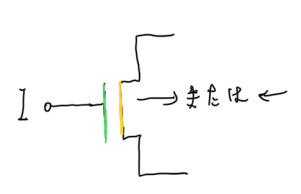
- 基本ゲート
  - NOT（否定）
  - AND（論理積）
  - OR（論理和）
  - XOR（排他の論理和）
    - 0の意味は不変
    - 1の意味は逆転
    - 1の数の奇偶より結果が出る、奇→1、偶→0
- 演算法則
  - 交換法則
    - A+B=B+A
  - 結合法則
    - A・（B・C）＝（A・B）・C
  - 分配法則
    - A・（B+C）=A・B+A・C
  - ド・モルガンの法則＝逆否法則
    - $\overline{A\cdot B}=\overline{A}+\overline{B}$
    - $\overline{A+B}=\overline{A}\cdot\overline{B}$
- 負論理
  - 論理的に1の状態をアクティブな信号として扱う正理論に対し、0の状態をアクティブな信号として扱う論理である
    - 信号をアクティブにする動作をアサート（assert）
    - 非アクティブにする動作をネゲート（negate）
- スリーステートバッファ（Three State Buffer）
  - 出力の可否を制御する信号をもつゲートである、制御信号を非アクティブとすることで出力端子は内部の回路と電気的に切り離され、出力を行わない状態となる→この状態をハイインピーダンス（high impedance：高抵抗）状態といい（Hi–ZまたはZで表す）
    - 信号の衝突を避けるなどで利用され
- ダイオード（diode）と抵抗による入力の拡張
  - TTL(Transistor Transistor Logic)
    - VIH (Highとみなす最低電圧) 約2.0V
    - VIL (Low とみなす最大電圧) 約0.8V
  - LVTTL(Low Voltage TTL)
    - TTL(5V)より低いの意味ですが、一般的には３．３Ｖ信号電圧を指します。
      - VIH (Highとみなす最低電圧) 約2.0V
      - VIL (Low とみなす最大電圧) 約0.8V
  - CMOS(Complementary Metal Oxide Semiconductor)
    - VIH (Highとみなす最低電圧) 0.5~0.7×Vdd
      - Vdd=5V時は2.5~3.5V、Vdd=3.3V時は1.65~2.3V
        - Vdd：マイコン電圧 / 電源電圧
        - 左記の各種電圧測定は信号電圧 / ダイオードの入力電圧である
    - VIL (Low とみなす最大電圧) 0.2×Vdd
      - Vdd=5V時は1.0V、Vdd=3.3V時は0.8V
  - 構成図例：



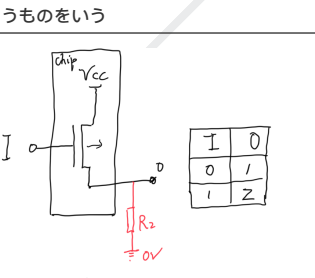
    - 説明：上は3入力AND、下は3入力OR
- 用語
  - 電源の記号
    - 回路の電源電圧はよくVと2文字の接尾辞で表される。この2文字は、通常、電源またはその電源に接続されている抵抗に一般的に接続されているトランジスタの端子に関係している。例：VCCは正電源電圧であり、バイポーラトランジスタのコレクタ端子は、VCC電源に接続されているかVCCに接続している負荷に接続されている。VSSはFETなどのソース端子に接続されている。
    - Ｖｃｃ
      - バイポーラトランジスタ回路のプラス電源。ＮＰＮトランジスタのコレクタ側の電源ということで。ｃｃと、ｃを２つ繰り返すのは、単にＶｃとするとコレクタ電圧と紛らわしいためです。
        - 普通はアナログ系の電源として使用が多く
    - Ｖｅｅ
      - バイポーラトランジスタ回路のマイナス電源。片(単)電源方式ならアース。ＮＰＮトランジスタのエミッタ側の電源ということです。
    - Ｖｂｂ
      - ベースのバイアス電圧というようなつもりで使われているけど、これは珍しい。
    - Ｖｄｄ
      - ＦＥＴ回路のプラス電源。ＮチャネルＦＥＴのドレイン側の電源ということです。
        - 普通はディジタル系の電源として使用が多く
    - Ｖｓｓ
      - ＦＥＴ回路のマイナス電源。片(単)電源方式ならアース。ＮチャネルＦＥＴのソース側の電源ということです
  - トランジスタ（transistor、晶体管）
    - 半導体を利用してスイッチや電流調節作用を行う装置
  - ダイオード（diode、二极管）
    - 二極真空管という真空管
      - 一般表記R
  - バイポーラトランジスタ（Bipolar junction transistor;BJT，双极晶体管）
    - N型とP型の半導体がP–N–PまたはN–P–Nの接合構造を持つ3端子の半導体素子であり、電流増幅およびスイッチングの機能を持つ
      - 正・負両極のキャリアをもつためバイポーラと呼ばれる。
      - 最初に広く使われたトランジスタであるため、単にトランジスタと言うときにはバイポーラトランジスタを指すことが多い。
      - NPNトランジスタの場合、サンドイッチ構造の真ん中のP型半導体がベース(B)であり、このベースをN型半導体であるコレクタ(C)とエミッタ(E)で挟んでいる構造となっています
  - 電界効果トランジスタ（Field effect transistor, FET，场效应管/单极性晶体管）
    - ゲート電極に電圧を加えることでチャネル領域に生じる電界によって電子または正孔の密度を制御し、ソース・ドレイン電極間の電流を制御するトランジスタである。
  - インバータ（Inverter、变频器）
    - 直流または交流から、周波数の異なる交流を発生させる（逆変換する）電源回路、またはその回路を持つ装置のことである
  - オープンドレイン（open–drain CMOS FET）/ オープンコレクタ（バイポーラトランジスタ）
    - インバータを構成する2個のトランジスタのうち接地側に接続された1個のトランジスタのみを用い、出力として0またはハイインピーダンス状態のいずれかを行うようにしたものである
      - 出力先：プルアップ（抵抗を介して電源と接続すること）



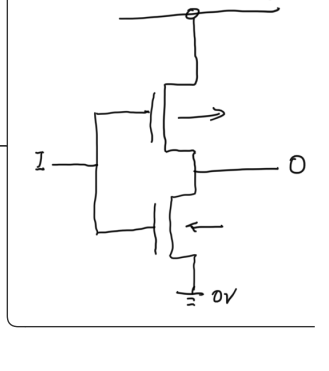
      - 赤部分はプルアップ、ZはVccの電圧になる
      - 表記説明



        - 黄色全体は絶縁、緑線は導体。→の方向はIの電圧有無より緑部分の移動方法の説明です。緑と黄色重ねるのみ上から下は導通の状態であり
  - オープンソース
    - 電源側に接続されたトランジスタを用い、1又はハイインピーダンス状態のいずれかの出力を行うものをいう
      - 出力先：プルダウン（抵抗を介して接地側と接続すること）

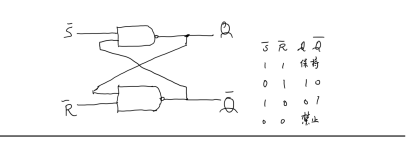


      - 赤部分はプルダウン
  - プッシュプル
    - 二つのトランジスタを用い、片側のみONにすることで、電源電圧や接地にする

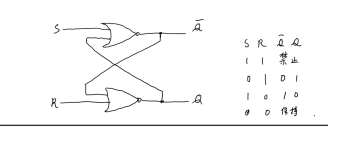


順序論理回路

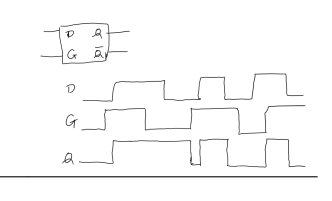
- 論理的な状態を保持する機能を持つことを特徴とし、基本構成単位としてはラッチやフリップフロップがある
  - 極めて重要→データを保持する、カウンタやタイマ、シリアル–パラレル変換などにも用いられる
- RSラッチ
  - 最小の回路構成で作ることのできるラッチ
    - NAND
      - 禁止のは利用しないの意味、ラッチの状態保持と状態変化には役がない



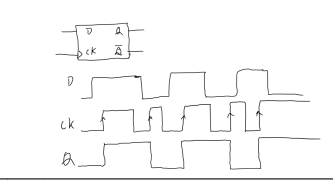
    - NOR



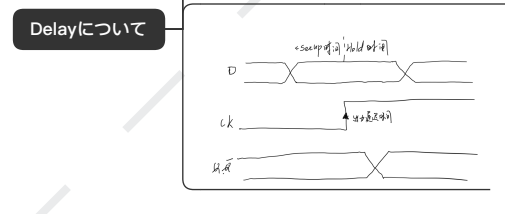
  - Reset latch
- Dラッチ
  - ゲート信号が1の時入力Dをそのまま出力し、Gが0の期間ではGが1→0へ変化したときの値を保持する動作をする



- Dフリップフロップ（Delay flip flop）
  - クロック信号（CK入力）を目的で利用される、データ入力Dをクロックの立ち上がりで保持する



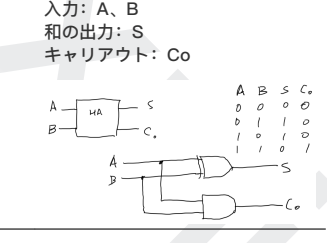
- Delayについて
  - セットアップ時間
    - クロック信号（CK）が変化する前にデータ（D）が変化してはならない時間
  - ホールド時間
    - クロック信号（CK）が変化した時点でのデータ（D）の状態を保持していなければならない時間
  - 出力遅延時間
    - クロック信号（CK）が変化した後、出力（Q）が変化するまでにかかる時間



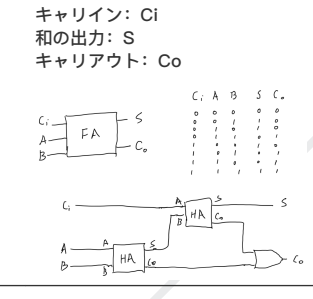
- 用語
  - ラッチ
    - 1ビットの情報を保持することができる回路
  - フリップフロップ
    - 信号のエッジ（立ち上がり又は立ち下がり）をトリガーとして1ビットの情報を保持する回路
      - エッジトリガタイプ
        - クロックの立ち上がりでデータを保持する
      - レベルトリガタイプ
        - クロックがHIGH期間中に入力が変化すると出力も変化する
          - 一般はラッチで表記

応用回路

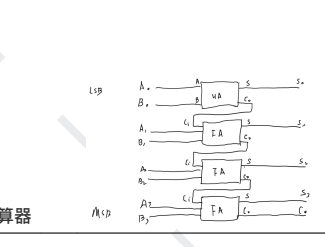
- 加算器
  - 半加算器
    - キャリー（桁上げ、Carry）入力を持たない
      - 入力：A、B
和の出力：S
キャリアウト：Co



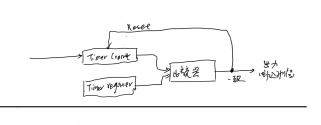
  - 全加算器
    - キャリー入力が持っている
      - 入力：A、B
キャリイン：Ci
和の出力：S
キャリアウト：Co



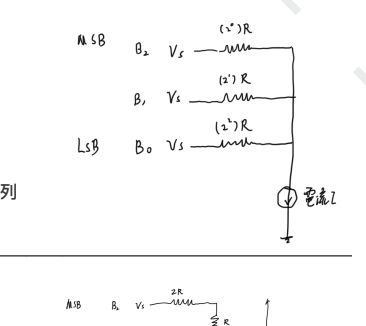
  - 並列加算器
    - 全加算器及び半加算器の組み合わせ、複数ビット幅の加算を行う。
      - 例：4ビット幅のリップルキャリー加算器



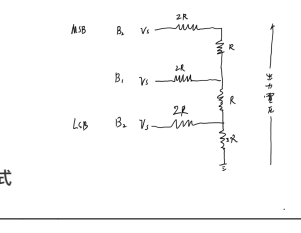
    - 用語
      - LSB（Least Significant Bit：最下位ビット）
        - 並列加算器での利用はキャリー入力不要で半加算器を利用
      - MSB（Most Significant Bit：最上位ビット）
      - リップルキャリー（ripple carry）加算器
        - ビット幅分の加算器をキャリー信号で直列に接続する形式の加算器
          - 構造が簡単だが、LSBからMSBまで伝搬するのに全桁分の加算器が順に動作するため、全体として遅延時間が大きい
      - キャリールックアペッド（look ahead）加算器
        - キャリーを先読みすることで高速化
- カウンタ
  - 保持している値を入力の立ち上がり又は立ち下がりのタイミング進める機能
    - 2進カウンタ
    - 10進カウンタ
      - 内部は2進
    - グレイコード（Gray code：交番二進符号）カウンタ
      - 値を1進めるごとに1ビットだけしか変化しないようにした数値の表現手法
        - グレイコード→普通の二進
          - 最上位から下位1ビットずつ処理、1の場合その1の右の桁を逆にする、繰り返して最下位まで計算すると普通の2進をとれる=上位から一位ずつとのXOR
        - 二進→グレイコード
          - 下位から上位へ１ビットずつ処理、XOR結果を下位へ
        - グレイコードの加算
          - 普通の加算結果とのXOR
      - 多数ビットの同時反転は電気的なノイズなどの原因となる避けたいので、カウンタではこのコードよく使われている
- タイマ
  - あらかじめ定めた時間間隔で事象を発生させたい場合利用
    - ハードウェアタイマ
      - MPUに内蔵され、システムクロックなど比較的高い周波数のクロックをクロックソースとしている、精度が高い、現在（2020）誤差がマイクロ秒もしくはそれ未満となる
    - ソフトウェアタイマ
      - RTOS等の機能を用いて実現され、通常数ミリ秒から数十ミリ秒の誤差がある
    - ワンショットタイマ
      - 一度限りの実行
    - インターバルタイマ
      - 一定時間ごとに繰り返し処理をする
    - ウォッチドッグ（番犬）タイマ
      - WDT、コンピュータシステムにおいて定期的に発動することで、システムが機能し続けていることを確認させるためのタイマー、指定した時間ごとタイムアウトが発生してリセットする
        - 正常実行された場合このタイマをリセットする、異常な場合はリセットしないのでこのタイマのタイムアウトが発生しシステムリセットする
  - ハードウェアタイマの構成例
    - アップカウンタ



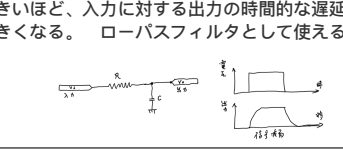
    - ダウンカウンタ
      - アップカウンタと比べる、タイムレジストリが不要
- アナログ
  - アナログ信号とディジタル信号
    - 用語
      - 標本化
        - アナログ信号を一定の周期でアナログ値のまま切り出す処理
          - 標本化定理（サンプリング定理）
            - 元のアナログ信号に含まれる最大周波数数の2倍以上の周波数で標本化を行う標本化
          - ナイキスト周波数（Nyquist）
            - 標本化周波数の1 / 2の周波数である。（相対値、ある標本化に対しての数値、標本化定理満足するか等チェック用）
              - 標本化定理の場合、ナイキスト周波数とアナログ周波数は同じ数値
          - エリアシング（Aliasing）/ 折り返し雑音
            - 元信号にナイキスト周波数を超えた周波数成分が含まれている場合、ナイキスト周波数から超越分を引いた周波数のところにノイズを発生させる
              - →エリアシングノイズ
          - ビットレート / bitrate / ビット速度
            - 標本化に必要となる単位時間あたりのビット数
              - ビットレート＝2✖（アナログ信号の周波数）✖（量子化ビット数）
      - 量子化
        - 標本化されたアナログの値からディジタル値に変換する処理
          - 分解能
            - A / D変換において検出可能な電圧変化の最小単位であり、A / D変換器の性能ではこれより小さな電圧変化が検出できない
              - 例：分解能＝5V / 128Step＝約0.039V / Step
          - 量子化誤差
            - 分解能の制限で、ある範囲の入力を代表して一つ（Step）の値で表すことによって生じる誤差
          - 量子化ノイズ
            - 量子化誤差が原因で発生するノイズ
      - フィルタ
        - 信号に含まれる周波数成分の中から、必要な周波数成分を持つ信号のみを取り出す仕組み
          - ローパスフィルタ / 低域通過フィルタ
            - 遮断周波数より低い周波数成分の信号のみを通過するフィルタ
          - ハイパスフィルタ / 高帯域通過フィルタ
            - 遮断周波数より高い周波数成分の信号のみを通過するフィルタ
          - バンドパスフィルタ/帯域通過フィルタ
            - 中心周波数から一定の範囲にある周波数成分の信号を通過するフィルタ
          - オーバサンプリング
            - 必要とするサンプリング（標準化定理適用の場合のナイキスト周波数）よりも数倍高いサンプリング周波数でA / D変換を行うこと
            - オーバサンプリングを行う回路をオーバサンプラという
      - 利得（ゲイン）
        - 電気回路において、入力と出力の比
  - A / D変換器
    - 並列比較方式（フラッシュコンバータ）
      - コンパレータを分解能の数だけ並列に配置し、同時に比較を行って結果を得る方式、多量のコンパレータが必要であるが、変換速度は最も高速である。ビデオに用いられる
    - 追従比較方式
      - 内部にもつD / Aコンバータの出力を段階的に変化させるながら、その出力と入力電圧を順次比較することにより、一致する点を求める方式
        - 変換時間がかかると入力電圧によって変換時間が異なる
    - 逐次比較方式
      - 上記と類似が、二分探索的に上位ビットから順に確定していくことにより、追従比較方式と比べて高速に変換できる方式
        - 入力電圧によらず、ビット数分の比較回数でディジタル値を得ることができる、変換時間が一定であるため、汎用のA / Dコンバータとして多用されている
    - 二重積分方式
      - 入力電圧を内部のコンデンサに電荷として蓄積し、蓄積された電荷の放電時間を測定することにより電圧を求める方式である
        - 精度が高いが、速度は逐次比較より遅い
        - コンデンサを用いるため、集積回路への内蔵用途には向かない
        - コンデンサ
          - 蓄電器（capacitor）
  - D / A変換器
    - 重み抵抗方式（電流加算型、並列変換型）
      - 各ビットの重みに対応した抵抗値を持つ抵抗を並列に接続する方式である。ビットと同数の、値の異なる抵抗器を用意する必要がある



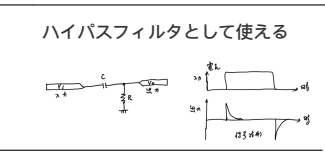
    - 抵抗ラダー方式（電圧加算型、R–2R型）
      - 抵抗値がRと2Rの2種類の抵抗を組み合わせた方式である。



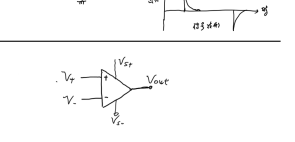
    - デルタシグマ方式
      - ディジタルデータをオーバサンプリングした後、ノイズシェーピング、PWMを経て低域通過フィルタ処理をすることでアナログ信号を得る
        - アナログに変換する前の信号が1ビットになっていることから、1ビットDACとも呼ばれる
        - →ディジタルフィルタ（オーバサンプリング）
→デルタシグマ量子化器（ノイズシェーピング）
→PWM→ローパスフィルタ→
        - シェーピング（Shaping）
    - PWM方式
      - PWM出力に積分回路を組み合わせることで、D / A変換器を構成することができる
  - 積分回路
    - 入力信号を蓄積した出力電圧が得られる回路である
      - 抵抗値Rとコンデンサ（condenser）容量Cの席であるRCを積分回路の時定数といい、時定数が大きいほど、入力に対する出力の時間的な遅延は大きくなる。　ローパスフィルタとして使える



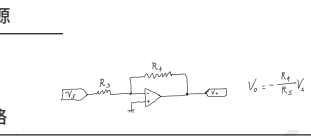
  - 微分回路
    - 入力電圧の時間変化の大きさに応じた出力電圧が得られる回路である
      - ハイパスフィルタとして使える



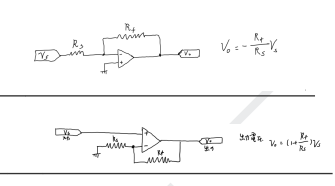
  - 用語
    - コンデンサー
      - コンデンサ（独: Kondensator、英: capacitor）は、電気（電荷）を蓄えたり、放出したりする電子部品である。キャパシタとも呼ばれる。
    - コイル
      - コイル（英語: coil）とは、針金などひも状のものを、螺旋状や渦巻状に巻いたもののこと
    - パルス状
      - パルス（英：Pulse）は、短時間に急峻な変化をする信号の総称。また、脈動の意
    - オペアンプ（operational amplifier）/ OPアンプ
      - 演算増幅器
    - パッシブ回路
      - 抵抗・コンデンサ・コイルのように、電源を必要としない部品のみから構成される回路
    - アクティブ回路
      - 電源を必要とする部品（オペアンプなど）を用いた回路
  - 演算増幅器
    - 二つの入力（非反転入力と反転入力）と一つの出力を持つアナログ電子回路モジュールである



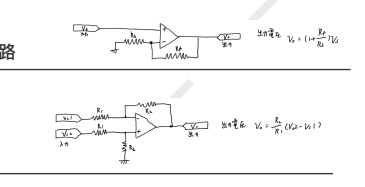
      - V+非反転入力
V–反転入力
Vs+正電源
Vs–負電源
Vout出力電源
      - 反転増幅回路



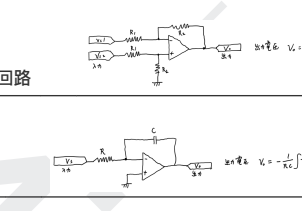
      - 非反転増幅回路



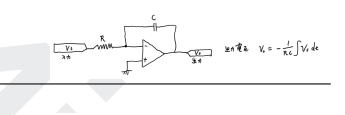
      - 差動増幅回路



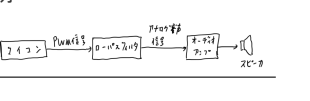
      - 積分回路



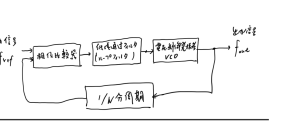
      - 微分回路



  - PWM（Pulse Width Modulation：パルス幅変調）
    - 矩形波の周波数を一定に保ったまま、そのデューティ比を変化させる変調方式である。対応するアナログ値の大きいところに対応するパルスの幅は広く、値の小さいところに対応するパルスの幅は狭くする
      - デューティ比
        - 矩形波の一周期のうちH期間が占める割合、HとLが等しいときは50%
  - PAM（Pulse Amplitude Modulation：パルス振幅波変調）
    - PWMに対してパルスの高さを変化させる変調方式
      - D / A変換回路
        - PWMで変調された信号は、外部にローパスフィルタ（例：積分回路）を設けることにより、アナログ信号に変換できる。パラメータ設定より短いパルスは低い出力電圧に、長いパルスは高い出力電圧に変換されて、アナログをとる
          - の周波数成分の信号がノイズとして残る→軽減したい場合には平滑回路が利用する
        - 例：



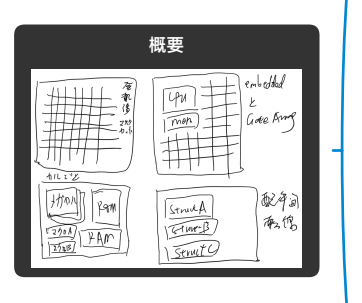
      - DCモータ
  - DC（Direct–current）モータ
    - リアル制御
      - 回転数を制御のため、印加する電圧を変えて制御する
      - モータの外部抵抗などを用いて電圧を下げる回路が必要となり、その抵抗体の電圧減少分が熱エネルギーに変換されてしまい、電力損失出てくる
    - PWM制御
      - 必要な期間だけ通電させる、電力損失を抑える
      - モータ自体の持つ慣性力を利用するため、制御に使える周波数の範囲はモータにより異なるが、概ね数百Hzから数キロHz程度である
        - PWM周波数設定に当たっては、システムで使用されている他の信号に影響を与えにくい周波数を選択するなどの考慮が必要
        - 通電のオンオフを繰り返すことが原因となるスイッチングノイズが発生しやすい
  - PLL（Phase Locked Loop：位相ロックループ）
    - 入力された周波数を逓倍する回路
      - 逓倍：入力された周波数を整数倍すること
      - 分周：入力された周波数を（1 / 整数）倍すること
    - 分周器の設定で出力周波数を変えることができるため、ソフトウェアで制御するのが容易である
    - フィードバックを持つクローズドループ構成であるため、出力周波数が安定するまでの時間（安定化時間）が必要
    - ƒout= Nƒref



  - 概要
    - 矩形の周波数が一定のため、アナログ値の高さに上限をあらかじめ定義要

LSI（large-scale integration）

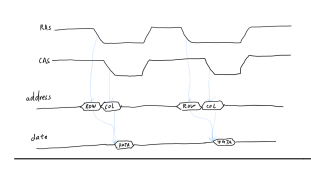
- 用語
  - ウェハ（wafer / 晶圆）
    - 集積回路の製造に使われる薄い基板のことをいう
  - マスクセット
    - LSI上に作り込む回路のパターンを描画したもの、製造工程を通して必要とされる複数種のマスク一式は、マスクセットと呼ばれる
      - 近年のLSIでは、回路の微細化に伴うマスク上の描画自体の微細化や、製造工程の複雑化によるマスク枚数の増加により、マスクセットは高額化する傾向がある
  - FPGA
    - ユーザ（システム設計者）が後ろから回路の機能を定義することのできるLSIの一種
- ASIC（Application Specific Integrated Circuit：特定用途向け集積回路）
  - ゲートアレイ
    - 配線工程を残して半完成しているウェハをあらかじめ用意し、配線工程以降の設計を個別の品種ごとに行う方式のASICである
      - 開発費や納期の点で有利
        - 配線工程はlSI製造工程の中では後半に属するため、短納期での製造が可能である。
      - 集積度・性能については不利である
  - セルベースIC
    - セルと呼ばれるレイアウトすみの基本ゲートを組み合わせて設計を行う方式である、CPUやメモリという大規模なセルも利用できる
      - 集積度・性能の点で有利
      - ゲートアレイと比較すると納期・開発費がかかる
  - 概要



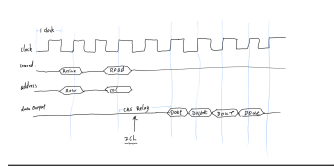
  - エンベデッドアレイ
    - 開発するASICの構成を、すでに設計済みのIPが利用できる部分と新規で設計が必要な部分とに分け、新規部分をゲートアレイとして全体の配置を決定する
  - ストラクチャードASIC
    - 用途ごとに必要となる複数の機能ブロックと、ゲートアレイを組み合わせたものがマスターとして用意されているカスタマイズIC
- ASSP（Application Specific Standard Product：特定用途向け標準集積回路）
  - 特定の目的のために設計されたASICに対して、特定分野における機能をまとめ、標準品として提供されるもの
    - 製品の開発スケジュールや仕様は、ASSPの開発日程及び仕様の影響を受けざるを得ない
      - 製品分野によってはターンキーソリューションが用意されているものもある
        - ASSPを用いたアプリケーションについて、そのまま製品設計に使用可能なものとして提供される設計情報、具体的にはデバイスドライバなどのソフトウェアや周辺の回路図、回路のレイアウトパターンなどである
- LSIの設計手法
  - フルカスタマイズ
    - トランジスタ回路レベルから
  - ゲートレベル設計
    - ANDやNOR、フリップフロップといた基本ゲートを回路図の上で組み合わせて設計する手法である
    - フルマニアル設計と比較して抽象度が高いが、全ての構成要素を明示する必要がある、1980年度まではASICの設計にも用いられる
  - RTL（Register Transfer Level）設計
    - 回路ブロックの入出力信号、信号線とレジスタを構成要素として明示して、これらの関係をハードウェア記述言語（Hardware Description Language：HDL）を用いて記述する手法で、1990年代以降のLSI設計に主流となっている
    - IP（Intellectual Property）：HDLで記述された回路の設計情報が市販され流通するもの
      - ハードIP
        - 特定のLSI製造プロセスでのみ利用可能なIP
      - ソフトIP
        - 複数のLSI製造プロセスで利用可能なIP
  - ビヘイビア（behavior）レベル
    - RTLよりされに高い抽象度で設計内容を記述する設計手法。記述言語としては、ハードウェア記述言語やC言語をベースとして言語（System C）が用いられる
- HWとSW協調設計
  - コデザイン（co–design）
    - ソフトウェアとハードウェアを計画的に協調して設計し、最適化を行うこと
  - コベリフィケーション（co–verification）
    - シミュレーション技術を駆使してハードウェアとソフトウェアとを併せて動作検証を行うこと
- フィールドプログラマブルロジック（Field Programmable logic）
  - ユーザ（システム設計者）が回路の機能を定義することのできるLSI。機能の記述→論理合成→配置配線
  - 規模より
    - PLD（Programmable Logic Device）
      - 数個から数十個までのゲートに対応する、論理式をAND–ORの形に変換してプログラムを行う構成が基本単位である
    - CPLD（Complex Programmable Logic Device）
      - 単機能のPLD（SPLD）を複数内蔵し、これらが相互に接続されたもので、数百～数千ゲート規模の回路が実現可能である
      - デバイス技術としては、フラッシュなどの不発揮性メモリで実現されているものが多い
    - FPGA（Field Programmable Gate Array）
      - 数万～百万ゲート規模の論理回路をプログラム可能を、大規模プログラムロジックデバイスである。プログラムの自由度が高いの一方、伝搬ちえんじかんが予測しづらい
      - プログラム部分のデバイス技術としては、SRAM方式のほか、フラッシュ方式などがある
        - SRAMの場合、使用時にはプログラムデータを外部からロードしておくが必要である。この操作はコンフィグレーションという。（専用ROMや通信でダウンロードするなど方法がある）
        - プログラム可能な部分のうち、組み合わせ回路部分をマトリクススイッチによって実現しているものをルックアップテーブル方式（Look Up Table：LUT）
          - マルチプレクサ
            - マルチプレクサ、多重器、多重装置、多重化装置、合波器は、ふたつ以上の入力をひとつの信号として出力する機構である。
          - データセレクタ

メモリ

- 発揮性
  - 外部からのリフレッシュ操作が不要
    - SRAM
      - Static Random Access Memory
        - 次の特徴を持ち、キャッシュメモリや、バッテリバックアップによるデータ保持目的などに用いられる
          - 書込み及び読み出しが高速である
          - データ保持のための消費電力が極めて少なく、リフレッシュ動作を必要としない
          - メモリセルはフリップフロップ回路で構成されており、1ビットあたり6個のトランジスタが必要なため、他のメモリと比較して高価であり、大容量化に向かない
    - 擬似SRAM
      - リフレッシュ用の制御回路を内蔵したDRAMであり、アクセス速度や消費電流などの諸特性はDRAMに準ずる
  - 外からのリフレッシュ操作が必要
    - 非同期型DRAM
      - Dynamic Random Access Memory
        - 次の特徴をもち、主記憶として用いられる
          - SRAMと比較すると書込み及び読み出しが遅い
          - データ保持のためにリフレッシュ動作が必要とする
          - データ保持に要する消費電流が大きい
          - 1ビットあたり1個のトランジスタおと1個のキャパシタ（コンデンサ）からなる。ビット単価が安価なため、大容量化に向いている
        - 読み出しサイクル



        - 高速化技術
          - FPM–DRAM（Fast Page Mode DRAM）
          - EDO–DRAM（Extended Data Out DRAM）
          - など
        - リフレッシュ周期
    - 同期型DRAM
      - Synchronous DRAM
        - 次の特徴をもち
          - クロック端子をもち、コマンドやデータの入出力が全てクロック信号に同期して行われる
          - RAS、CAS、WE及びCS、CKE（左記全て上線ある）状態の組み合わせによってコマンドを形成し、これとアドレスの組み合わせにより、入出力の動作を指示する
          - バースト転送により、連続したアドレスへの読み書きが高速に行える
        - SDR–SDRAM
          - Single Data Rate SDRAM
            - クロック信号周期に対応して1ビットずつデータの転送が行われる
              - 指定アドレスからの連続データを1ブロックずつ順番出力のはバースト読み出しという



        - DDR–SDRAM
          - Double Data Rate SDRAM
            - SDRAMの入出力部分を改良し、立ち上がりクロックと立ち下がりクロックの両方に同期してデータを読み出しができるよう、高速化したものである、バースト転送による読み出し速度はSDR–SDRAMの2倍である
              - SDR–SDRAMに比較する
                - DDR2–SDRAM
                  - 同4倍速
                - DDR3–SDRAM
                  - 同8倍速
                - DDR4–SDRAM
                  - 同16倍速
- 不発揮性
  - 書込み不可
    - マスクROM
      - データの書き込みを製造段階で行うメモリであり、その後ユーザによる書き換えはできない
  - 書込み可（PROM：Programmable ROM）
    - 消去不可
      - ワンタイムPROM
        - プログラムの方式としては、ゲートの絶縁膜を高電圧で破壊する方法や、浮遊ゲートと呼ばれるゲートに電荷を蓄積する等方法がある
    - 消去可
      - 紫外線消去
        - UV–EPROM：Ultra Violet Erasable Programmable ROM
          - 浮遊ゲートを用いるもの、チップの表面に紫外線を照射して浮遊ゲートから電荷を抜くことで、メモリを初期表対に戻るすができる。パッケージの表面に窓を設け、紫外線を照射できるようにしたものである。
            - ほとんどの品種についてはすでに製造中止となっているが、中古品を含めた流通在庫は比較的豊富であり（2018）※昔のゲームカードなど
      - 電気的消去
        - EEPROM：Electronically Erasable and Programmable ROM
          - 電気的に書込み及び消去が可能な不発揮性メモリである、バイト単位での書き込み及び消去ができるが、構造が複雑なため大容量化は向かない
        - フラッシュメモリ
          - EPROMと同様、電気的に書き込みが可能な不発揮性メモリであるが、消去機能をブロック単位に制限することにより、大容量化を可能としたものである
            - 浮遊ゲートに電荷を出し入れしてデータを記憶する方式のため、書き換え可能回数が限りがある、また、長期書き込みを行わないとデータが消失することがある
              - メモリ構造による
                - NOR型
                  - NAND型と比較すると、書き込み速度が遅いがデータの信頼性は高いため、組み込みシステムにおいてはフォームウェアの格納用として用いられることが多い
                - NAND型
                  - NOR型と比較すると、書き込み速度は速いがデータの信頼性は高くないため、エラー訂正を行うコントローラがひつようである、大容量化がしやすく、SSD（Solid State Drive：フラッシュメモリを使用した補助記憶装置）や、メモリカードなどで使われる
              - データ保持の方法
                - SLC：Single–Level Cell
                - MLC：Multi–Level Cell
                  - セルの浮遊ゲートの電荷量を制御することで複数ビットのデータ保持を実現している
                    - TLC：Triple–Level Cell
                      - 1セルあたりに3ビットのデータを保持するもの
                    - QLC：Quad–Level Cell
        - FeRAM：Ferroelectric Random Access Memory
          - 強誘電体メモリとも呼ばれ、セルとなるキャパシターの電極の間に強誘電体材料を用いた不発揮性もメモリである。フラッシュメモリより書き換え可能回数が多く、書き換え速度も高速にできる（分極反転時間は1ns以下である、DRAMと同レベルが期待される）
            - ICカード、Felicaに採用されるがある