

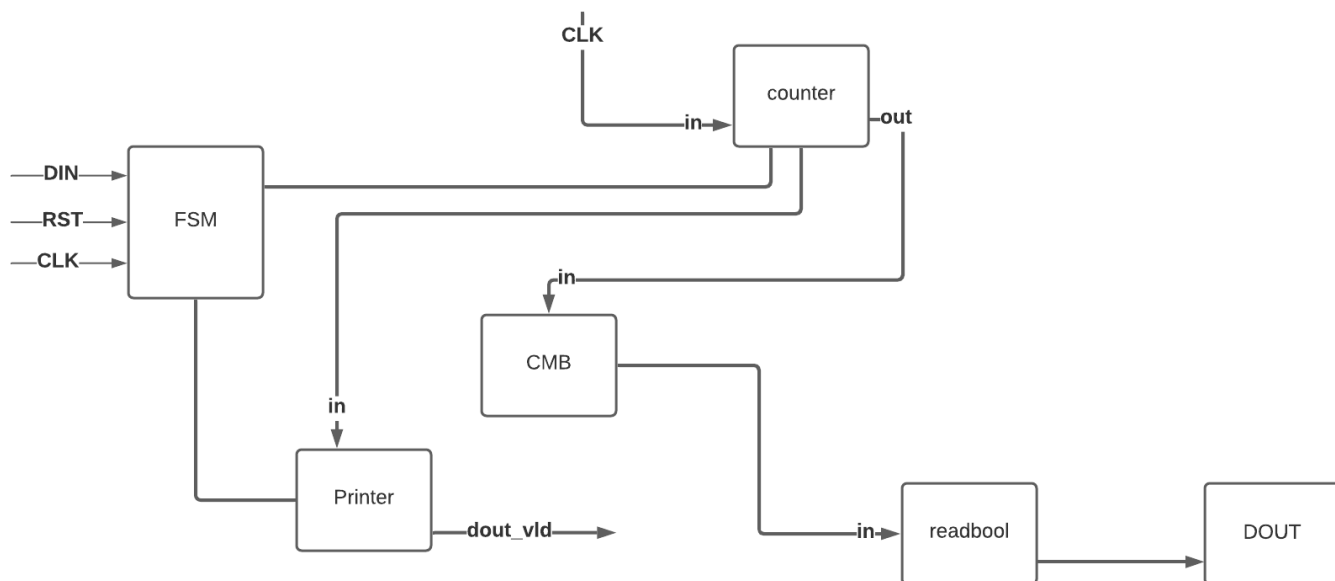
VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ  
FAKULTA INFORMAČNÍCH TECHNOLOGIÍ

Návrh číslicových systémů  
Projekt: dokumentace

7. května 2021

Pavel Heřmann (xherma34)

# 1 Návrh na úrovni RTL



Obrázek 1: RTL schéma

## Popis fungování obvodu

Obvod má svůj konečný automat (FSM), který přijímá vstupy DIN, RST, CLK. Obvod má v sobě 3 hlavní signály, které vzájemně mezi sebou fungují a řídí přecházení stavů v FSM. První counter, který počítá clock cykly. Pomocí counteru se ve FSM vyhodnocuje přepínání stavů, dále napomáhá signálu CMB (CountMsgBits). Podle řadiče ve FSM se při inkrementaci CMB nuluje counter. Dále pomáhá printeru, který nastavuje **dout\_vld**. CMB při dosažení určitého stavu ve FSM přichází do readbool. Pomocí řadiče readbool za asistence CMB a counter rozhoduje o finálním vypisování na DOUT.

## 2 Návrh automatu (Finite State Machine)

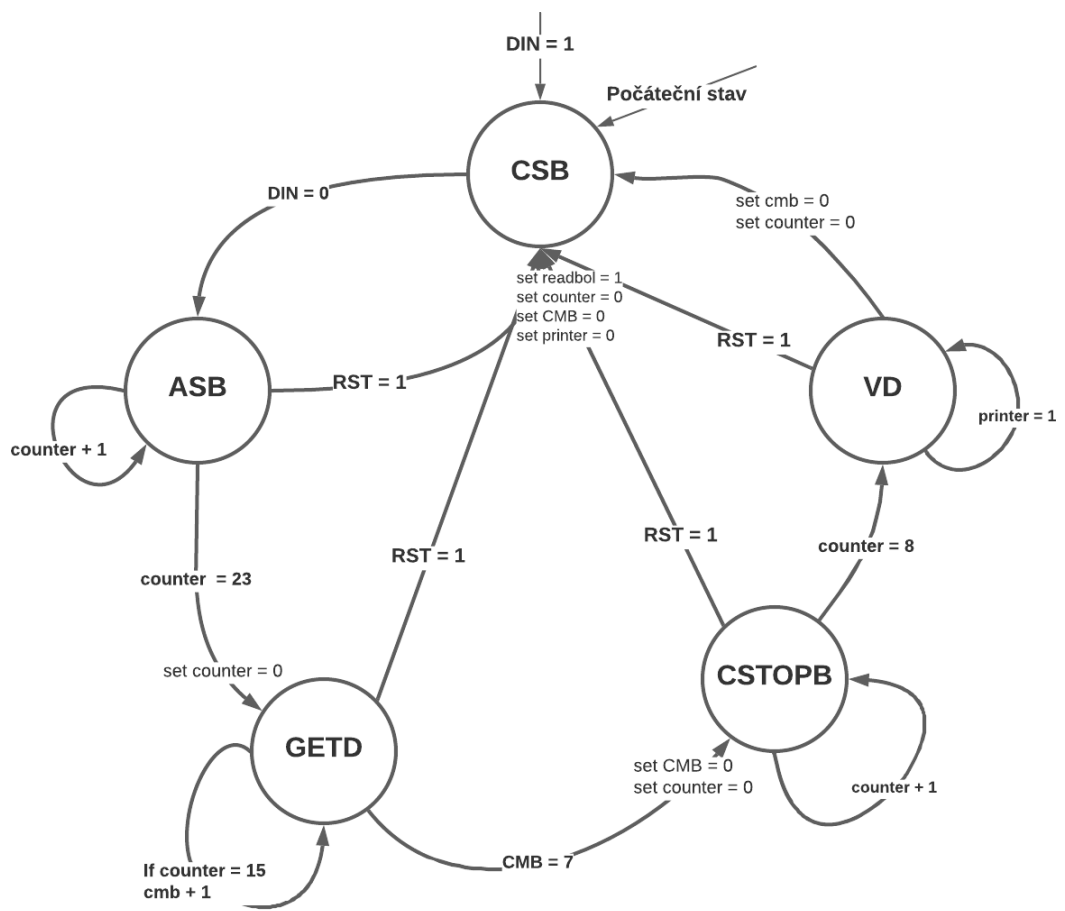
Legenda:

- Stavby automatu:
  - CATCH\_START\_BIT: CSB
  - AT\_START\_BIT: ASB
  - GET\_DATA: GETD
  - CATCH\_STOP\_BIT: CSTOPB
  - VALID\_DATA: VD
- Vstupní signály: DIN, RST
- Moorovy výstupy: D0 - D7

### Popis fungování automatu:

Počáteční stav automatu je nastaven na CATCH\_START\_BIT, který čeká dokud nedostane "start bit". V momentě, kdy najde "start bit" se přepne stav na AT\_START\_BIT a je spuštěna inkrementace signálu counter, který se inkrementuje zároveň s každým následujícím clock cyklem. Jakmile se counter dostane na 23 (24. clock cyklus), tak nastává kdy jsme na prvním "mid bitu", stav se přepne na GET\_DATA, vynuluje se signál counter, který se následně v tomto stavu začne inkrementovat od začátku až do nabytí hodnoty 15 (16. clock cyklus), kde se nachází následující "mid bit". Když signál counter nabyde hodnoty 15, tak se do signálu CMB (CountMsgBits) přičte 1 a counter se vynuluje. Tento proces se opakuje do té doby, než signál CMB dosáhne hodnoty 7, v tento moment se stav přepne na CATCH\_STOP\_BIT, signály CMB a counter se vynulují. Counter se začne od začátku inkrementovat, dokud neuběhne 8 clock cyklů, následně se stav přepne na VALID\_DATA. V tomto stavu se přepne port printer na 1, čímž se dává signál pro tisknutí. Counter a CMB se vynuluje a stav se opět vrací na počáteční stav CATCH\_START\_BIT

Schéma automatu



Obrázek 2: FSM innerwork

3 Simulace

