Σχεδίαση Συστημάτων Υλικού-Λογισμικού Lab 1

Ερώτημα 1:

Το πρόγραμμα αποτελείται από τρία αρχεία: tb_mmhw.h (header file), mmhw.cpp (υλοποίηση του πολλαπλασιαστή σε hardware) και tb_mmhw.cpp (υλοποίηση του testbench).

Στο πρώτο αρχείο ορίζονται οι σταθερές που ζητήθηκαν και αυτό το αρχείο είναι που γίνεται #include τόσο στο mmhw.cpp όσο και στο tb_mmhw.cpp έτσι ώστε το μέγεθος των πινάκων να είναι γνωστό.

Στο αρχείο tb_mmhw.cpp γίνεται η αρχικοποίηση των πινάκων με ψευδοτυχαίους αριθμούς καθώς επίσης ορίζονται συναρτήσεις για την εκτύπωση των πινάκων και για τον έλεγχο ισότητας των αποτελεσμάτων μεταξύ hardware και software υλοποίησης.

Ερώτημα 2:

Όσο αφορά το βήμα της Csynthesis για lm=ln=lp=6 έχουμε:

Estimated clock period	3.127ns
Worst case latency	5.326ms
Number of DSP48E used	1
Number of BRAMs used	0
Number of FFs used	95
Number of LUTs used	165

Ερώτημα 3:

Για το C/RTL Cosimulation και για τις τιμές lm=ln=lp=6 έχουμε:

Total Execution Time	5326275ns
Min latency	532609
Avg. latency	532609
Max latency	532609

Ερώτημα 4:

i. Παρατηρούμε ότι αλλάζοντας το m δεν παρατηρείται καμία διαφορά στον τελικό χρόνο εκτέλεσης. Ο λόγος είναι γιατί το lm καθορίζει τις επαναλήψεις του τελευταίου βρόχου, που υλοποιείται μετά τις βελτιστοποιήσεις όλος σε hardware, οπότε τρέχει ακαριαία ανεξαρτήτως του μεγέθους του lm (δηλαδή του m).

ii.

Estimated clock period	8.213ns
Number of DSP48E used	32
Number of BRAMs used	0
Number of FFs used	47
Number of LUTs used	2019
Total Execution Time	41165
Min latency	4098
Avg. latency	4098
Max latency	4098

iii.

Eπιτάχυνση = Total__Time/Total_Time_Improved = 5326275/41165 = 129.39

Συνεπώς, το hardware μετά τις βελτιστοποιήσεις (Array_Partitioning, Pipelining, Unrolling) βελτίωσε την επίδοση του κατά 129 φορές.