

实验五 组合逻辑电路的设计

自 35 夏弘宇 2023011004

二、预习任务

- 1. 根据实验任务要求完成电路设计，包括：
 - (1) 查阅实验盒中 74HC 系列门电路芯片数据手册，了解它们的逻辑功能。

芯片	功能	芯片	功能
74HC00	四路 2 输入与非门	74HC02	四路 2 输入或非门
74HC08	四路 2 输入与门	74HC11	三路 3 输入与门
74HC14	六路施密特触发反相器	74HC20	二路 4 输入与非门
74HC27	三路 3 输入或非门	74HC74	二路 D 型正边沿触发器
74HC86	四路 2 输入异或门	74HC161	四位二进制可预置的同步加法计数器

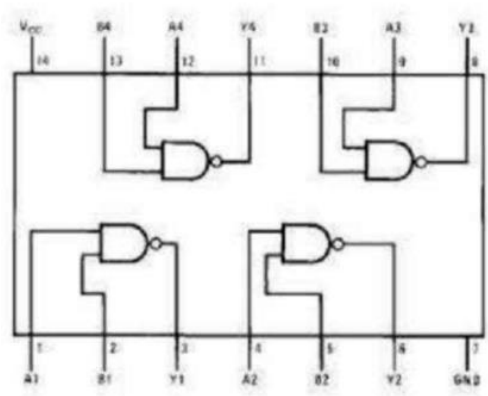


Figure 1 74HC00

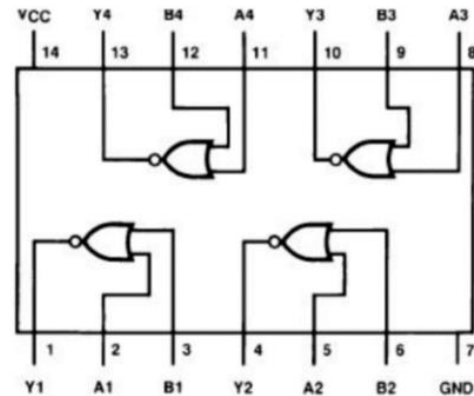


Figure 2 74HC02

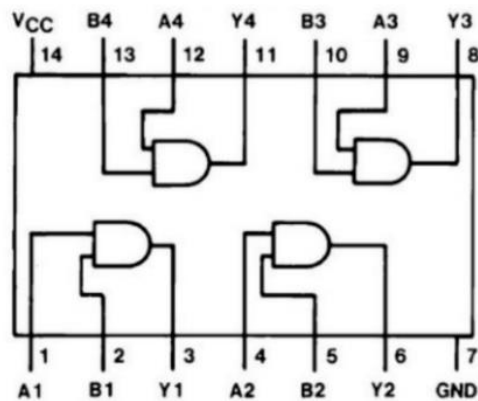


Figure 3 74HC08

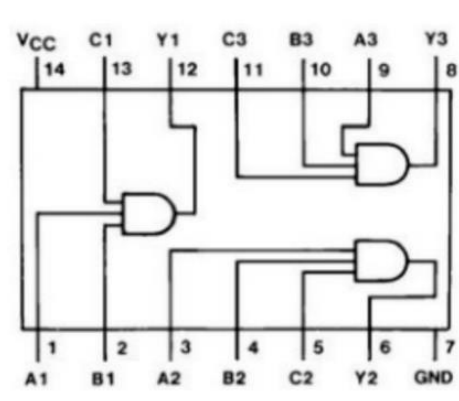


Figure 4 74HC11

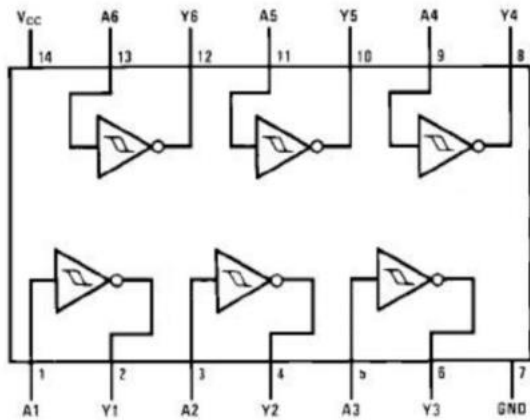


Figure 5 74HC14

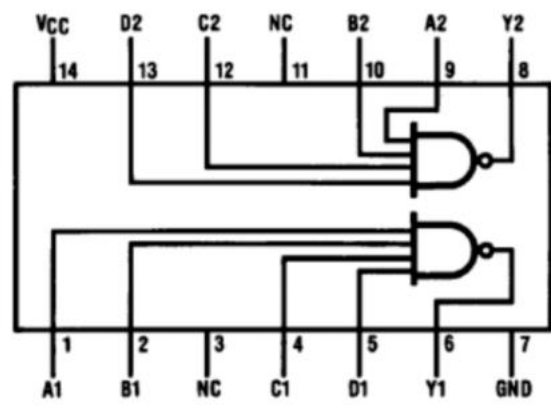


Figure 6 74HC20

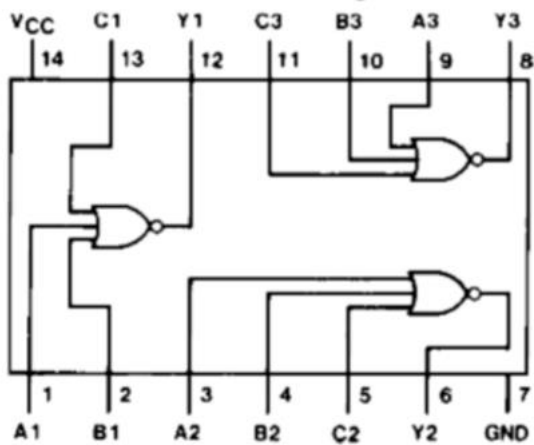


Figure 7 74HC27

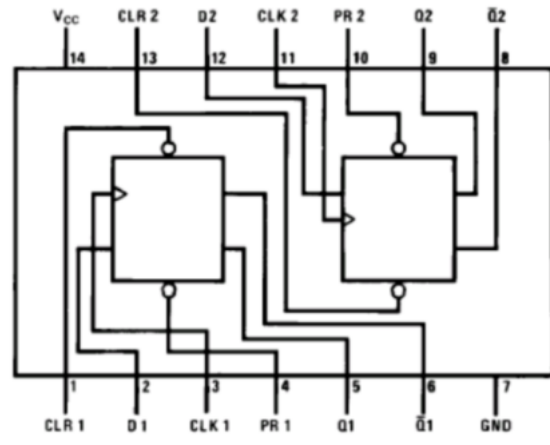


Figure 8 74HC74

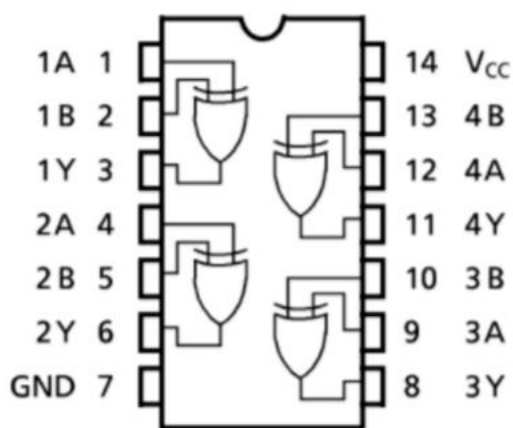


Figure 9 74HC86

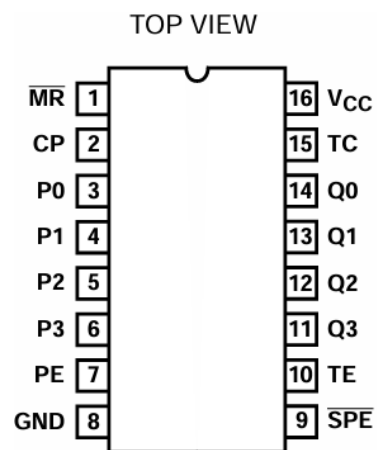


Figure 10 74HC161

(2) 根据任务要求和建议步骤，写出 1 位全加器的逻辑表达式。设计力求

简洁。

(3) 根据任务要求和建议步骤，画出 2 位二进制加法运算电路的逻辑图。

1(2) 1位全加器

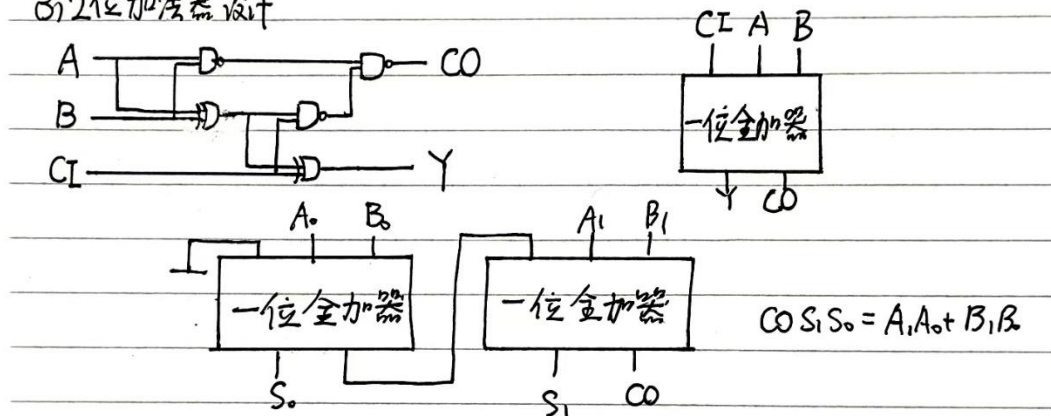
CI	AB	00	01	11	10
0		0	1	0	1
1		1	0	1	0
		S			CO

$$S = AB'CI' + A'B'CI + A'B'CI + ABCI = A \oplus B \oplus CI$$

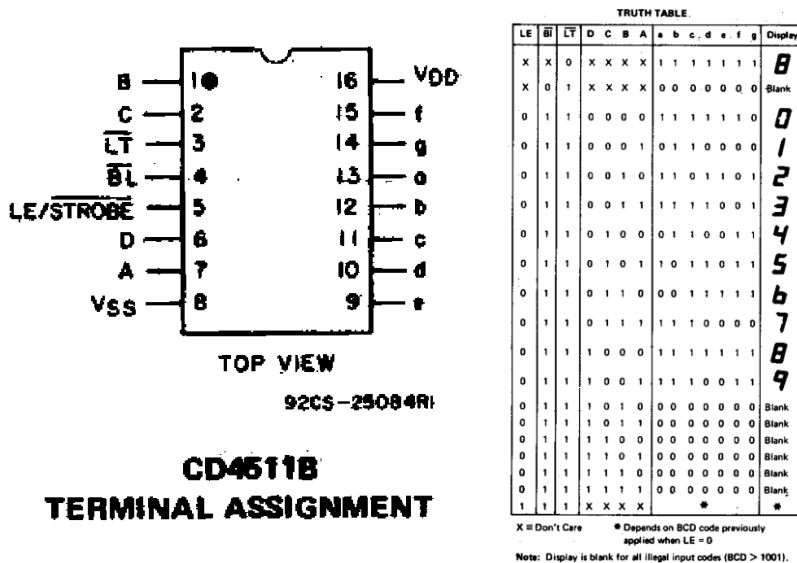
$$CO = AB + CI(A+B) = (A \oplus B \oplus CI)' = ((AB)'(ACI)'(BCI)')'$$

$$= AB + CI(A+B) = AB + CI(A \oplus B) = ((AB)'(CI(A \oplus B))')'$$

3) 2位加法器设计



2. 实验中使用实验板左上角的 1 位独立数码管显示运算结果。该数码管由实验板底部的 CMOS 集成电路 CD4511B (CM511B) 驱动，可将 BCD 代码译成数码管所需要的驱动信号。查阅 CD4511B 的数据手册。

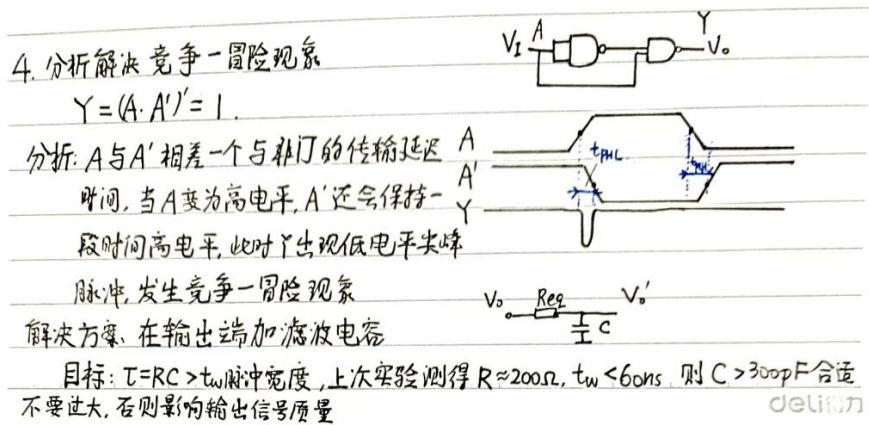


3. 1 位独立数码管的输入端口在黑色插孔中标为 ABCD，请对照 CD4511B

的真值表，自行测试验证四个端口 ABCD 的高低顺序。

参考：DCBA 依次从高到低。

4. 分析图 1 电路是否会发生竞争—冒险现象，并画出输入输出电压波形。如有竞争冒险现象，请参考思考题 1 给出解决方案。



5. 写出组合逻辑电路的调试方法和步骤、注意事项等

- 秉持模块化思想，先搭建两个一位全加器，验证其逻辑功能（可以用不同颜色的线区分）。

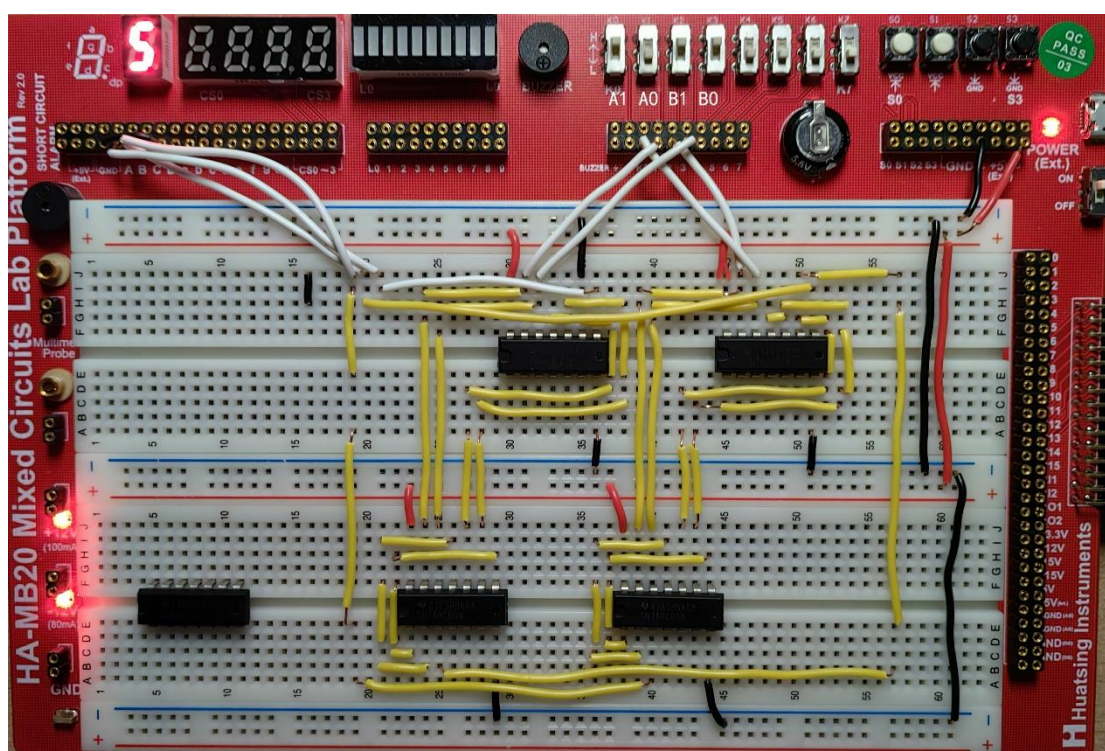
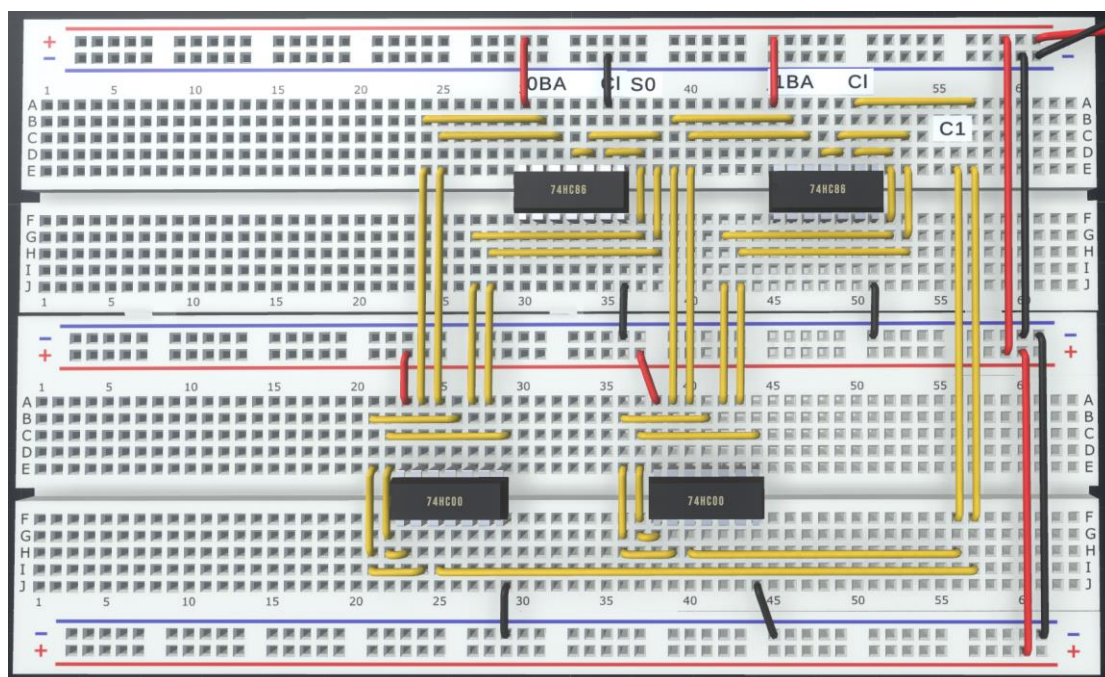
- 确保逻辑功能后认为全加器已经封装，再连接其余门电路。

- 当输出和预期不符时，从输出端向前查找，直到找到错误处。

三、必做任务

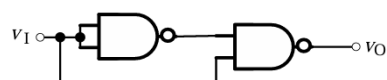
要求：设计一个 2 位二进制加法运算电路，即实现 $S=A+B$ 。其中 A 和 B 均为 2 位二进制无符号数，S 为运算结果。用实验板上的拨码开关模拟二进制输入 A 和 B；用实验板左上角 1 位带译码器的数码管显示十进制运算结果。

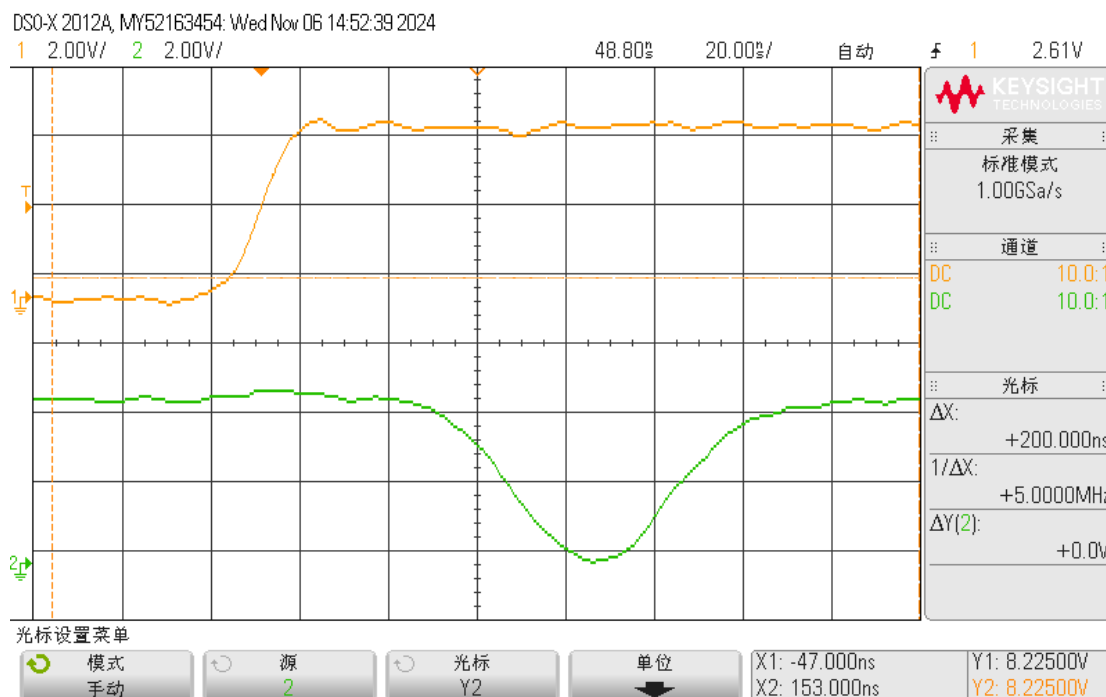
分析与解：在整个电路中共使用了 4 个异或门，6 个与非门；根据芯片的功能，需要 4 片芯片（两片 74HC00、两片 74HC86，冗余一片可方便布线，也方便模块化设计）。为了接线的工整，设计面包板接线如下，并通过仿真实验，确保接线的正确性。仿真成功后，一次性完成全部电路搭建，除输出端接线出现小故障，其余均正常工作，简单调整后排除了故障。



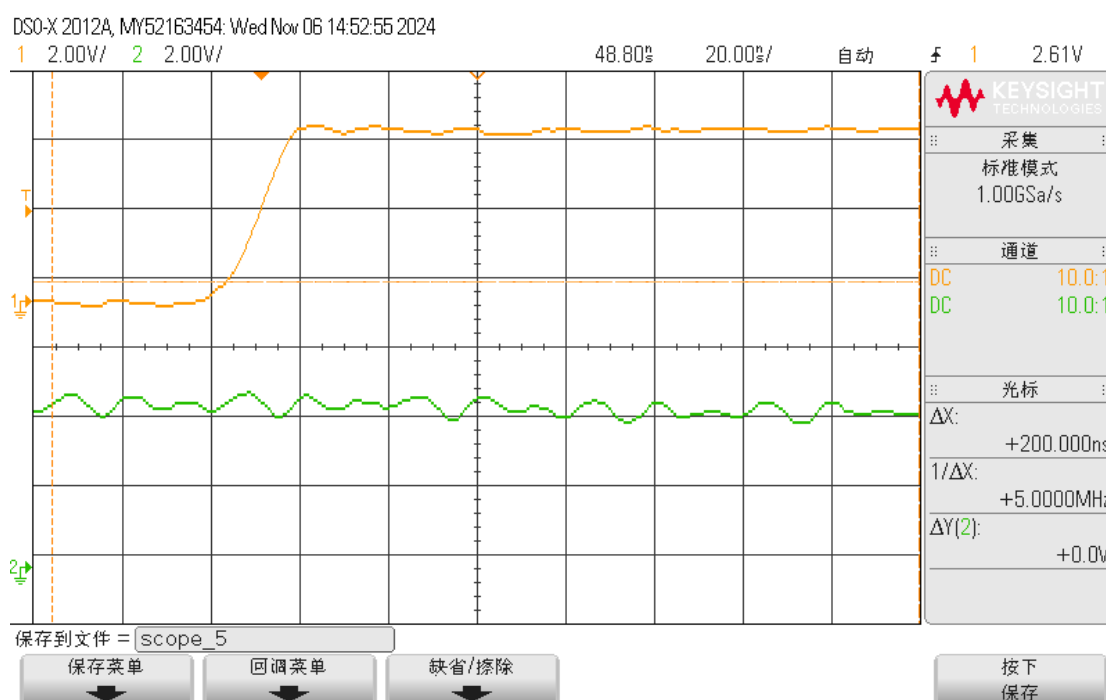
四、选做任务

要求：用 CD4011 搭建电路， v_I 是由函数信号发生器输出 20Hz 的方波，通过示波器观察和记录 v_I 与 v_O 的波形。若电路出现竞争—冒险现象请在不改变电路结构的条件下予以消除。





分析与解: 根据预习部分的分析, 需要一个数百 pF 的滤波电容。实际选取 680pF 的电容, 得到波形如下。



观察到, 竞争冒险现象产生的脉冲电压明显消除了, 说明理论分析和实验结果正确。

六、实验报告-实验总结

注：具体设计过程见“二、预习任务”部分。

1. 组合逻辑电路的设计和调试步骤。

设计步骤：

• 逻辑抽象→写出真值表及逻辑函数式→选定所需器件类型→将逻辑函数式化成最简、易于实现的形式→画出逻辑电路的连接图→设计验证→……

调试步骤：

• 秉持模块化思想，先搭建两个一位全加器，验证其逻辑功能（可以用不同颜色的线区分）。

• 确保逻辑功能后认为全加器已经封装，再连接其余门电路。

• 当输出和预期不符时，从输出端向前查找，直到找到错误处。

2. 在实验中遇到的问题及解决方法

• 面包板接线成功后，数字只能正常显示 0, 2 两个数字，1, 3, 5 无显示，4, 6 会一闪而过；从输出端开始找原因，发现输出 A 位的接线接错位置了，调整后，可以显示 1, 3, 5 仍然一闪而过。此时想起 CD4511B 在输入 ≥ 10 时输出 BLANK，则怀疑最高位 D 未接地导致该引脚电平不稳定。关闭电源，给 D 端接地，此时电路可正常工作。该电路故障均在输出端就找到了，凸显按顺序排除故障的重要性。

3. 此次实验的收获

• 掌握了面包板的设计方法，掌握组合逻辑电路的调试方法。

• 探索面包板电路仿真实验的方法，并通过仿真电路的搭建，降低搭建过程中的风险，提升可靠性，也方便后续调试排查故障。

• 设计组合电路时，逻辑函数式并不是化到最简就好了，也不是化得漂亮就行，而是要考虑实际元器件的功能；要充分进行复用，比如本次实验加法器就复用了 $A \oplus B$ 的结果；有一个结果要 3 个 2 输入与非门和 1 个 3 输入与非门，这样就需要额外两个芯片了，化简成只需 3 个 2 输入与非门后可以简化电路，降低调试难度。

• 深入了解“竞争-冒险”现象产生原因及消除方法，对电容值进行了计算，并用实验验证，证实了滤波电容的滤波效果以及考虑等效电阻 R_{eq} 的重要性。

七、思考题

1. 试分析选做任务电路，若采用在输出端加滤波电容的方式消除竞争冒险，该电容会对输出信号有何影响？试讨论该电容值的选取并给出理论依据。

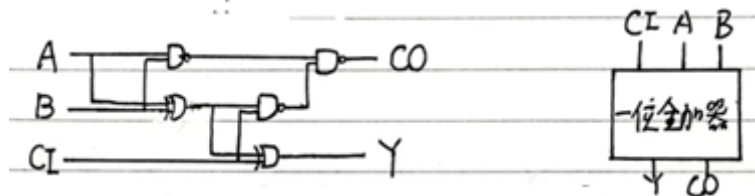
A circuit diagram showing a resistor labeled R_{eq} in series with a capacitor labeled C . The input voltage is V_0 and the output voltage is V'_0 .

想保证 V_o' 始终 $\geq \frac{1}{2}U_{om}$, 则 $e^{-\frac{t_w}{\tau}} \geq \frac{1}{2} \Rightarrow \tau \geq t_w / \ln 2$ 取 $R_{eq} = 200\Omega$, $t_w = 60ns$

由此计算 $C > 433 \text{ pF}$ ，比之前粗略分析得到的要求更高一些。

该电容可有效消除“竞争-冒险”现象,但对某些输出电平高低不唯一的电路,会降低输出信号质量(延长传输延迟时间).

2. 请根据你的 1 位全加器电路设计, 并查阅相应门电路的数据手册。试分析该电路传输延迟时间是多少? 并说明电路传输延迟时间与哪些因素相关。



• 实验使用了 74HC86 作为异或门与 74HC00 作为与非门。查阅数据手册得, 74HC86 的 $t_{pd}=12ns$, 74HC00 的 $t_{pd}=9ns$ (t_{pd} 值取典型值, 手册中没有给出 t_{cd} 值)。根据电路图可知, $t_{pd}=12+9+9=30ns$, $t_{cd}=12ns$ 。

- 传输延迟时间与如下因素相关：芯片本身（工艺型号），环境因素（温度、湿度），电路设计（串接的逻辑门的个数、供电电压）。