

1. $\overline{\text{CLR}}$: Clear Input 输入0 强制输出0

$\overline{\text{PRE}}$: Preset Input 输入0 强制输出1

悬空 ^{CMOS 引脚悬空} ~~接逻辑电平不起作用~~ 但容易受到环境中静电、电磁波影响, 导致莫名置零等情况发生 影响电路正常工作

2. BC

3. 分频器 (教材中没出现但上课讲)

↑ 计数器实现

对输入 CLK 信号上升沿计数

Verilog: 每计数到固定次数使输出翻转, 必为50%

原理图: 用 74160 等计数器实现十分频, 并进行串接, 得到的信号并非 50% 占空比。
74161 十六 以进位信号为输出。

还需通过二分频 (如将上述信号接入 74161, 以最低位输出信号为输出)