

实验五 组合逻辑电路的设计

2024 年秋季学期 自动化系

一、实验目的

1. 学习组合逻辑电路的分析方法和设计方法。
2. 初步学会分析实验现象，并且使用仪器查找、排除电路故障的方法。

二、预习任务

1. 根据实验任务要求完成电路设计，包括：
 - (1) 查阅实验盒中 74HC 系列门电路芯片数据手册，了解它们的逻辑功能。
 - (2) 根据任务要求和建议步骤，写出 1 位全加器的逻辑表达式。设计力求简洁。
 - (3) 根据任务要求和建议步骤，画出 2 位二进制加法运算电路的逻辑图。
2. 实验中使用实验板左上角的 1 位独立数码管显示运算结果。该数码管由实验板底部的 CMOS 集成电路 CD4511B (CM511B) 驱动，可将 BCD 代码译成数码管所需要的驱动信号。查阅 CD4511B 的数据手册。
3. 1 位独立数码管的输入端口在黑色插孔中标为 ABCD，请对照 CD4511B 的真值表，自行测试验证四个端口 ABCD 的高低顺序。
4. 分析图 1 电路是否会发生竞争—冒险现象，并画出输入输出电压波形。如有竞争—冒险现象，请参考思考题 1 给出解决方案。
5. 写出组合逻辑电路的调试方法和步骤、注意事项等。
6. 进入实验室之前，可预先在面包板上搭接电路。

三、必做任务

设计一个 2 位二进制加法运算电路，即实现 $S=A+B$ 。其中 A 和 B 均为 2 位二进制无符号数，S 为运算结果。

用实验板上的拨码开关模拟二进制输入 A 和 B；用实验板左上角 1 位带译码器的数码管显示十进制运算结果。

建议按以下步骤进行设计和调试：

1. 用门电路设计和接成一个 1 位全加器，来自低位的进位接地。
2. 用两个 1 位全加器接成一个 2 位全加器；

四、选做任务

用 CD4011 搭建如下图所示电路， v_I 是由函数信号发生器输出 20Hz 的方波，通过示波器观察和记录 v_I 与 v_O 的波形。

若电路出现竞争—冒险现象请在不改变电路结构的条件下予以消除。

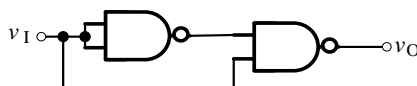


图 1 测试电路

五、实验注意事项

1. 了解芯片的引脚排列，特别注意电源和接地引脚不能接错。若引脚有弯折，调整后再插入面包板中。
2. 整体电路输出故障时，可参照“建议步骤”分块检查调试。

六、实验报告

在网络学堂规定时间内提交报告。报告包括：

1. 整理并写出设计过程，如真值表、逻辑表达式等，并画出逻辑图。
2. 总结
 - (1) 组合逻辑电路的设计和调试步骤。
 - (2) 在实验中遇到的问题及解决方法。
 - (3) 此次实验的收获。
3. 回答思考题。

七、思考题

1. 试分析选做任务电路，若采用在输出端加滤波电容的方式消除竞争冒险，该电容会对输出信号有何影响？试讨论该电容值的选取并给出理论依据。
2. 请根据你的 1 位全加器电路设计，并查阅相应门电路的数据手册。试分析该电路传输延迟时间是多少？并说明电路传输延迟时间与哪些因素相关。