

Q&A of EDA1

整理：刘雪庆、李子昂

安装相关

Q1:

Error 119013: Current license file does not support the ... device.

破解有问题。

将license.dat 文件安放至合适的目录下，例如和QuartusII 应用程序在同一保存路径，注意路径名不能包含中文。QuartusII 应用程序路径尽量在C盘或者D盘的根目录下。

语法问题

Q1

Error 10170: Verilog HDL syntax error at ... near ...;

1. expecting "}".

硬件描述语言中不能使用C语言中的“{}”，而应该使用“begin end”。

2. | input x, y;

x, y不能加括号。中间是“,”，不是“.”或者空格。

3. | module e1(a,b,c);

要加括号，且末尾有分号。关键词，只有在输入正确后才会变成蓝色。

4. | endmodule

中间不能有空格且末尾没有分号。关键词，只有在输入正确后才会变成蓝色。

5. 按位取反符号是~，而不是^，也不是“¬”。逻辑取反运算符是“!”，区别见[这里](#)。

6. module、线的命名。

- Quartus II中名字中不能包含单引号、空格、逗号等字符。
- Quartus II中支持使用字母、数字与下划线、方括号、点等字符命名。方括号、点命名通常有特殊含义。

- module名用字母开头，不能使用数字开头

7. 代码中的运算符有专门的代码语言。

8. 一个 assign 对只能对一个变量进行赋值。

规范问题

Q1

Error 12007: Top-level design entity "... " is undefined.

由于verilog文件名和第一行module名称不一致造成的。将两者名称统一后即可。

Q2

Error 275062: Logic function of type ... and instance "... " is already defined as a signal name or another logic function.

元件名称重复，修改名称后解决。复制粘贴时尤其需要注意这一点。

Q3

器件的命名为“list”，运行报错。

命名与系统内有冲突。

将名字改为“list8”，“list9”等等即可，不能重复。

Q4

Error 10206: Verilog HDL Module Declatation error atv: top module port "... " is not found in the port list.

可能原因：

- 模块名后括号内使用了端口，但下文中未定义相应端口。
- 定义了端口，却没有被模块名后括号内使用。

Q5

新建了新的工程文件，这时打开其他工程文件夹中的 BDF 文件运行，编译时会出现 error。

必须运行本工程文件夹中包含的BDF 文件，采取的解决办法可以是：

- add files from project，将其包含进工程。
- 在本工程文件夹中新建一个 BDF 文件，再将原先 BDF 文件的内容复制过来。

Q6

Error 12049: Can't compile duplicate declarations of entity "... " into library "work".

Verilog和门电路文件名有重复，解决方法：

- 将Verilog 文件名更改成和门电路图文件不同的文件名。
- 关闭或删除不需要的某个文件。

Q7

Error 10500: VHDL syntax error atvhd(1) near text "module".

应该新建Verilog HDL File，但是新建VHDL File，使用了.vhd文件。将文件扩展名改为.v即可。

Q8

在 add/ remove files from project 时，要注意 apply 的使用，只有在点击 apply 后，项目中的文档才能够确定。单纯点击 OK 并不会保存进行的操作。

Q9

Error 10228: Verilog HDL error at ...: module "... " cannot be declared more than one.

在同一个工程中 v 文件的 module 重名导致，修改名称即可。

Q10

顶层文件有且只能有一个，且不能是仿真文件。重新设置后要全编译。

Q11

Error 10238: Quartus II 64 Bit Analysis & Synthesis was unsuccessful.

检查设计中是否存在语法错误，或者重新检查约束条件。

仿真问题

Q1

Can't continue timing simulation because delay annotation information for design is missing.

未进行全编译就执行时序仿真。退出，重新进行全编译。

Q2

vmf 文件仿真时波形无法正常显示，单独对 bdf 的编译是没有问题的，按照视频里的步骤操作却无法跳出波形窗口，上网找教程似乎也找不到对应的解决入口。

可能原因：

- 在options中更换仿真方式。
- 破解有问题，重新破解。

Q3

时序验证时，出现左上角代码执行栏闪过红色警告，时序仿真不进行的情况。

运行波形仿真时使用过快的周期信号（如周期10ns），可能会因为元件无法及时响应而仿真失败。

Q4

波形仿真的窗口中只有输出，没有输入。

检查端口设置名称是否对应。

烧录问题

Q1

无法烧到FPGA 实验板。

可能原因：

- Quartus软件尚未破解。
- 程序中元件型号选择错误。
- 重新安装USB blaster驱动。

Q2

在想要将程序下载到FPGA 板前时，跑程序应该选择左侧的干净的三角形进行全编译，否则没有对应的.sof文件。

Q3

下载界面“Start”是灰色的。

- 选错芯片。点击Assignments/Device。
- 板子没有开机；
- 需要手动选择.sof 文件。.sof 文件的名称命名为项目名+.sof，如果.v 文件命名为eda1_1.v，而项目名为eda1，则得到的.sof 文件仍为eda1.sof。

Q4

下载成功但是板子不能按照要求输出。

因为没有选引脚，或者选择了错误的引脚。

其它问题

Q1

建完了项目关闭后不知如何打开。

选择.qpf 文件。

Q2

连线问题。

连接的时候以为连上了，实际上有缝隙并没有连通，