

实验七 时序逻辑电路的设计

自 35 夏弘宇 2023011004

一、必做任务——星期显示电路

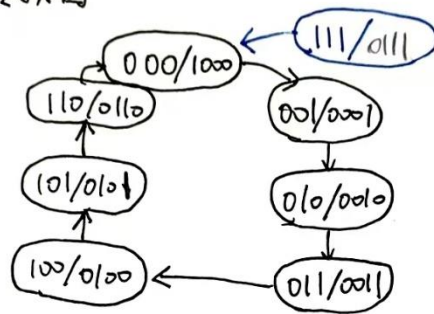
(2) 时序电路设计流程

① 逻辑抽象, 符号表示

状态 $Q_2Q_1Q_0$ 从 000-110 依次表示日、一、...、六

输出 $Y_3Y_2Y_1Y_0$ 从 1000, 0000-0110 输出到 CD4511B.

② 状态转换图



③ 状态化简无

④ 方程组

由状态转换图发现是个六进制计数器, 则采用 T 触发器应当能简化逻辑:

$T_0 = (Q_2Q_1Q_0)'$ 除了置位需要, 其余始终为 1.

$T_1 = Q_0 + Q_2Q_1Q_0'$ 复用 $Q_2Q_1Q_0'$ 的信号!
 $= [Q_0'(Q_2Q_1Q_0)]'$ 化为与非形式.

$T_2 = Q_1Q_0 + Q_2Q_1Q_0' = [(Q_1Q_0)'(Q_2Q_1Q_0)']'$ 同理.

⑤ 输出方程

$Y_3 = Q_0'Q_1'Q_2'$

$Y_2 = Q_1$

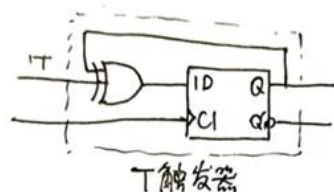
$Y_1 = Q_1$

$Y_0 = Q_0$

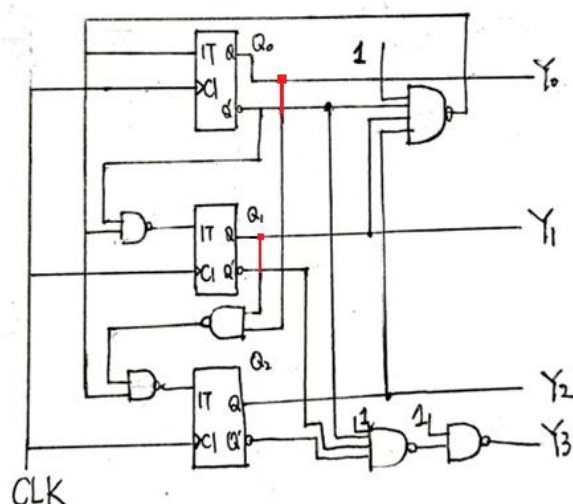
⑤ 自启动检查: $Q_2Q_1Q_0 = 111$ 时会转移到 000, 能自启动

(3) 星期显示电路逻辑图

① 由于既有器件只有D触发器, 因此先构建T触发器:



② 利用T触发器设计电路逻辑图



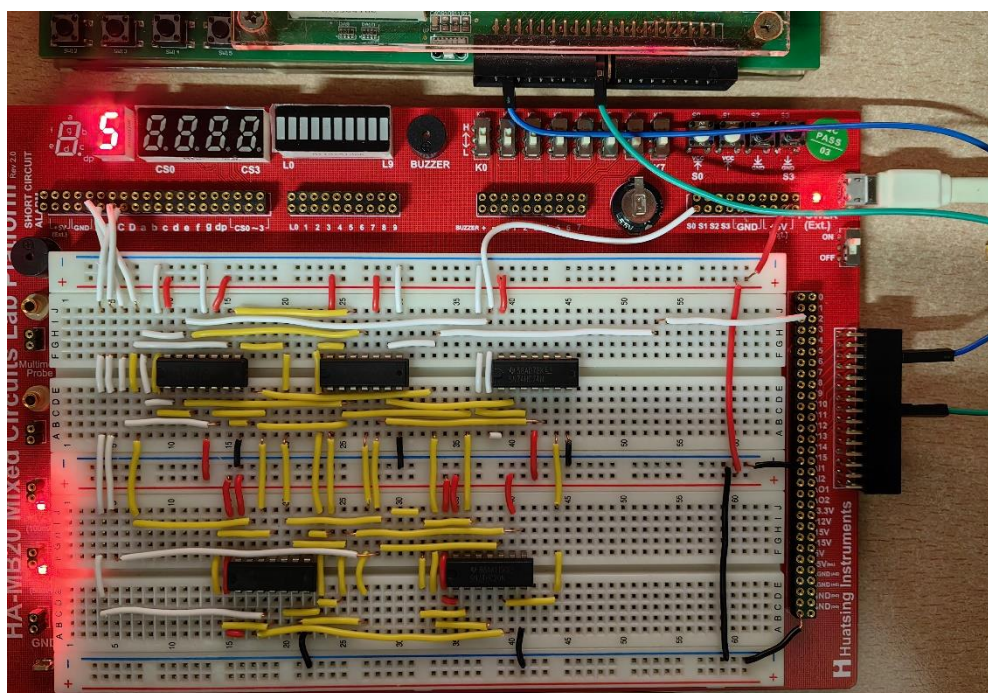
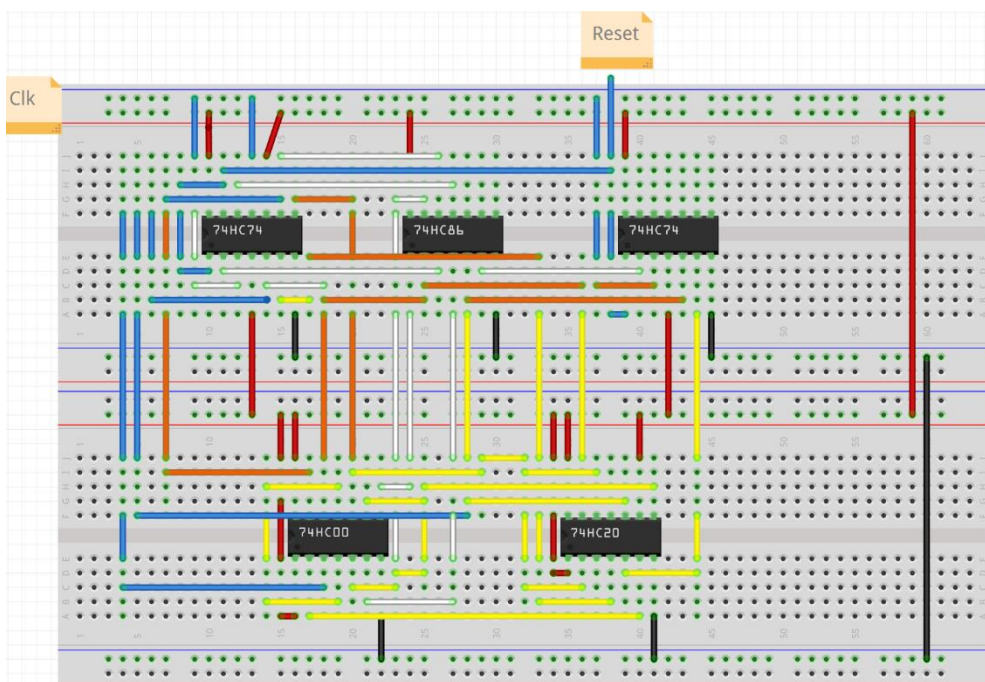
注: 红线部分为后期调试过程中发现错误的改正!

(4) 手动清零功能实现

仅需将置零信号连接各触发器的置零 Reset 端, 就能使状态回到 000, 显示周日。

(5) 面包板电路设计

在整个电路中共使用了 3 个 D 触发器, 4 个二输入与非门, 2 个四输入与非门, 3 个二输入异或门; 根据芯片的功能, 需要 5 片芯片 (两片 74HC74、一片 74HC00、一片 74HC20、一片 74HC86)。面包板接线如下。接线后进行过调整, 将调整的线标成了橙色。整体上, I/O 用白线, 内部逻辑用黄线, 红线接高电平, 黑线接地, 层次比较清晰。



二、必做任务——时钟信号发生电路

设计思路：利用 FPGA 板上 50MHz 的晶振作为原始时钟信号进行分频，以获得 1Hz 的时钟信号。具体地，利用计数器，当晶振信号上升沿到达时，计数器加一，当计数器加到 25000000 时，输出信号反转并将计数器置零。通过上述操作得到输出为 1Hz 的时钟信号。

注：上课时强调时序电路使用非阻塞赋值<=。

```

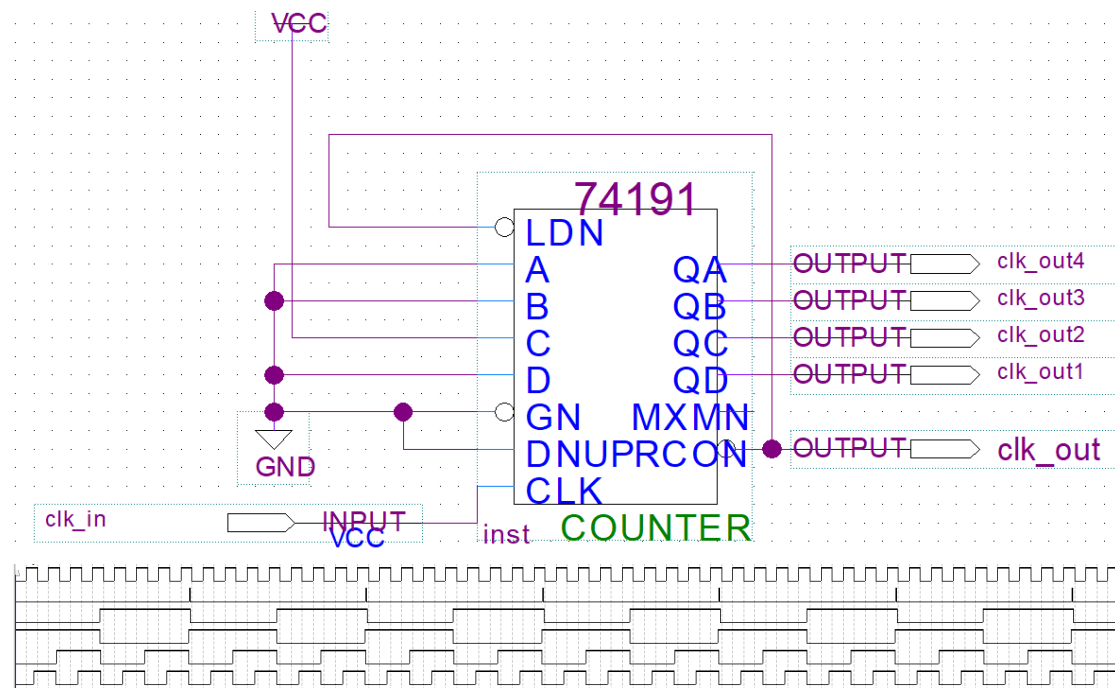
1 module Clock(
2     input clk_in,
3     output reg clk_out
4 );
5
6 reg [31:0] cnt;
7
8 always @(posedge clk_in) begin
9     if(cnt == 32'd25000000-1) begin
10         cnt <= 0;
11         clk_out <= ~clk_out;
12     end
13     else begin
14         cnt <= cnt + 1;
15     end
16 end
17 endmodule

```

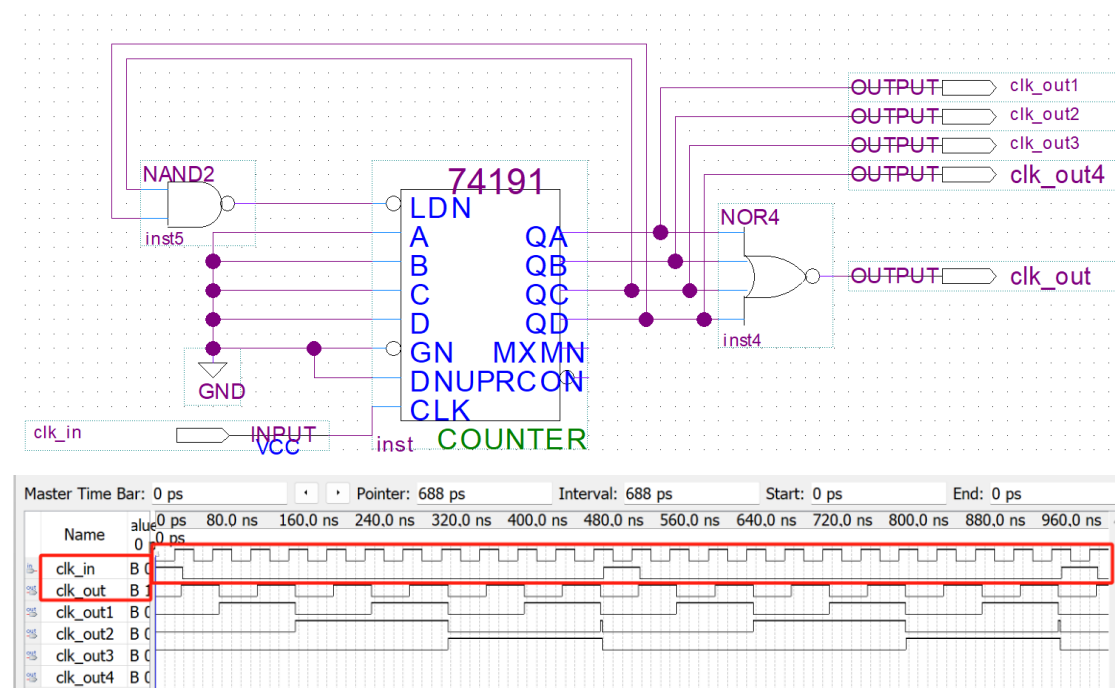
三、选做任务（思考题）

要求：在 EDA 平台上用 4 位同步二进制加/减计数器 74191 设计一个 12 秒报时器，要求分别使用加计数和减计数两种方式实现。附电路图和仿真波形图。

（1）加计数实现

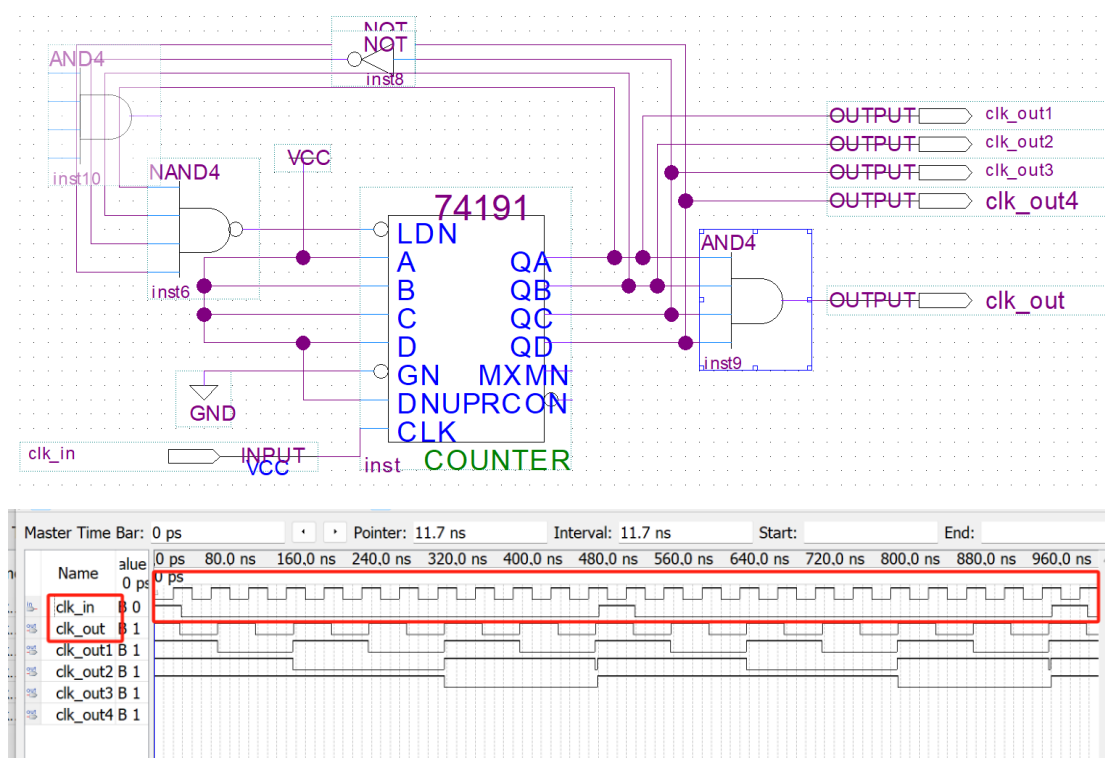


如图所示，采用异步置位会有毛刺信号出现，导致在不该进位/报时的时候出现的相应信号。



改进后进行时序仿真，成功实现 12 分频（12s 报时器）。

(2) 减计数实现



四、实验报告-实验总结

1. 时序逻辑电路的设计和调试步骤。

设计步骤：

- 逻辑抽象→尝试化简状态→状态编码→选定触发器类型，求状态方程、驱动方程、输出方程→画出逻辑电路的连接图→检查自启动→设计验证……

- 本实验中在逻辑抽象时就进行编码更方便，容易描述，缺点是化简状态后可能可以减少所需编码位数，因此一般情况下还是在化简状态后再进行编码更省事！

调试步骤：

- 秉持模块化思想，先进行面包板电路的搭建与调试，检查时序逻辑的正确性，再进行时钟信号的编写与调试，最后将两个模块连接后进行联合调试。

- 当输出和预期不符时，从输出端向前查找。对于面包板电路，用按键开关代替时钟信号后可以自由控制节拍，在显示不符合预期的时候停下，挨个测量关键节点的点位，寻找问题；寻找问题时先确保没有逻辑问题，再考虑电路接线错误，最后考虑接触不良等偶发情况，并进行调整。对于时钟信号部分，由于逻辑十分简单，该实验中没进行调试，实际若不确定，可以用示波器测量输出波形，或者减小频率至 0.1Hz，用万用表测量输出电平。

2. 在实验中遇到的问题及解决方法（出现的故障、如何分析及查找、采取措施、结果如何等等）

- 没读懂按键开关符号的含义，经测量 S0 默认高电平，按下变低电平；S2 默认低电平，按下高电平，则由于 Reset 低电平有效，应接入 S0；调试时时钟信号接 S2。



- 输出数字为 1-日-4-无循环，首先发现 BCD 码的顺序接反了，应当是 ABCD 的顺序，改正后变为日-1-2-3 循环，说明 Y2 输出一直是 0，检查 Y2 的线路。发现电路逻辑图画错了！

- 调整电路后，会进行日-1-6 循环，推测是 Y2 信号有问题，发现接线错误，调整后就可以正常循环了！

编写代码后，分配引脚时部分引脚很奇怪地不能使用，之后也下载不了，发现芯片型号选错了；修改型号后还是下载不了，发现忘记开机了，打开 FPGA 板电源后即可下载成功

- 仿真后注意把仿真文件删掉，否则下载时找不到文件

- 将时钟信号引入面包板，但显示的数字跳动不定，疑似未共地引起，进行共地操作，仍未解决；了解到 FPGA 输出时钟信号的高电平只有 3.3V 左右，正好处于 TTL 电路 V_{IH} 左右（取 3.15V），应当通过一个门电路提升高电平的品质。电路搭建过程中，正好还有一个异或门没有使用，查询数据手册得 V_{OH} 最小值为 4.4V，符合要求，因此将异或门输入 1 接高电平，输入 2 接时钟信号，再将输出信号接入面包板的时钟信号电路，成功解决问题。（预习任务 2：依据门电路（D 触发器）的 V_{IH} ，3.15V-5V，考虑到信号不那么理想，尽量取较大的电压值）

3. 此次实验的收获

- 认识到不同电路连接时考虑高电平标准匹配情况的重要性，这是实际电路与逻辑设计重要的不同点！

- 找到一个设计面包板的软件，但是竟然不能仿真，更别提自动排线了，因此这方面的软件还是有待开发的（猜测因为实际应用中都是 PCB，面包板主要用于教学，没有商业性，开发的动力不足）

- 学会使用杜邦线连接面包板和 FPGA 板，但面包板右侧那些孔与杜邦线插口的对应关系不清楚，实验中只能通过万用表测电阻来实现，充分体会到使用万用表的重要性；当然，理想情况还是查手册

- 体会到调试过程中使用万用表的重要性，学会比较灵活地使用万用表调试

- 学会使用 Verilog 语言编写分频器，确实比原理图设计方便得多