* 1. 主函式 TOP.vhd

|  |  |
| --- | --- |
| 將FPGA與各元件做連接，也負責與各電路連接，並將最後的輸出訊號輸出 | |
| **輸入** | Clk:  描述:FPGA內部時脈100M Hz  Video\_clk：  描述：CLOCK，與TVP5150同步。  資料型態：std\_logic。  reset：  描述：當此訊號為0時，重製訊號。  資料型態：std\_logic。  Video\_data\_i2c:  描述：FPGA拉8條線與TVP5150連接負責傳輸data。  資料型態：std\_logic\_vector(7 downto 0)。 |
| **INOUT** | Video\_sda  描述：FPGA拉線與TVP5150連接負責傳輸sda。  資料型態：std\_logic。  Video\_scl  描述：FPGA拉線與TVP5150連接負責傳輸scl。  資料型態：std\_logic。 |
| **輸出** | R\_out：  描述：由FPGA輸出至VGA的port 共4bit。  資料型態：std\_logic\_vector(3 downto 0)。  G\_out：  描述：由FPGA輸出至VGA的port共4bit。  資料型態：std\_logic\_vector(3 downto 0)。  B\_out：  描述：由FPGA輸出至VGA的port共4bit。  資料型態：std\_logic\_vector(3 downto 0)。  hsync：  描述：負責輸出給vga極性 。  資料型態：std\_logic。  vsync：  描述：負責輸出給vga極性。  資料型態：std\_logic。 |

* 1. 子函式video\_in\_process\_RGB.vhd

|  |  |
| --- | --- |
| 內容包含攝影機訊號到RGB或灰階值產生的過程。  與vga.vhd連接(負責製作vga輸出訊號)  與i2c連接(負責傳入指令給TVP5150)  與vedio\_in連接(接收抓取正確的資料)  而此子函式主要在做YCrCb值與RGB之間的轉換 | |
| **輸入** | Video\_clk：  描述：CLOCK，啟動CLOCK  資料型態：std\_logic。  rst：  描述：當此訊號為0時，重製訊號。  資料型態：std\_logic。  Video\_data\_i2c:  描述：影像資料。  資料型態：std\_logic\_vector(7 downto 0)。 |
| **輸出** | Vga\_hs\_cnt：  描述：VGA輸出訊號時的水平訊號傳輸。  資料型態：integer 。  Vga\_vs\_cnt：  描述：VGA輸出訊號時的垂直訊號傳輸。  資料型態：integer。  hsync：  描述：水平輸出訊號的極性訊號傳輸。  資料型態：std\_logic。  vsync：  描述：垂直輸出訊號的極性訊號傳輸。  資料型態：std\_logic。  Video\_r\_out：  描述：YCrCb經轉換後得到的R值訊號。  資料型態：std\_logic\_vector(7 downto 0)  Video\_g\_out：  描述：YCrCb經轉換後得到的G值訊號。  資料型態：std\_logic\_vector(7 downto 0)  Video\_b\_out：  描述：YCrCb經轉換後得到的B值訊號。  資料型態：std\_logic\_vector(7 downto 0)  Video\_gray\_out：  描述：YCrCb經轉換後得到的灰階值訊號。  資料型態：std\_logic\_vector(7 downto 0)  Frame\_id:  描述:電路正常動作的flag。  資料型態:std\_logic。 |
| **inout** | Video\_error:  描述:當偵測到畫面錯幀時，會重啟電路，重新讀取攝影機資料  資料型態:std\_logic。 |
| **參數** | Video\_error:  描述:當偵測到畫面錯幀時，會重啟電路，重新讀取攝影機資料  資料型態:std\_logic。 |

4.2.1 子函式 video\_in

|  |  |
| --- | --- |
| 製作FPGA傳至VGA轉接頭的訊號 | |
| **輸入** | clk：  描述：CLOCK，啟動CLOCK  資料型態：std\_logic。  rst：  描述：當此訊號為0時，重製訊號。  資料型態：std\_logic。  Video\_data\_i2c:  描述：影像資料。  資料型態：std\_logic\_vector(7 downto 0)。 |
| **輸出** | Video\_start\_en:  描述:資料開頭的訊號。  資料型態:std\_logic。  Cnt\_video\_hsync:  描述:資料長度計算。  資料型態:integer。 |

4.2.2 子函式 VGA.vhd

|  |  |
| --- | --- |
| 製作FPGA傳至VGA轉接頭的訊號 | |
| **輸入** | clk：  描述：CLOCK，啟動CLOCK  資料型態：std\_logic。  rst：  描述：當此訊號為0時，重製訊號。  資料型態：std\_logic。 |
| **輸出** | Vga\_hs\_cnt：  描述：FPGA在製作VGA輸出訊號時的水平訊號。  資料型態：integer 。  Vga\_vs\_cnt：  描述：FPGA在製作VGA輸出訊號時的垂直訊號。  資料型態：integer。  hsync：  描述：水平輸出訊號的極性訊號。  資料型態：std\_logic。  vsync：  描述：垂直輸出訊號的極性訊號。  資料型態：std\_logic。 |
| **參數** | horizontal\_resolution：  描述：這是水平解析度  資料型態：integer: 最高可以設置到1280  horizontal\_front\_porch:  描述：這是水平同步脈衝結束時序  資料型態：integer: 最高可以設置到 48  horizontal\_sync\_pulse:  描述：這是水平同步脈衝  資料型態：integer: 最高可以設置到 112  horizontal\_back\_porch:  描述：這是水平同步脈衝開始時序  資料型態：integer: 最高可以設置到 248  vertical\_resolution:  描述：這是垂直解析度  資料型態：integer: 最高可以設置到1024  vertical \_front\_porch:  描述：這是水平同步脈衝結束時序  資料型態：integer: 最高可以設置到 1  vertical\_sync\_pulse:  描述：這是水平同步脈衝  資料型態：integer: 最高可以設置到 3  vertical\_back\_porch:  描述：這是水平同步脈衝開始時序  資料型態：integer: 最高可以設置到 38 |

4.2.3 子函式 I2C.vhd

|  |  |
| --- | --- |
| 將啟動IIC命令給TVP5150使其動作 | |
| **輸入** | clk：  描述：CLOCK，啟動CLOCK  資料型態：std\_logic。  rst：  描述：當此訊號為0時，重製訊號。  資料型態：std\_logic。 |
| **INOUT** | SDA：  描述：控制SDA讀寫。  資料型態: std\_logic： 。  SCL：  描述：控制SCL讀寫。  資料型態：std\_logic。 |
| **參數** | type\_I2C：  描述：這是要寫入IIC協定的指令  資料型態：std\_logic\_vector(23 downto 0)。  以陣列的形式表示。一次長度24bit  CMD\_NUM\_TVP5150:  描述：這是控制需要傳幾條指令的參數  資料型態：integer: IIC的指令為2筆，但如需其他指令可自行設定，這個參數會連動其他與他有關的參數 |

* 1. 子函式 UART(其中包含了RX與TX)

4.3.1 UART.RX

|  |  |
| --- | --- |
| Arduino 到 FPGA 的UART RX (UART\_RX.vhd)  這是FPGA 的RTL block，它的功能是接收Arduino 用UART協定傳送的資料，以一個byte進行輸出 | |
| **輸入** | i\_Clk：  描述：CLOCK  資料型態：std\_logic。  i\_RX\_Serial：  描述：這是FPGA的UART RX 接腳  資料型態：std\_logic。 |
| **輸出** | o\_RX\_DV：  描述：這是「FPGA接收完1個BYTE的資料」的flag，可以開始提取資料。  資料型態：std\_logic。  o\_RX\_Byte：  描述：這是FPGA所接受的資料，資料長度為1個byte。  資料型態：std\_logic\_vector(7 downto 0)。 |
| **參數** | g\_CLKS\_PER\_BIT ：  描述：這是計算clock的除頻參數，用來逼近UART的傳輸頻率(傳輸鮑率)。  g\_CLKS\_PER\_BIT = (Frequency of i\_Clk)/(Frequency of UART)  Example : 20 MHz Clock, 9600 baud UART  (20000000) / (9600) = 2083  資料型態：integer。 |
| **方法** | 這是FPGA 的RTL block，它的功能是接收Arduino 用UART協定傳送的資料，以一個byte進行輸出。  每個CLK會把i\_RX\_Serial的當前資料存進暫存器裡面。  它有一個計數器會不斷計數，直到數值為g\_CLKS\_PER\_BIT - 1，再歸0。  它的FSM有5種狀態：  1. 初始化  2. 開始位元  3. 資料接收(8 bit)  4. 停止位元  5. 切割   1. 進行歸0計數器與o\_RX\_Byte，以及等待FPGA RX的接腳接收到低準位的電壓，便進入開始位元狀態。 2. 讓計數器跑到g\_CLKS\_PER\_BIT-1的一半，判斷FPGA RX的接腳是否仍處於低準位的電壓，是低準位的話便進入資料接收狀態，不是的話回到初始化的狀態，因為其頻率並非如同設定。讓計數器跑到g\_CLKS\_PER\_BIT-1的一半是為了使判斷FPGA RX狀態的CLK位於狀態持續時間的中間。 3. 讓計數器跑到g\_CLKS\_PER\_BIT-1，將FPGA RX狀態寫進o\_RX\_Byte，並歸0計數器，等跑完7次也就是FPGA RX狀態寫了8次給o\_RX\_Byte，便進入停止位元。 4. 讓計數器跑到g\_CLKS\_PER\_BIT-1，將r\_RX\_DV拉為高準位，讓外部連接的Block知道UART資料傳輸完畢，然後進入切割狀態。 5. 這個狀態會進行1個CLK，將r\_RX\_DV拉回低準位，然後就回到初始化的狀態。 |

4.3.2 UART\_TX

|  |  |
| --- | --- |
| Arduino 到 FPGA 的UART RX (UART\_RX.vhd)  這是FPGA 的RTL block，它的功能是透過UART發送資料給Arduino，以一個byte進行輸出。 | |
| **輸入** | i\_Clk：  描述：CLOCK，啟動CLOCK  資料型態：std\_logic。  i\_TX\_DV：  描述：啟動FPGA使用UART的FLAG。  資料型態：std\_logic。  i\_TX\_Byte：  描述：FPGA使用UART所傳送的資料，每次傳送一個Byte。  資料型態：std\_logic\_vector(7 downto 0)。 |
| **輸出** | o\_TX\_Active：  描述：FPGA的UART處於動作中的FLAG。  資料型態：std\_logic。  o\_TX\_Serial：  描述：UART在FPGA的TX接腳。  資料型態：std\_logic。  o\_TX\_Done：  描述：UART資料傳輸完的FLAG。  資料型態：std\_logic。 |
| **參數** | g\_CLKS\_PER\_BIT ：  描述：這是計算clock的除頻參數，用來逼近UART的傳輸頻率(傳輸鮑率)。  g\_CLKS\_PER\_BIT = (Frequency of i\_Clk)/(Frequency of UART)  Example : 20 MHz Clock, 9600 baud UART  (20000000) / (9600) = 2083  資料型態：integer。 |
| **方法** | 這是FPGA 的RTL block，它的功能是透過UART發送資料給Arduino，以一個byte進行輸出。  它有一個計數器會不斷計數，直到數值為g\_CLKS\_PER\_BIT - 1，再歸0。  它的FSM有5種狀態：  1. 初始化  2. 開始位元  3. 資料傳送(8 bit)  4. 停止位元  5. 切割   1. 歸0計數器和輸出(o\_TX\_Active、o\_TX\_Serial、o\_TX\_Done)。等待i\_TX\_DV被拉到高準位，進入開始位元的狀態。 2. 將o\_TX\_Active拉到高準位，告訴其他FPGA的Block，UART TX正在動作；將o\_TX\_Serial拉到低準位，告訴arduino，這邊要傳送資料了。等待計數器跑到g\_CLKS\_PER\_BIT-1，便進入資料傳送的狀態。 3. 將i\_TX\_Byte的資料由0到7讓o\_TX\_Serial去輸出，index變換的時間間隔是計數器數到g\_CLKS\_PER\_BIT-1。i\_TX\_Byte的資料都輸出完，進入停止位元的狀態。 4. 將o\_TX\_Serial拉到高準位，告訴Arduino，傳輸資料完畢。等待計數器跑到g\_CLKS\_PER\_BIT-1，進入切割的狀態，並把o\_TX\_Done拉到低準位，告訴其他FPGA的Block，UART傳送完了。 5. 將o\_TX\_Active拉到低準位，告訴FPGA的controller可以進行下一筆資料可以傳送了。回到初始化的狀態。 |

* 1. 子函式 blk\_mem\_gen.vhd

|  |  |
| --- | --- |
| 由Xilinx內部的IP製作的Block\_ram  負責儲存資料與讀取該資料  可以自行設定 其 深度 廣度 與單筆位元數(設定須符合FPGA板的規格) | |
| **輸入** | clka：  描述：讀取或寫入的時脈。  資料型態：std\_logic。  wea：  描述：動作智能。  資料型態：std\_logic。  addra:  描述：總資料長度的記憶體計數器。負責讀寫  資料型態：std\_logic\_vector(依長度給予適當的位元數)。  dina:  描述：要傳進去暫存器的資料。  資料型態：std\_logic\_vector(依照想要傳入的資料給予適當的 位元數)。  clkb:  描述：讀取或寫入的時脈。  資料型態：std\_logic。  addrb:  描述：總資料長度的記憶體計數器。負責讀寫  資料型態：std\_logic\_vector(依長度給予適當的位元數)。 |
| **輸出** | Doutb:  描述:讀出存入的資料。  資料型態:std\_logic\_vector(資料型態與dina相同)。 |

* 1. 子函式 Ping\_pong\_buffer.vhd

|  |  |
| --- | --- |
| 將8個暫存器(720\*1)影像資料串起來，8位元為單位以pipe的形式一起傳出 | |
| **輸入** | clk：  描述：Clock，啟動Clock。  資料型態：std\_logic。  rst：  描述：重製訊號。  資料型態：std\_logic。  Video\_data:  描述：影像資料。  資料型態：std\_logic\_vector(7 downto 0)。  Vga\_hs\_cnt:  描述：使資料對其於vga輸出訊號。  資料型態：integer。  Vga\_vs\_cnt:  描述：使資料對其於vga輸出訊號。  資料型態：integer。 |
| **輸出** | Ping\_pong\_out\_8:  描述:整理過的影像資料。  資料型態: std\_logic\_vector(7 downto 0)。  Ping\_pong\_out\_7:  描述: 整理過的影像資料。  資料型態: std\_logic\_vector(7 downto 0)。  Ping\_pong\_out\_6:  描述: 整理過的影像資料。  資料型態: std\_logic\_vector(7 downto 0)。  Ping\_pong\_out\_5:  描述: 整理過的影像資料。  資料型態: std\_logic\_vector(7 downto 0)。  Ping\_pong\_out\_4:  描述: 整理過的影像資料。  資料型態: std\_logic\_vector(7 downto 0)。  Ping\_pong\_out\_3:  描述: 整理過的影像資料。  資料型態: std\_logic\_vector(7 downto 0)。  Ping\_pong\_out\_2:  描述: 整理過的影像資料。  資料型態: std\_logic\_vector(7 downto 0)。  Ping\_pong\_out\_1:  描述: 整理過的影像資料。  資料型態: std\_logic\_vector(7 downto 0)。 |

* 1. 子函式 Harris.vhd

|  |  |
| --- | --- |
| 製作FPGA傳至VGA轉接頭的訊號 | |
| **輸入** | clk：  描述：CLOCK，啟動CLOCK。  資料型態：std\_logic。  rst：  描述：當此訊號為0時，重製訊號。  資料型態：std\_logic。  Vga\_hs\_cnt:  描述：使資料對其於vga輸出訊號。  資料型態：integer。  Vga\_vs\_cnt:  描述：使資料對其於vga輸出訊號。  資料型態：integer。  Threshold:  描述: harris推導中參數R的門檻值  資料型態: std\_logic\_vector(43 downto 0) |
| **輸出** | Harris\_out:  描述:判定該點為harris corner的訊號。  資料型態:std\_logic。 |

* 1. 子函式 ORB.vhd

|  |  |
| --- | --- |
| 製作由Harris corner 衍生的BRIEF描述子 | |
| **輸入** | clk：  描述：CLOCK，啟動CLOCK。  資料型態：std\_logic。  rst：  描述：當此訊號為0時，重製訊號。  資料型態：std\_logic。  Vga\_hs\_cnt:  描述：使資料對其於vga輸出訊號。  資料型態：integer。  Vga\_vs\_cnt:  描述：使資料對其於vga輸出訊號。  資料型態：integer。  Video\_data:  描述：影像資料。  資料型態：std\_logic\_vector(7 downto 0)。  Kp\_en:  描述: 將Harris corner訊號導入函式。  資料型態: std\_logic。  Save\_en:  描述: 控制內部記憶體是否進行動作。  資料型態: std\_logic。 |
| **輸出** | B\_out:  描述: 描述子的座標(X,,Y)。  資料型態:std\_logic\_vector(83 downto 0)。 |
| **參數** | pairs\_table:  描述: 128點對的查表。  centroid\_x:  描述: X軸方向sobel強度計算。  centroid\_Y:  描述: Y軸方向sobel強度計算。 |

4.7.1 CORDIC.vhd

|  |  |
| --- | --- |
| 輔助ORB.vhd計算角度arctan(y/x) | |
| **輸入** | clk：  描述：CLOCK，啟動CLOCK。  資料型態：std\_logic。  rst：  描述：當此訊號為0時，重製訊號。  資料型態：std\_logic。  X\_in:  描述: X軸方向sobel強度計算。  資料型態: std\_logic\_vector(14 downto 0)。  Y\_in:  描述: X軸方向sobel強度計算。  資料型態: std\_logic\_vector(14 downto 0)。 |
| **輸出** | X\_out:  描述: (x^2+y^2)^0.5的解。  資料型態: std\_logic\_vector(17 downto 0)。  Y\_out:  描述: (x^2+y^2)^0.5的解。  資料型態: std\_logic\_vector(17 downto 0)。  Z\_out:  描述: arctan的角度 : 90~0  資料型態: std\_logic\_vector(7 downto 0)。 |

* 1. 子函式 matching.vhd

|  |  |
| --- | --- |
| 前後兩幀描述子匹配 | |
| **輸入** | clk：  描述：CLOCK，啟動CLOCK，此時脈為FPGA內部時脈。  資料型態：std\_logic。  rst：  描述：當此訊號為0時，重製訊號。  資料型態：std\_logic。  Video\_clk:  描述: CLOCK，啟動CLOCK。  資料型態: std\_logic。  a:  描述: 前幀的描述子(X,Y)座標。  資料型態: std\_logic\_vector(83 downto 0)。  b:  描述: 後幀的描述子(X,Y)座標。  資料型態: std\_logic\_vector(83 downto 0)。 |
| **輸出** | MATE\_D:  描述: 匹配到的前後幀(X,Y)軸座標。  資料型態: std\_logic\_vector(39 downto 0)。 |