1. **实验目的**

掌握cache实现的三个关键技术：数据查找，地址映射，替换算法，熟悉译码器，多路选择器，寄存器的使用，能根据不同的映射策略在Logisim平台中用数字逻辑电路实现cache机制。

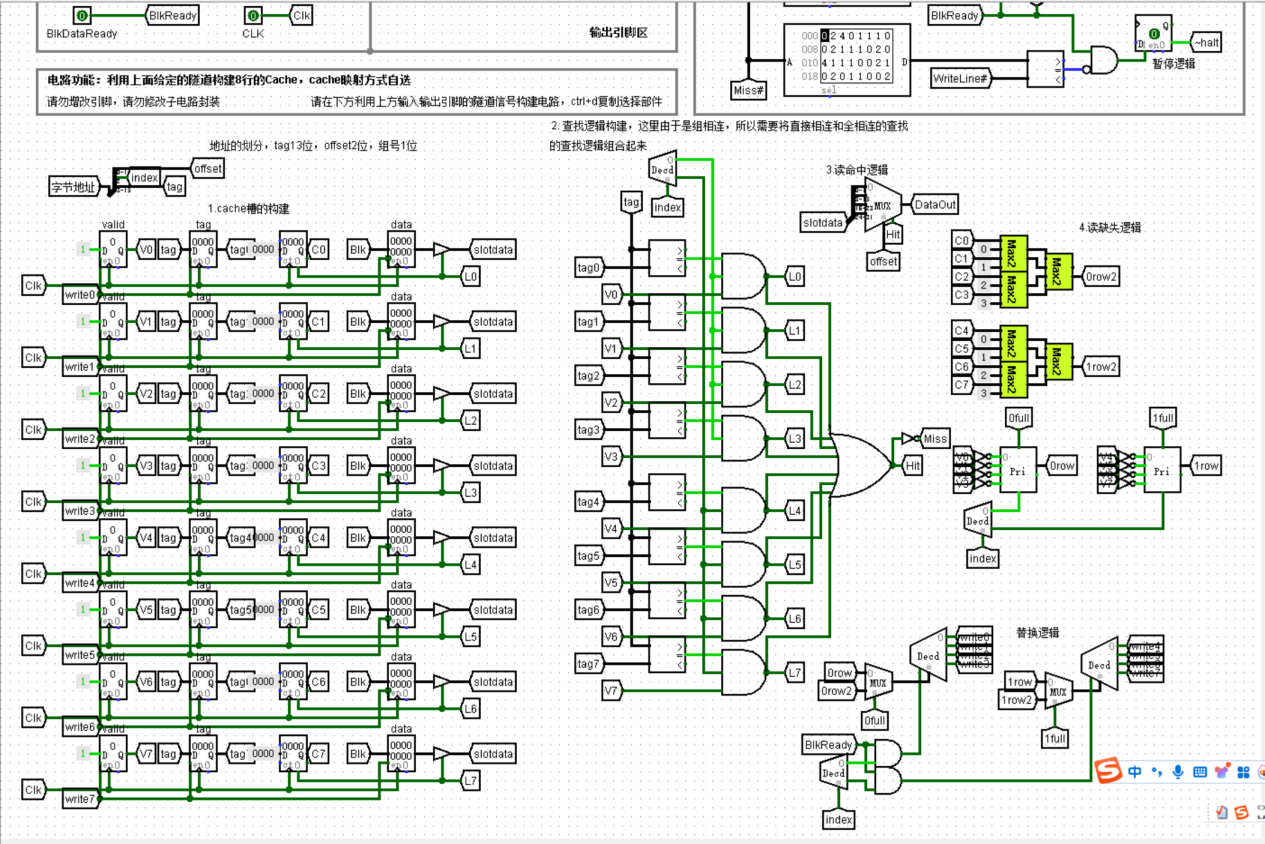
1. **实验内容**

上图给出了一个在Logisim中设计完成的cache系统自动测试电路，为简化实验设计，这里所有cache模块均为只读cache（类似指令cache），无写入机制。电路左侧计数器与存储器部分会在时钟驱动下逐一生成地址访问序列给cache模块。计数器模块的使能端受命中信号驱动，缺失时使能端无效，计数器不计数，等待系统将待请求数据所在块从二级存储器中调度到cache后才能继续计数。cache与二级存储器之间通过块交换逻辑实现数据块交换，由于二级存储器相比cache慢很多，所以一次块交换需要多个时钟周期才能完成，cache模块判断数据块准备好的逻辑是blkready信号有效，该信号有效且时钟到来时，cache将块数据从BlkDin端口一次性载入到对应cache行缓冲区中，此时cache数据命中，直接输出请求数据，解锁计数器使能端，继续访问下一个地址。

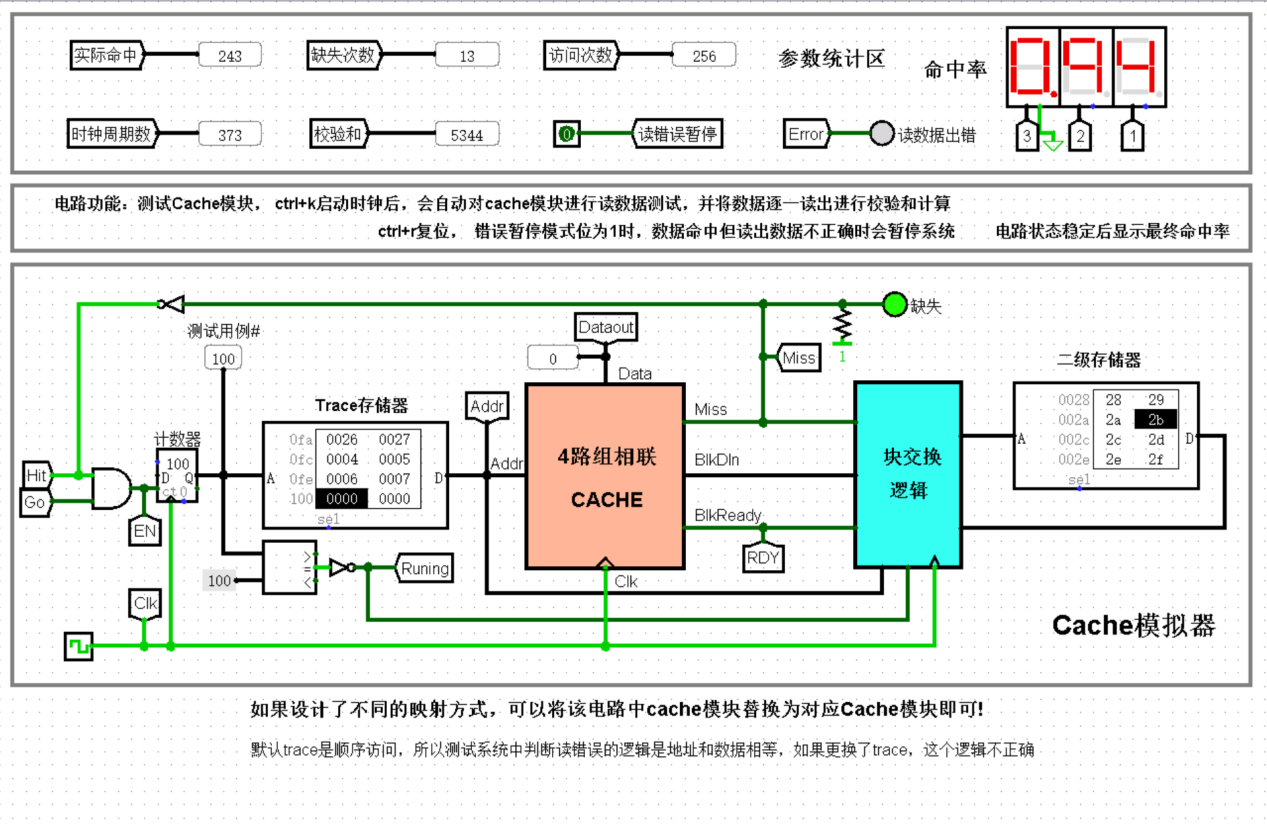
自动测试电路会逐一取出t\frace存储器中的主存地址去访问存储系统，并逐一将数据从cache模块取出送校验和计算电路计算校验和，当计数器值为256时会停止电路运行，此时所有存储访问的cache命中率将会在右上角LED数码管显示。本次实验的主要任务就是设计该电路的核心模块cache子电路。

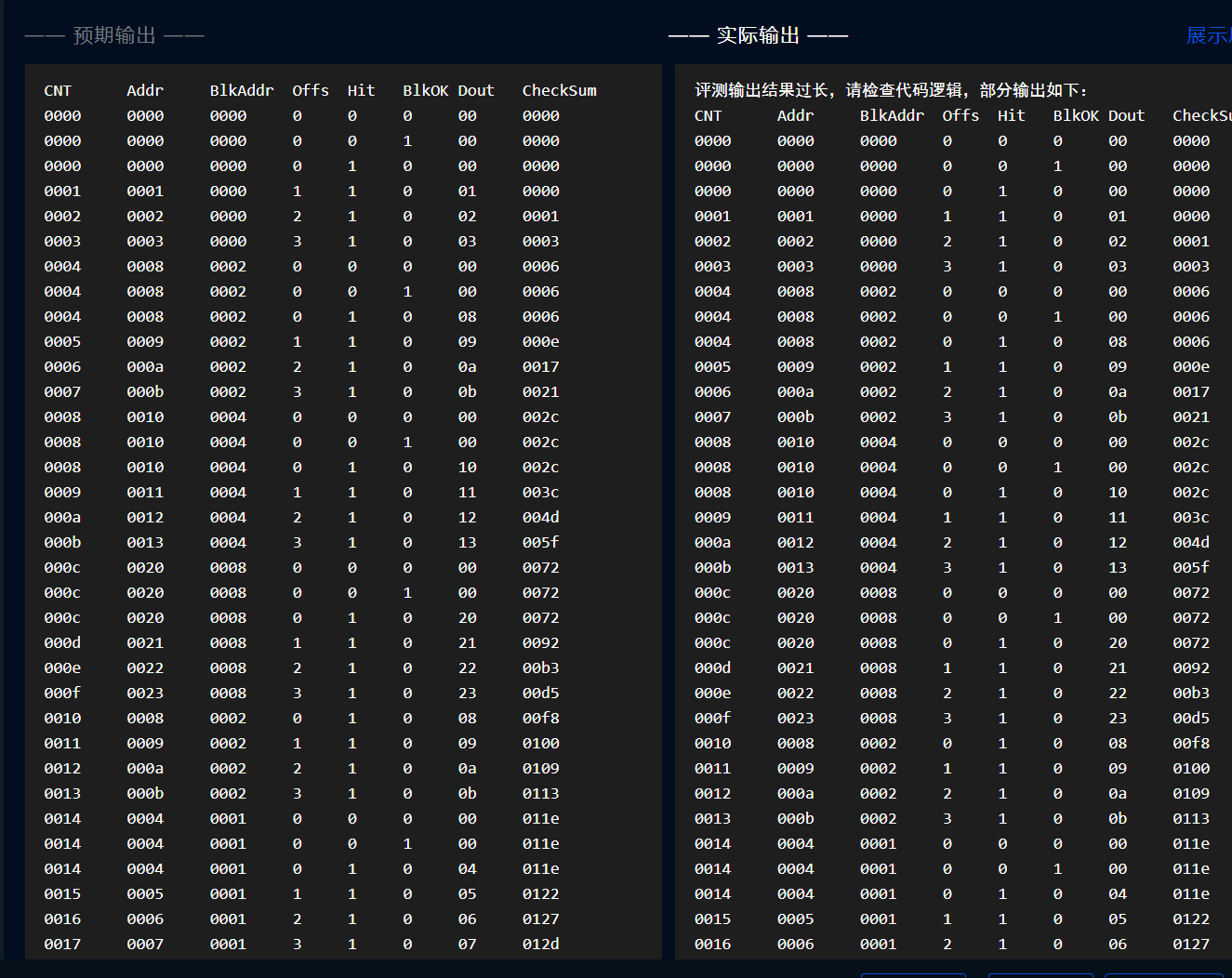
结合引脚功能说明，实现只读的四路组相联cache模块，该cache模块共包括8个cache行，每个数据块包含包括4个字节共32位数据。

1. **实验原理（电路图）**



1. **实验结果**

****



**五、实验小结（分析实验结果，阐述遇到的问题，解决的办法和实验收获）**