

第5章存储器 单元测验-2020

返回

姓名：张晨明 班级：(2019-2020-2)-A0507030-06030-1 成绩： 96.0分

一、单选题（题数：12，共 36.0 分）

1	下面关于易失性存储器的说法中，正确的是： (3.0分)	3.0分
A、 在电源不掉电的情况下，数据仍会丢失的存储器是易失性存储器。 B、 在电源掉电后，数据会丢失的存储器是易失性存储器。 C、 SRAM是易失性存储器，DRAM是非易失性存储器。 D、 主存都是易失性存储器，外存都是非易失性存储器。		
我的答案： B		
2	关于RAM，下述说法中正确的的是： (3.0分)	3.0分
A、 半导体RAM信息可读可写，且断电后信息仍能保持。 B、 DRAM是易失性的，而SRAM是非易失性的。 C、 DRAM和SRAM都是易失性的。 D、 DRAM是非易失性的，而SRAM是易失性的。		
我的答案： C		
3	关于存储器的速度指标描述，错误的是_____。 (3.0分)	3.0分
A、 存储周期指连续两次访问存储器的最小时间间隔。 B、 存取时间指从启动一次访问开始到访问完成所花的时间。 C、 存储器带宽是衡量数据传输率的重要技术指标。 D、 存储周期通常小于存取时间。		
我的答案： D		
4	相联存储器的访问方式是： (3.0分)	3.0分
A、 先进先出顺序访问 B、 按地址访问 C、 无地址访问 D、 按内容访问		
我的答案： D		
5	关于双端口存储器，下列说法错误的是： (3.0分)	3.0分

2020/7/6

计算机组成原理（甲）-考试

A、 双端口存储器访问速度快，但是硬件结构复杂。	
B、 双端口存储器能同时支持两个地址单元的访问，而不会发生读/写冲突。	
C、 双端口存储器有左、右两套地址和数据线、读写信号。	
D、 双端口存储器适用于需要存储数据共享的场合。	
我的答案： B	
6	下面关于多体交叉存储器的叙述中，错误的是： (3.0分)
A、 多体交叉存储器是为了扩大存储器容量而采用交叉编址方法。	
B、 它的每个模块的体选信号是由地址总线的低位经过译码产生的。	
C、 它的每个模块都有自己的MAR和MDR。	
D、 它的每个模块内的单元，其地址是不连续的。	
我的答案： A	
7	某计算机使用 4 体交叉编址存储器，假定在存储器总线上出现的主存地址（十进制）序列为8006，8007，8008，8001，8002，8003，8004，8000，则可能发生访存冲突的地址对是： (3.0分)
A、 8004和8000	
B、 8002和8007	
C、 8001和8008	
D、 8000和8006	
我的答案： A	
8	下面有关Cache的说法哪一个是错误的： (3.0分)
A、 设置Cache后，不仅扩大了主存的容量，而且提高了主存的平均访问速度。	
B、 设置Cache的理论基础，是程序访问的局部性原理。	
C、 Cache的内容是主存部分内容的副本。	
D、 Cache的功能均由硬件实现，对程序员是透明的。	
我的答案： A	
9	下面存储器中，既是随机存取的，又是永久性的存储器是： (3.0分)
A、 SRAM	
B、 硬磁盘	
C、 ROM	
D、 CD-ROM	
我的答案： C	
10	下面关于SRAM和DRAM的对比中，错误的是： (3.0分)

3.0分

3.0分

3.0分

3.0分

3.0分

- A、 在电源掉电后，SRAM的数据稳定保持，DRAM的数据则会丢失。
- B、 SRAM由双稳态触发器存储0/1代码，DRAM则用极间电容存储0/1代码。
- C、 SRAM不需刷新，DRAM需要定时刷新。
- D、 与DRAM相比，SRAM容量小，速度快，价格高。

我的答案：A

11 关于虚拟存储器，说法错误的是：（3.0分） 3.0分

- A、 虚拟存储器属于多级存储体系中的主存—辅存层次。
- B、 在逻辑上，虚拟存储器为程序员提供了一个具有辅存容量、接近主存速度的存储器。
- C、 与主存—Cache之间的数据交换类似，虚拟存储器也能够自动装入和调度，但是不同的是，前者是纯硬件实现，而后者完全由软件（操作系统）实现。
- D、 虚拟存储器管理方法有段式、页式和段页式。

我的答案：C

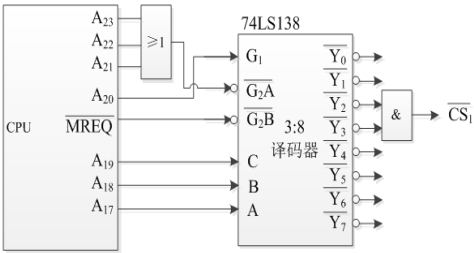
12 下面有关存储器的叙述中，哪一个是正确的： ____。（3.0分） 3.0分

- A、 寄存器是存储器的一种，而且速度最快。
- B、 为提高CPU访问存储器的速度，可以设置Cache、采用双端口存储器或者加长存储器字长；而为了增加存储器容量，则可以采用多体存储器交叉存储器。
- C、 在访问随机存储器时，访问时间与单元的物理位置无关。
- D、 虚拟存储器是指主存-辅存系统，它完全由软件来实现统一调度和管理。

我的答案：C

二、填空题（题数： 1， 共 18.0 分）

- 1 CPU有地址总线24根，数据总线8根，按字节编址：18.0分
- 1) CPU所能配备的最大主存容量是 （1） B。
 - 2) 如果按照下图进行存储器的配置与扩展，地址从A0起始，则：
 - ① 74LS138译码器的每一根Yi#线，对应可以连接的存储器容量最大为 （2） K；
 - ② Y1#对应的存储器地址范围是 （3） H— （4） H； Y6#对应的存储器地址范围是 （5） H— （6） H；
 - ③ CS1# 对应的存储器容量是 （7） K，地址范围是 （8） H— （9） H。



(18.0分)

我的答案:

- 第一空: 2^24
- 第二空: 128
- 第三空: 120000
- 第四空: 13FFFF
- 第五空: 1C0000
- 第六空: 1DFFFF
- 第七空: 256
- 第八空: 140000
- 第九空: 17FFFF

三、阅读理解（题数：2，共 46.0 分）

1

某机主存容量64MB，配有16KB的Cache，按字节编址，主存和Cache交换的字块大小是32B，Cache按照8路组相联的方式组织，CPU不命中Cache时，从主存直接获取数据：

22.0分

(22.0分)

回答正确
";1b784b0c-f6fe-409e-a781-8693a38ffb64":
回答正确
"}">

(1) [填空题]（6分）

假设CPU发出存储器读请求次数4000次，有3800次是从Cache读取的，则Cache的命中率是（1）；若存储器访问周期是80ns，Cache的访问周期是10ns，则Cache-主存的平均访问时间是（2）ns，效率是（3）%(取整数的%)。

我的答案：
第一空：
95%
第二空：
13.5
第三空：
74

(2) [填空题]（6分）

CPU访问主存时，主存地址的最低（4）位为块内地址；中间的（5）位为用于定位Cache哪一组的组地址；最高（6）位为用于比较的标记。

我的答案：
第一空：
5
第二空：
6
第三空：
15

(3) [简答题]（5分）

描述访问主存1234567H地址的过程。

我的答案：

二进制为0001 0010 0011 0100 0101 0110 0111
最低5位为块内地址 即00111 为块内07H的单元
中间6位为组地址，即位于2BH的Cache组中
高15位为标记即2468H
访存时限根据中间组号找到对应Cache组，在与标记做比较，若命中则取出块内地址上的内容。

老师批语

回答正确

(4) [简答题]（5分）

假设Cache采用随机替换策略和写回策略，那么该Cache的目录SRAM容量是多少。

我的答案：

采用写回法需要设置一个脏位，随机替换不需要设置计数器，Cache采用组相联映射设置一个有效位,共有Cache16KB/32B=2^9块，所以SRAM17*2^9位

老师批语

回答正确

2

一个CPU所能配备的最大主存容量是256K×32位，现有16K×8位的SRAM芯片，问：
(24.0分)

20.0分

回答正确
'">

(1) [填空题] （4分）

CPU内的MAR有____位；MDR有____位。

我的答案：

第一空：

18

第二空：

32

(2) [填空题] （4分）

假设SRAM芯片（16K×8位）的控制信号有片选、读写信号共计2根，则芯片引脚有____根。

我的答案：

第一空：

24

(3) [简答题] （16分）

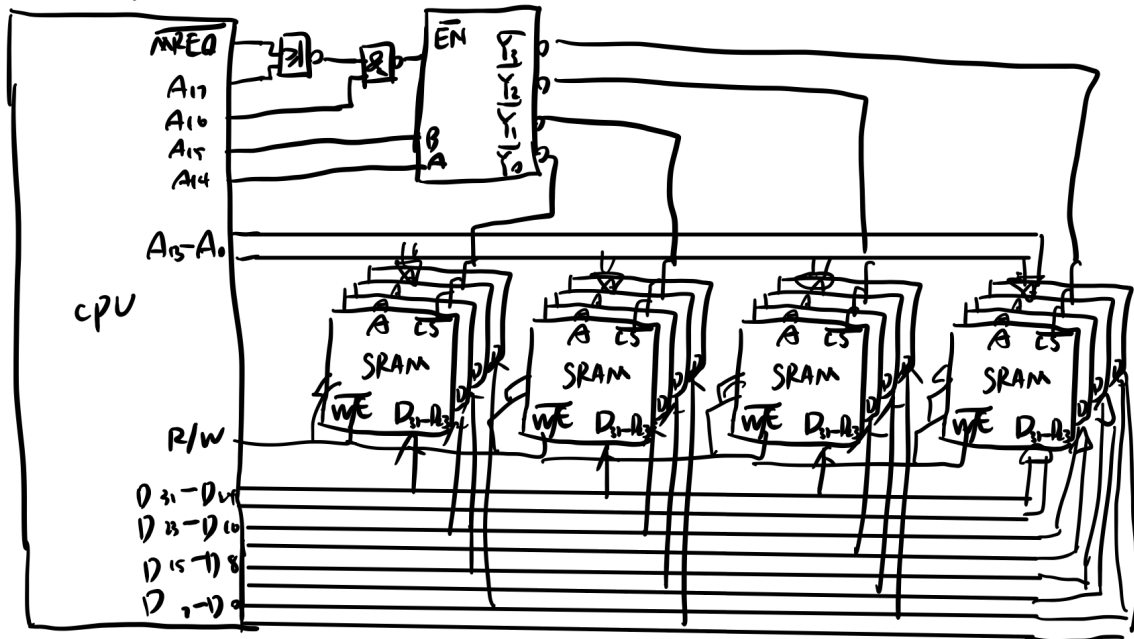
现在使用SRAM芯片构成64K×32位的一个物理存储器，地址从10000H处开始，CPU有读写信号线R/W#, MREQ#信号，请回答：

- 1) 需要几片SRAM芯片？
- 2) 写出该物理存储器的地址范围。
- 3) 画出CPU与存储器的连接图，

我的答案：

$$1) \frac{64K \times 32}{16K \times 8} = 16片 \quad \text{一组4个共4组}$$

$$2) 10000H \sim 1FFFFH$$



老师批语

回答正确