

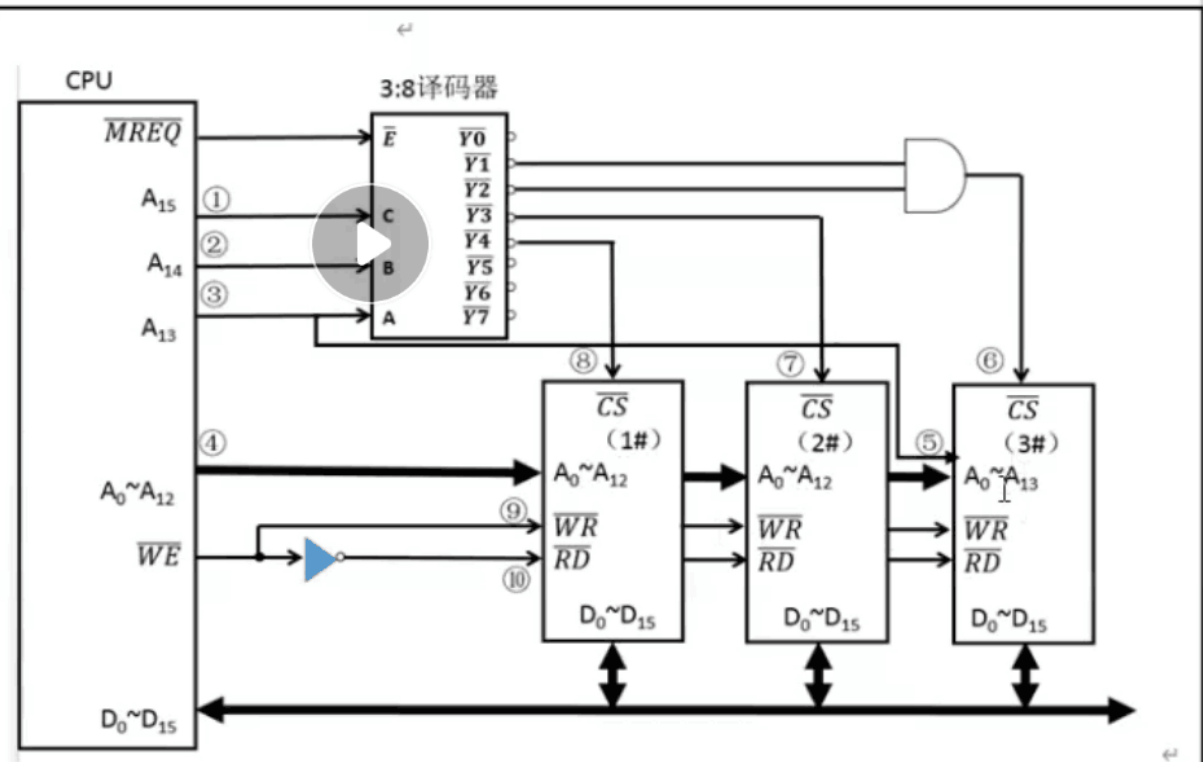
试 题

- 一、综合题（本大题共 38 分）设有 CPU 字长 16 位，地址线有 $A_0 \sim A_{15}$ ， A_0 为地址线低位， A_{15} 为地址线高位，数据线有 $D_0 \sim D_{15}$ ， D_0 为数据线低位， D_{15} 为数据线高位， \overline{WE} 为控制存储器的读写信号， \overline{MREQ} 是 CPU 的访问存储器的请求信号。设存储器系统由 2 片 $8K \times 16\text{bit}$ 和 1 片 $16K \times 16\text{bit}$ 的 SRAM 组成。 \overline{RD} 和 \overline{WR} 分别为存储器芯片的读写控制信号， \overline{CS} 为存储器的片选信号，下图是 CPU 与存储器的不完整的连接图，设该存储器系统从地址 $2000H$ 开始占有连续 $32K\text{B}$ 空间，存储器按字编址，存储器与 CPU 的控制信号功能如表 1 所示。

- 1.（本题共 10 分）请按照给出条件，添加若干逻辑电路，并直接在图 1 上完成 CPU 与存储器系统连接。未标出信号线的请标出（有数字的部分），地址线需要标出连接存储器实际的地址线数（比如存储器需地址线 10 根，则标出 $A_0 \sim A_9$ ）。

表 1 存储器与 CPU 控制信号逻辑功能

\overline{CS}	\overline{RD}	\overline{WR}	存储器功能	\overline{MREQ}	\overline{WE}	CPU 对存储器的控制
1	X	X	无操作	1	X	无操作
0	0	1	读存储器	0	1	读存储器
0	1	0	写存储器	0	0	写存储器
0	1	1	无操作			
0	0	0	禁止			



2 (本题共 8 分) 如果采用 $8K \times 16\text{bit}$ SRAM 组成 $64K \times 16\text{bit}$ 存储系统, 设存储器读写时间是总线传送时间的 8 倍, 若要提高存储器带宽,

(1). 可采用什么方式组织存储器 (本小题 2 分)?

答: 采用 8 体交叉方式。

评分标准: 答对 2 分。

(2). 请写出存储器组织的地址格式并标出各字段的含义和位数 (本小题 4 分)。

体内地址 (13 位)	体号 (3 位)
-------------	----------

说明: 存储器采用 $8K$ 为一个存储体, 需体内地址 13 位作为主存地址高位,

主存地址低 3 位, 作为选择存储体选择。

评分标准: 写对一个位数 1 分, 体内地址和体号位置对各 1 分, 共 4 分。

(3). 该机器是 SISD, SIMD, MISD, MIMD 四种体系结构那种结构? (本小题 2 分)?

答: SISD

评分标准: 答对 2 分。

3. (共 20 分) 设该机支持如下浮点数

数符 (1 位)	尾数 (11 位)	阶符 (1 位)	阶码 (3 位)
----------	-----------	----------	----------

设 $(X)_{10} = 13 / 64$,

浮点数格式如下, 阶码移码表示, 尾数补码表示

(1) (2 分) 求 X 的二进制规格化真值 (科学表达式)

$$X = 0.1101000000 \times 2^{-010}$$

(2) (2 分) 将 $[X]_{\text{浮}}$ 的编码格式填入下面格子中, 每格填一位二进制数。

+	0	1	1	0	1	0	0	0	0	0	0	0	1	1	0
=680EH															

评分标准: 写对任一个得 2 分。

(3) (2 分) 如果数据采用小端格式存储, 该浮点数在内存地址 N 开始存储的 16 进制数值填入表 2

表 2

地址	数据
N	06H
$N+1$	68H

评分标准: 转换对 1 分, 存放格式对 1 分, 共 2 分。

(4). (4 分) 浮点数加减运算除操作数检查外, 还需要哪 4 个步骤?

答: 1. 对阶, 2. 尾数相加减, 3. 规格化, 4. 舍入

评分标准: 每对一个 1 分, 共 4 分。

(5). (10 分) 设: $[X]_{\text{浮}} = 0.1101010000 \quad 1, 101;$

$$[Y]_{\text{浮}} = 1.00111010111 \quad 1, 010;$$

求 $[X+Y]_{\text{浮}}$. 要求阶码用移码运算, 尾数用补码运算, 请写出每个步骤计算过程。

第一步计算过程: (4 分)

(2) 尾数相减得

$$\begin{aligned}[Mz]_2 &= [Mx + My]_2 = [Mx] + [-My]_2 = 00.11010100000 \\ &\quad + 11.11100111010 \quad (111) \\ &= 00.10111011010 \quad (111)\end{aligned}$$

(3) 规格化，已经规格化：

评分标准：得 2 分。

第四步处理过程 (2 分)：

0 舍 1 入：得 $[X+Y]_2 = 0.101110110111, 101$ ，或截断法 $[X+Y]_2 = 0.101110110101, 101$

评分标准：2 分。

二、(共 34 分) 若给主存容量为 64KB 的存储器配备一个容量为 1KB 的 cache，采用 2 路组相联，每块 2 个字 (字长 16bit)。

1、画出主存字地址格式，并标出每个字段的含义和位数 (本题 6 分)。

解题过程：

根据题意：因为每块 2 字，所以 $2^b=2$ ，块内地址 $b=1$ 位。

采用 2 路组相联，所以 $2^r=2$ ， $r=1$ 。

因为 cache 容量 1KB，所以 cache 可分组数 $= 1K / (2^b * 2^r) = 2^{10} / (2^1 * 2^1) = 2^8$ 。

所以组地址需 8 位。

主存地址共 16 位，所以高位地址 (标记) $= 16 - 8 - 1 = 7$ 。

结果：

高位标记 (7 位)	组地址 (8 位)	块内地址 (1 位)
------------	-----------	------------

评分标准：位数每个 1 分，格式对每格 1 分，共 6 分。

2、(本题 2 分) 主存地址 2300H 可映射到 cache 的那一组？

主存地址 2300H = 0010 0011 0000 0000B，提取 8 位组地址：1 0000 000B。

结果：所以主存地址 2300H 可映射到组号 = 80H 组 (128 组)。

评分标准：组号对 2 分。

3. 如果该机采用 RISC 指令系统，设共有 8 个 16 位寄存器，指令字长固定为双字长 (机器字长 16 位)，要求可以最多定义 128 种操作，具有立即、直接、间接、寄存器、寄存器间接、变址、相对、堆栈等 8 种寻址寻址方式，指令包括 R-R 型，R-S 类型指令。

3. 如果该机采用 RISC 指令系统, 设共有 8 个 16 位寄存器, 指令字长固定为双字长 (机器字长 16 位), 要求可以最多定义 128 种操作, 具有立即、直接、间接、寄存器、寄存器间接、变址、相对、堆栈等 8 种寻址寻址方式, 指令包括 R-R 型, R-S 类型指令。

(10 分) 请设计画出该机的指令格式, 并说明各字段的功能与位数。

指令格式:

OP(7 位)	寄存器 RS (3 位)	寄存器 Rd (3 位)	MOD (3 为)
ADDR/data /disp (16 位)			

说明: OP 操作码,

RS-源寄存器地址,

RD-目标寄存器地址

MOD 寻址方式

ADDR/data/imm/disp: 在立即寻址方式中表示的是立即数 DATA,

在直接寻址方式中表示的是直接地址 ADDR,

在间接寻址方式中表示的是间接地址 ADDR,

在变址寻址方式中表示的是偏移地址 DISP,

在相对寻址方式中表示的是相对偏移地址 DISP,

在寄存器寻址和寄存器间距寻址中, 该字不用。

4、(12 分) 若改变机器结构, 采用哈佛结构, 在指令存储器设置一个容量为 1KW 的 cache, 采用 2 路组相联, 每块 2 个字 (字长 16bit)。按照题 3 的指令格式, (指令为 32 位固定字长, 设形式地址 16 位),

```
int SUM=0;
```

```
int ad_value[16];
```

```
for (i=0;i<=16;i++)
```

```
    SUM=SUM+ ad_value[i];
```

设经编译后得到如下汇编语言程序

```

SUM:   DW      1      ; 保留 1 个字 (1 字长 16 位)
ad_value; DW      16      ; 保留 16 个字 (1 字长 16 位)
2100H L0:  MOV   R0, #0      ; 0→寄存器 R0,
2102H      MOV   R1, #0      ; 0→寄存器 R1
2104H      MOV   R2, #ad_value ; 将存放数组 ad_value 的首地址→变址寄存器 R2
2106H L1:  MOV   R0, SUM      ; 将内存地址 SUM 单元的数据→寄存器 R0
2108H      ADD   R0, [R2+0]   ; 内存地址 EA=[(R2)+0], [EA]+(R0)→R0
210AH      MOV   SUM, R0      ; (R0)→内存地址 SUM 中
210CH      ADD   R2, #2      ; 地址+2, 指向下一个数据
210EH      ADD   R1, #1      ; 计数值+1
2110H      CMP   R1, #16     ; R1 与 16 比较, 置零标志条件码 ZF 等
2112H      JNE   L1          ; 结果不相等, 转 L1 处执行, 否则, 顺序执行

L2:   ...
```


L2: ...

(1)、(4分) 将标号 L1 开始的 4 条指令的源操作数采用的寻址方式填入表 3 中。

表 3

序号	指令	源操作数寻址方式
1	L1: MOV R0, SUM	直接
2	ADD R0, [R2+0]	变址
3	MOV SUM, R0	寄存器
4	ADD R2, #2	立即

评分标准：每格 1 分，共 4 分。

(2)、分析执行上述指令段 (从标号 L0 开始的指令开始到 L2 (不包括 L2 所在的指令)，求执行该段程序指令 cache 的命中率 h 是多少？简要写出分析过程 (4 分)。

每条指令是 2 个字，每块也是 2 字，由于 cache 容量够大，总共 10 条指令，其中 7 条在循环体内 (包括转移指令)，每条指令取指令需访存 2 次 (数据总线 16 位)，第一次不命中，后 1 次命中，循环体内有 7 条指令，从第二便开始，指令都已经在 cache 中了，所以全部命中。

取指令时：命中次数 = 循环体外指令数总数 * 1 + 循环体内指令数 * 2 = 10 * 1 + 7 * 2 = 24

所以：存取总次数 = 取指令次数 + (3 * 2 + 7 * 2 * 16) = 230

结果： $h = 24 / 230 = 10.43\%$

(3)、设存储器读写操作需时间 10ns，cache 读写时间是 2ns，则主存/CACHE 系统的平均访问时间 t_a 是多少 (需写出计算公式) (2)？

$t_a = h * t_c + (1-h) * (t_m + t_c) = 0.1043 * 2 + 0.8957 * 10 = 9.09ns$ 或 $t_a = h * t_c + (1-h) * (t_m + t_c) = 0.1043 * 2 + 0.8957 * 12 = 10.86ns$

评分标准：公式对得 1 分，结果 1 分 (允许误差 1%)，共 2 分。

(4)、效率 e 是多少 (2 分)？

$e = t_c / t_a = 2 / 9.09 = 22\%$ 或 $e = t_c / t_a = 2 / 10.86 = 18.42\%$

评分标准：公式对得 1 分，结果 1 分 (允许误差 1%)，共 2 分。

(5)、如果上面的指令地址 (L0) 从 2100H 开始存放，则标号 L1 所在的指令地址是多少 (2 分)？

L1: MOV R0, SUM 的指令地址 = 2106H

评分标准：共 2 分

(6)、(2 分) 指令 JNE L1 的偏移地址 (指令第二个字) 是多少 (需写出计算公式)？

DISP = 目标地址 - (当前指令地址 + 2) = - (2112H + 2 - 2106H) = -000EH

[Disp]₁₆ = FFF2H (采用 16 位偏移量) 或 F2H (8 位偏移量) 根据设计的指令格式

评分标准：公式对 1 分，答案对 1 分，共 2 分

三、(共12分) 设有一模型机，字长8位，地址总线8位，如图2所示，采用微程序控制器方式，分析该图中标出的控制信号外，其中J1~J3微指令判断测试字段，如果该机共有指令100条，每条指令平均需7条微指令实现，其中3条是共用的，如果微指令控制方法采用直接控制法，微指令的下条指令地址由微指令下址字段给出，单控制信号J1~J3采用译码输出，

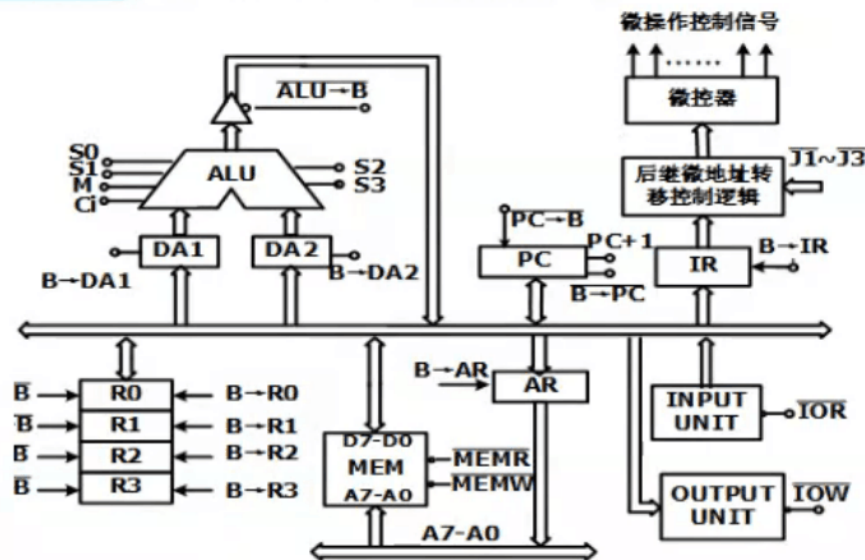


图 2

图 2

1、(6分) 请设计微指令格式，并说明各字段的位数和含义。

解：根据题意 100 条机器指令，共需微指令 $100 \times 4 + 3 = 403$ 条微指令

所以控制存储器至少需 403 个单元。所以取 9 位微指令下址字段，

图中有 26 个控制信号，采用直接控制法，需 26 位

4 个译码控制，采用译码方式，需 2 位

所以微指令格式：

微命令 (26 位)	指令译码字段 (2 位)	<u>微指令下址字段</u> (9 位)
------------	--------------	----------------------

评分标准：位数每个 1 分，格式每对一个 1 分，共 6 分

2、(6分)图3是实现指令 ADD R0, 10H 的不完整的微程序流程图, 请填入合适的微指令, 完成该指令(指令功能: $[R0]+10H \rightarrow R0$, 2 字节指令, 第二字节为 10H)的微程序流程图, 并说明执行微指令所产生 $PC \rightarrow AR, PC+1 \rightarrow PC$ 的微命令信号。

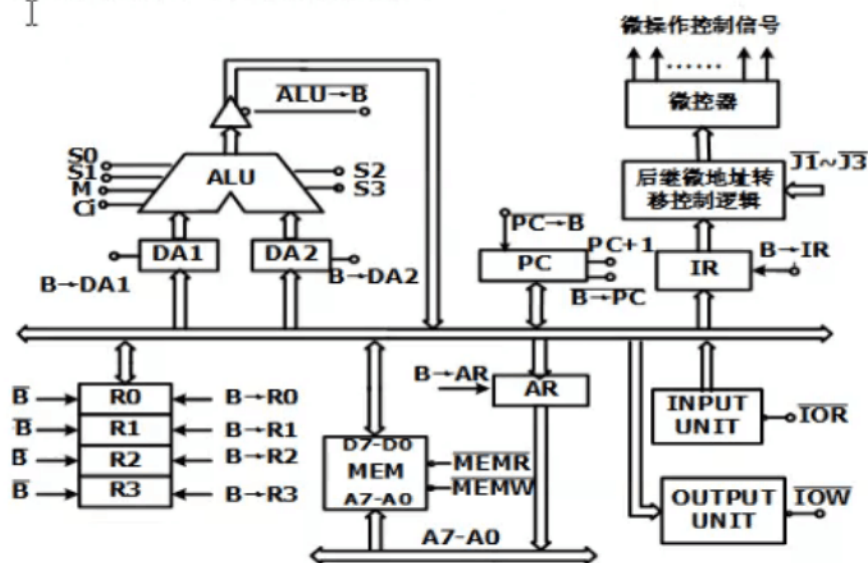
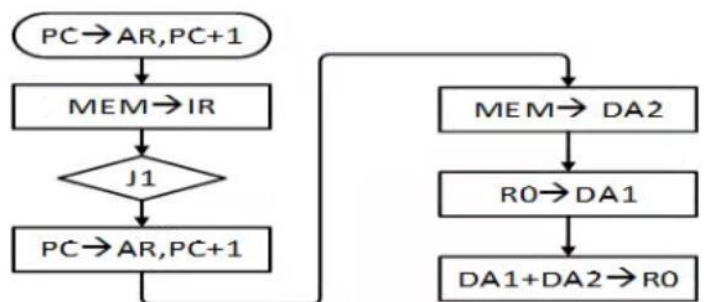


图 2:



微指令所产生 $PC \rightarrow AR, PC+1 \rightarrow PC$ 的微命令信号: $PC \rightarrow B, B \rightarrow AR, PC+1$

评分标准: 每填对一条微指令得 1 分, 每写对 1 个微命令得 1 分, 共 6 分

四、(共 16 分) 图 2 是实现 32 为 MIPS 单周期的模型机结构和数据通路。ALU 有 16 种运算功能, 加法时 $ALU_OP=ADD(0100)$; 减法时 $ALU_OP=SUB(0101)$; 逻辑左移 $ALU_OP=SLL(0011)$; 位与运算 $ALU_OP=AND(0010)$ 。

1. 指令 $Lw\ rt, (rs+imm)$; 是访存取数指令: $[(rs)+imm] \rightarrow rt$, imm 为偏移量

(1) 请在图上直接画出该指令从取指令到完成执行的数据通路(用箭头线表示, 画出除控制信号外所有经过的部件数据通路, 如果数据经过多路选择开关, 则将箭头线将经过对应开关的数值覆盖)

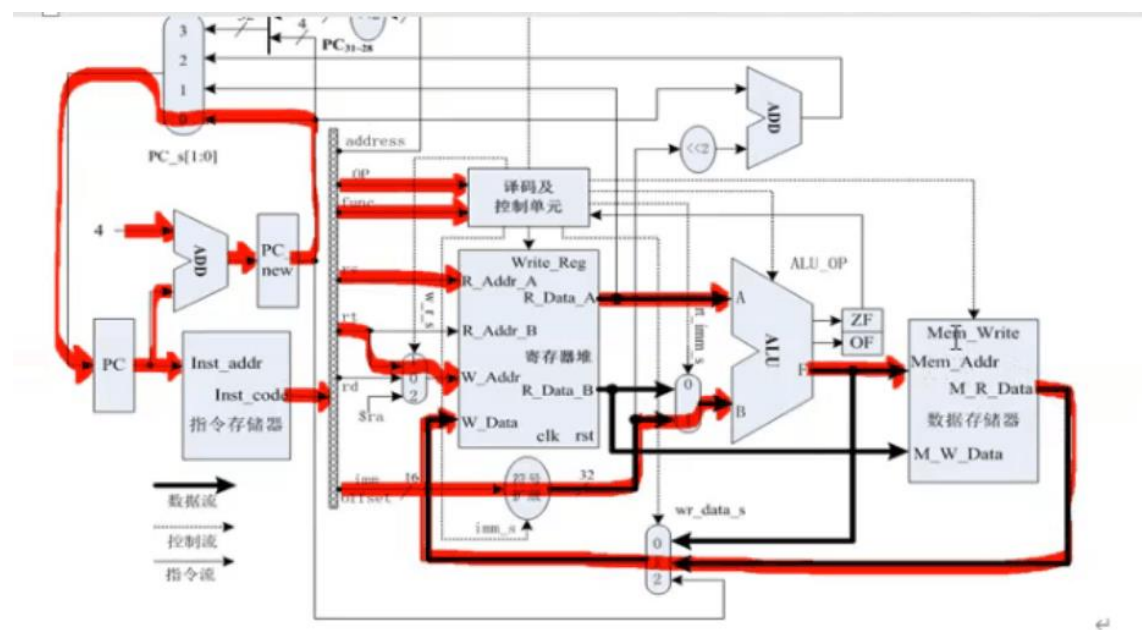


图2 MIPS单周期CPU结构图

图2 MIPS单周期CPU结构图

- (2) 指出该机器采用哈佛体系结构还是普利斯顿体系结构？它和冯·诺依曼体系结构有何不同(2分)。

哈佛体系结构，冯·诺依曼体系结构采用是普利斯顿体系结构。或其他合理的表达。

评分标准：每问 1分，共2分。

- (3) 写出表3中该指令的数据通路对应的控制信号之值(3分)。

表4

指令	Write Reg	Mem Write	PC_s
Lw rt, (rs+imm)	1	0	0

评分标准：每格 1分，共3分。

- (4) 设指令在时钟的上沿开始执行，则PC_NEW中的值应该在时钟上沿还是下沿送入PC中(2分)。

答案：PC_NEW中的值应该在时钟下沿送入PC中。

评分标准：共2分。

- (5) (3分) 在虚拟存储器管理中，实现虚存地址到物理地址的变换有那三种方式？

答案：页式、段式和段页式三种管理方式。