

座位号:

试 题

所有试题均做在答题纸上，否则不计分！

一. (51 分) 图 1 是某单总线结构计算机，机器字长 8 位，IR 为指令寄存器，PC 为程序计数器，MEM 为主存，AR 为地址寄存器，DR 为数据缓冲寄存器，ALU 能完成算术加、减运算和逻辑运算，R0~R3 是通用寄存器。各部件的控制信号均已标出，控制信号的命名准则是：‘-’符号前的是数据发送方部件，‘-’符号后的是数据接收方部件，控制信号中的 B 表示总线，另外，J1# 控制指令译码。例如 B-DA1 表示由总线 IB 将数据打入暂存器 DA1 的控制信号。

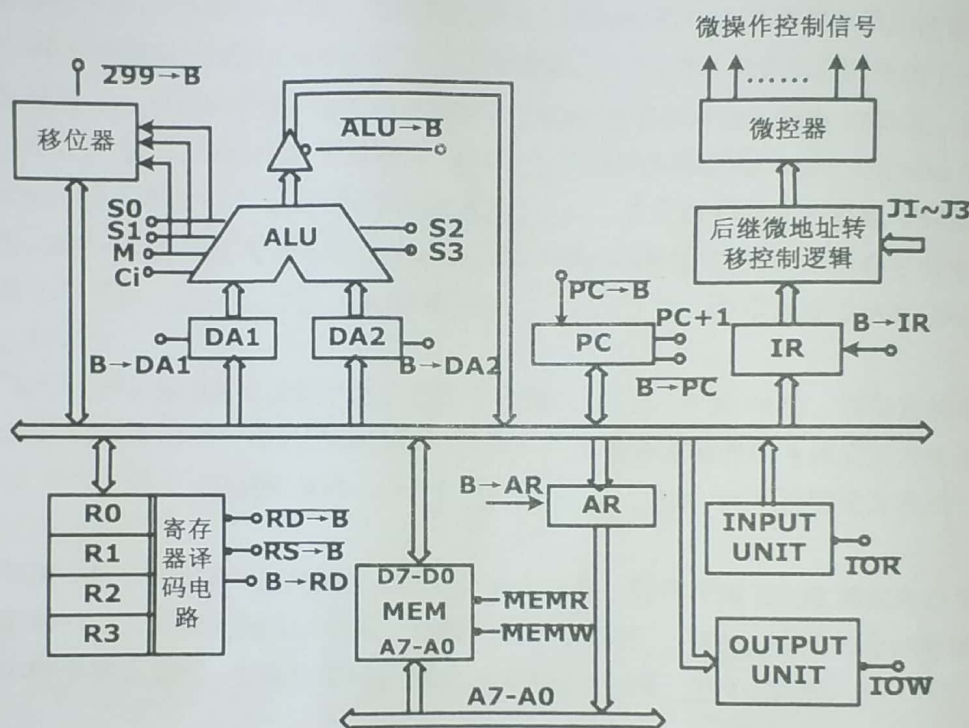


图 1 模型机结构框图

1. (12 分) 假如该机另具有浮点运算部件 (图 1 中未画出)，两个二进制补码数据 X 和 Y 分别放在浮点寄存器 f0 和 f1 中，浮点数格式为：阶码 8 位，包含 1 位符号位，尾数 8 位，包含 1 位符号位，阶码和尾数均用补码表示，排列顺序为：

阶符 (1 位)	阶码 (7 位)	数符 (1 位)	尾数 (7 位)
----------	----------	----------	----------

已知：(X)₁₀ = -17.25, Y 的规格化浮点表示为 FE78H。

(5) (2 分) 写出 X 的规格化浮点数表示形式。

(6) (2 分) 求 Y 的二进制真值。

(7) (5 分) 求 (X+Y)₁₀ (要求用补码计算，采用 0 舍 1 入法，列出计算步骤)；

(8) (3 分) 假如使用图 1 中的 ALU 和相关部件来完成浮点数加法中的尾数运算，两个尾数分别存放在 R0 和 R1 中，“和”存放在 R0 中，请用微程序流程图描述尾数加法运算的过程。

2. (5 分) 有一段程序在图 1 所示模型机上运行，该程序段用汇编语言描述如下所示，已知所有指令都

是2字节,假如存储器按字节编址,该程序被装入内存地址低端,起始地址为0,请问存放最后一条指令 JML 内存地址是 (5) 和 (6), L 是标号,按照相对寻址方式,无条件转移指令 JML 的8位二进制偏移量是 (7)。

```
MOV1 R1, #04H;
MOV2 [11H], R1;
L: IN R1, [01H];
MOV2 [10H], R1;
IN R1, [01H];
ADD R1, [10H];
OUT [01H], R1;
JML;相对寻址
```

3. (11分) 假如该模型机支持的机器指令格式如下,除 INC 和 HALT 指令为1字节外,其他为2字节。

Opcode (4 位)	Rd (2 位)	MOD (2 位)
Addr/Disp/Data (8 位)		

其中, Rd 为目的寄存器号, MOD 为寻址方式码字段,指令第二字为地址、数据或偏移量;源操作数由 MOD 字段和指令第二字共同确定。机器指令各字段的编码如下表:

指令助记符	指令功能	操作码	MOD	寻址方式	Rs / Rd 编码	寄存器
ADD	加法	0000	00	立即寻址	00	R0
SUB	减法	0001	01	直接寻址	01	R1
ADC	带进位加法	0010	10	变址寻址 (SI)	10	R2
SBB	带借位减法	0011	11	相对寻址	11	R3 (SI)
MOV	传送	0100				
INC	自加1	0101				
JMP	无条件转移	1000				
.....					
HALT	停机	1111				

(8) (4分) 指令 ADD R1, [10H]的功能是: $(R1) + Mem[10H] \rightarrow R1$; 请写出该指令的机器代码。

(9) (7分)

内存部分单元内容如下:

单元地址	内容	单元地址	内容	单元地址	内容
10H	48H	14H	19H	24H	11H
11H	58H	15H	24H	25H	12H
12H	0AH	16H	F0H	26H	10H
13H	07H	17H	03H	27H	21H

若 $(PC) = 10H$, 变址寄存器 $(SI) = 20H$, 则此时启动程序执行, 问执行了几条指令程序停止? 请按以下格式, 写出前2条指令的助记符、寻址方式、EA、操作数和执行结果。

号:

指令序号	指令助记符	源操作数及寻址方式	执行结果

4. (4分) 假如该机采用微程序控制器, 共有 28 种微操作命令, 其中有 14 个微命令采用译码方式进行控制, 其余控制信号采用直接控制法进行控制; 另有 7 个转移控制状态 (采用译码形式), 微指令格式如下, 其中下址字段 7 位, 则操作控制字段和判别测试字段各有几位? 控存容量是多少? (用字数 \times 字长的形式表示)

操作控制字段	判别测试字段	下址字段
--------	--------	------

5. (5分) 结合图 1 所示的模型机实例, 谈谈控制器由哪些部件组成, 各部件主要功能是什么?

6. (6分) 图 1 所示模型机经改造升级后, 扩大了主存容量, 并在 CPU 与主存之间添加了一个 Cache, 假设 CPU 总是从 Cache 取得数据, 在一段时间内, Cache 完成存取的次数为 1700 次, 主存完成的存取次数为 300 次, 已知 Cache 的存储周期为 10ns, 主存的存储周期为 70ns。则 Cache 的命中率为 (10), Cache/主存系统的平均访问时间为 (11) ns。设升级后的主存容量为 64KB, 存储器按字节编址; Cache 容量 4KB, 每块 4 字节, Cache 按照 4 路组相联方式组织, 则主存字节地址 (12) 位; 其中“标记”字段 (13) 位, Cache 组地址 (14) 位, 主存地址 07A8H 映射到 Cache 的 (15) 组。

7. (4分) 假如图 1 所示模型机经改造升级后, 主存容量为 32 字, 字长 64 位, 存储器的存储周期是 200ns, 数据总线宽度为 64 位, 总线传送周期 τ 为 50ns。如果存储器采用 4 体交叉方式进行组织, 当连续读出 21 个字, 且没有任何阻塞时, 访存时间是 (16) ns, 比不采用交叉方式节省了时间 (17) ns。

8. (4分) 假如图 1 所示模型机连接的输出设备是一台打印机, 打印采用 32 \times 32 的点阵汉字字形, 现需要打印一篇 50 个汉字构成的短文, 请问: 这篇短文占用内存 (18) 字节的存储容量来存储其纯文本。假如 50 个字不重复, 打印这篇短文使用的字模码一共是 (19) 字节。

二. (49分) 图 2 是实现 32 位 MIPS 单周期的 CPU 结构和数据通路, ALU 有 16 种运算功能, 加法时 ALU_OP=0100; 减法时 ALU_OP=0101; 当 F=A+1 时, ALU_OP=1000。

9. (10分) 假如图 2 所示 MIPS 系统中, 现有一个程序, 实现将主存地址 10H 起始的 20 个字累加。

指令序号	指令助记符	指令功能描述
1)	add \$8, \$zero, \$zero	# \$8=0000_0000, 累加器
2)	add \$9, \$zero, \$zero	# \$9=0000_0000, 变址指针
3)	addi \$10, \$zero, #20	# \$10=0000_0014, 计数器
4) Loop1:	lw \$11, 0x10(\$9)	# 访存指令, \$11=M[0000_0010+\$9]
5)	add \$8, \$8, \$11	# \$8=累加和
6)	addi \$9, \$9, 4	# 指针+4
7)	addi \$10, \$10, -1	# 计数器-1
8)	beq \$10, \$zero, Loop2	# \$10 等于 0, 则跳出循环

9)

j Loop1

10)

Loop2:

sw \$11, 0x40(\$zero)

无条件跳转

存数到存储器地址为 0x40H 的单元中

填写表 1 中指定的 5 条指令所发的控制信号, 若某信号无论取何值都不影响指令的功能, 则填“-”。

表 1

指令	w_r_s	imm_s	rt_imm_s	wr_data_s	ALU_OP	Write_Reg	Mem_Write	IO_R	IO_W	PC_s
5)										
7)										
8)										
9)										
10)										

10. (4 分) 访问 IO 设备实际上就是通过端口地址访问 IO 接口中的寄存器, 假如为实现独立编址的输入输出功能, 使用 I 型指令格式实现输入指令 in 和输出指令 out 的功能, 端口地址由指令低 16 位 I_{15:0} 提供, 读写 IO 设备的控制信号分别是 IO_R 和 IO_W, 按照表 2 格式, 仿照 xori 指令的写法, 分别写出 in 和 out 指令的格式和指令功能描述。

表 2

指令	功能描述
xori rt, rs, imm	逻辑异或: $rs \oplus imm \rightarrow rt$

11. (6 分) 假如 ALU 有 16 种功能。为实现 IN 和 OUT 指令的数据通路, 写出译码与控制单元所需设置的控制信号以二进制形式填入表 3。

表 3

指令	w_r_s	imm_s	rt_imm_s	wr_data_s	ALU_OP	Write_Reg	Mem_Write	IO_R	IO_W	PC_s
in										
out										

12. (6 分) 请结合图 2 所示的 MIPS 模型机结构, 谈谈它和冯·诺依曼体系结构有何不同, 冯·诺依曼体系结构的特点在其上有何体现?

13. (3 分) 假如图 2 所示 MIPS 机的指令操作码长度可变, 请问在设计指令系统时, 根据指令出现的频度来分配操作码长度的原则是 (20)。

14. (6 分) 如果图 2 中的数据存储器是采用 DRAM 构成, 请问 DRAM 是利用 (21) 存储电荷来表示‘0’和‘1’信息的, 由于电荷的漏电作用, 故需刷新; 相比 SRAM 存储器, DRAM 的速度 (22)、价格 (23)。

15. (2 分) 假如该 MIPS 系统经过改造升级, 数据存储器容量扩展为 64K×32 位, 由 16K×1 位的 DRAM 芯片 (芯片内是 128×128 结构) 构成, 存储器读/写周期为 50ns, 采用集中式刷新方式, 存储器刷新—

座位号:

遍最少用时是 (24) ns。

16. (12 分) 假如该 MIPS 系统的数据存储器容量为 $64M \times 32$ 位, 按字编址, 位于存储器空间的最低端:

(25) (2 分) 数据存储器的地址范围是: $H \sim H$ 。

(26) (2 分) 数据寄存器的地址范围是: $H \sim H$ 。

(27) (2 分) 如果由 $16M \times 8$ 位的 SRAM 存储器构成其数据存储器, 则需要 $\underline{\hspace{2cm}}$ 个芯片。

(28) (2 分) 如果由 $16M \times 8$ 位的 SRAM 存储器构成其数据存储器, 则需要 $\underline{\hspace{2cm}}$ 个芯片。

(29) (8 分) 画出上述 SRAM 芯片扩展成数据存储器, 与 CPU 的连接图, 请清晰标示地址、数据和访问请求信号 \overline{MREQ} 。

访问请求信号 \overline{MREQ}

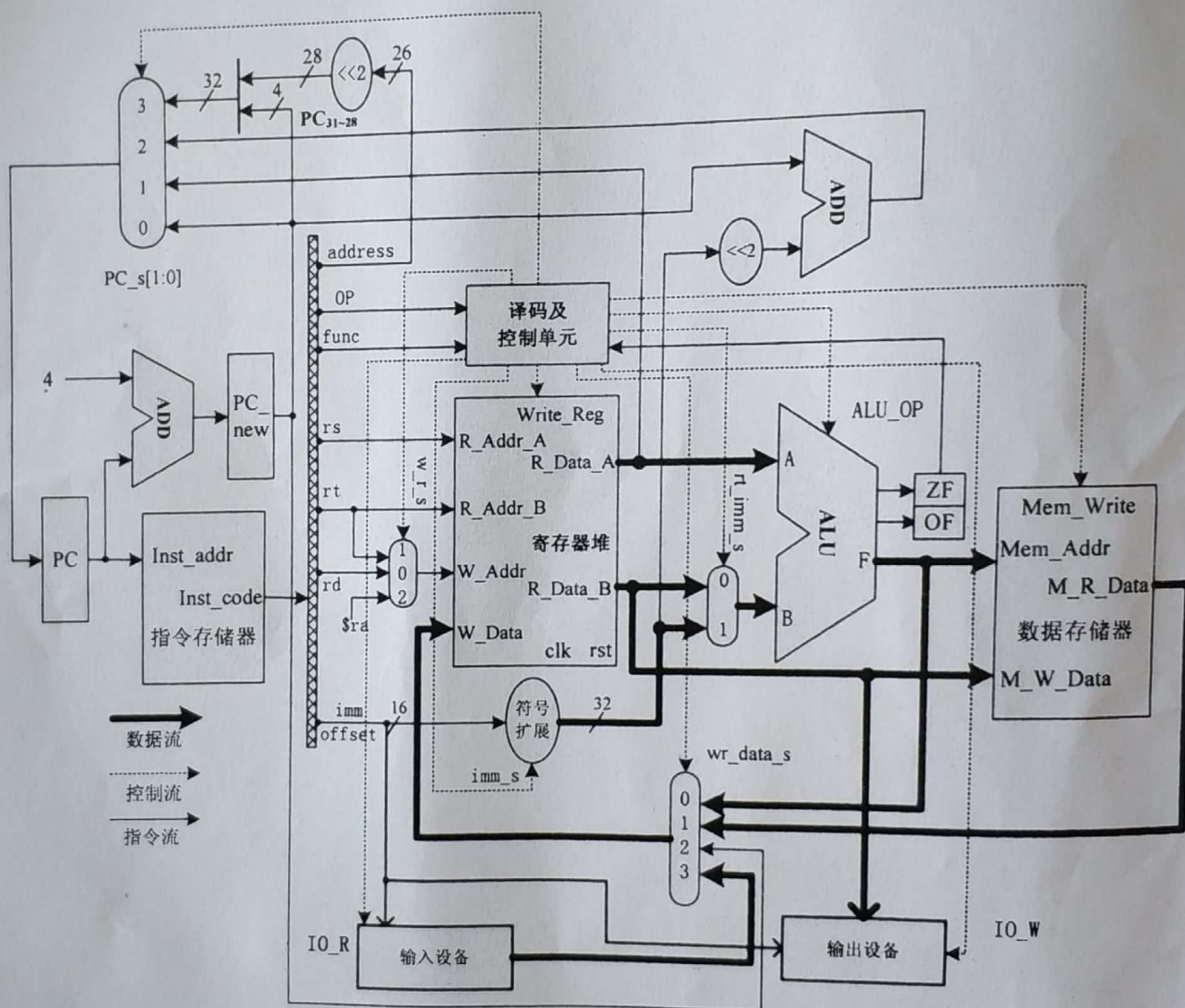


图 2 MIPS 单周期 CPU 结构和数据通路