## 便携式多功能仪器

苏宇恒 王悬济 王子康

**第一部分 设计概述**

* 1. **设计目的**  
     本设计旨在开发一款集信号发生器、示波器、逻辑分析仪等多种功能于一体的便携式测试仪器。通过软硬件协同设计，结合ARM/RISC-V/龙芯CPU和紫光同创FPGA技术，使得系统在性能和功耗上实现良好的平衡，满足各种实验和调试需求。通过本设计，能够为科研人员、工程师和学生提供一款高性能、易操作、低功耗、便携的多功能测试仪器，进一步推动便携式测量仪器的普及与应用。
  2. **应用领域**

便携式多功能测试仪器广泛应用于科研、电子设计、通信、教育和工业领域。在科研中，支持信号生成与频谱分析；在电子设计中，辅助电路调试与验证；在通信领域，进行信号分析与协议测试；在教育中，作为实验工具帮助学生掌握信号处理与测试原理；在工业中，应用于设备调试与自动化系统维护。该仪器集成信号发生、示波器和逻辑分析仪功能，适用于实验、开发和现场调试，具备高效、便捷、低功耗特点，满足多种信号测试需求。

* 1. **主要技术特点**  
     信号发生器支持三角波、正弦波、锯齿波等波形，并可调节频率与幅值，满足不同测试需求。示波器具备模拟/数字信号采集、实时显示、频谱分析功能，并可调整采样精度与显示刻度，确保高精度波形展示。逻辑分析仪支持多通道数字信号采集，具备协议分析、大容量存储及高速采样能力，适用于复杂信号分析。  
     软硬件分工明确，CPU负责控制和用户交互，FPGA处理信号采集与实时显示，确保高效运作。系统支持多板卡级联、信号本地调节与波形实时调整，具备良好的扩展性和灵活性。
  2. 关键**性能指标**

任意波形信号发生器

• 通道数: 2

• 采样率: 最高可达125 MSps

• 分辨率: 8 bit

• 输出阻抗: 100kΩ

• 多种波形: 正弦波、方波、三角波、锯齿波、自定义波形(生成后存放在RAM指定区域即可)

• 可自定义的采样点数: 每个通道默认存储4096 点

• 最大输出电压: +/- 5.0 V，模拟信号幅值由变阻器控制

• 可动态调整的相位

• 可动态调整的数字信号幅值

• 可动态调整的最小分辨率  
数字存储示波器：

• 单通道

• 最大采样频率: 1 MSps（理论最大15MSps）

• 最小采样频率: 1 KSps

• 分辨率: 8 bit

• 存储深度：1024点

• 最大输入电压: +/- 5.0 V

• 可动态调整的触发电平和触发边沿

• 可动态调整的垂直缩放显示

• 可开关的FIR数字低通滤波器

• 可开关的FFT频域显示功能（1024点）

• 可动态调整的抽样率

逻辑分析仪：  
 • 通道数: 8

• 采样率：最高50MHz，支持16档调节

• 存储深度：1024点

• 触发方式：支持低电平触发、高电平触发、上升沿触发、下降沿触发和任意边沿触发

• 协议解析：支持UART/SPI/IIC协议的解析

* 1. **主要创新点**

1. 创新点1 信号发生器支持动态波形调整，并可扩展成任意波形。
2. 创新点2 示波器具有多种触发配置设置功能，具有可选FFT功能以及可选噪声滤除功能。
3. 创新点3 逻辑分析仪器支持8通道采集，可对采集信号缩放和平移，具有uart协议采集功能。
4. 创新点4 信号发生器通过以太网级联，两个通道可独立配置不同波形。

**第二部分 系统组成及功能说明**

* 1. **整体介绍**  
     系统的整体框架如图1所示，使用RISC-V的core通过icb总线连接到ram、系统外设sysp、信号发生器DDS、示波器DSO和逻辑分析仪LA模块，并可通过jtag对core中程序进行更新。示波器和逻辑分析在采集信号之后，通过hdmi控制模块发送到屏幕完成显示。系统外设有时钟timer、通用IO口fpioa、spi接口和uart接口。

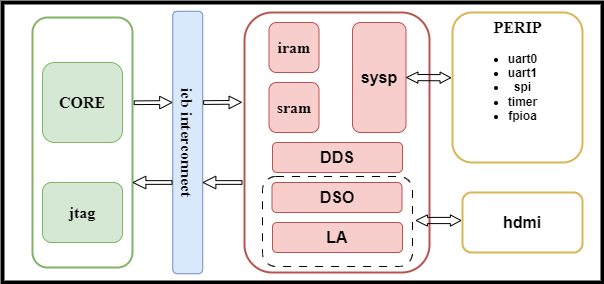


图 1 整体系统框图

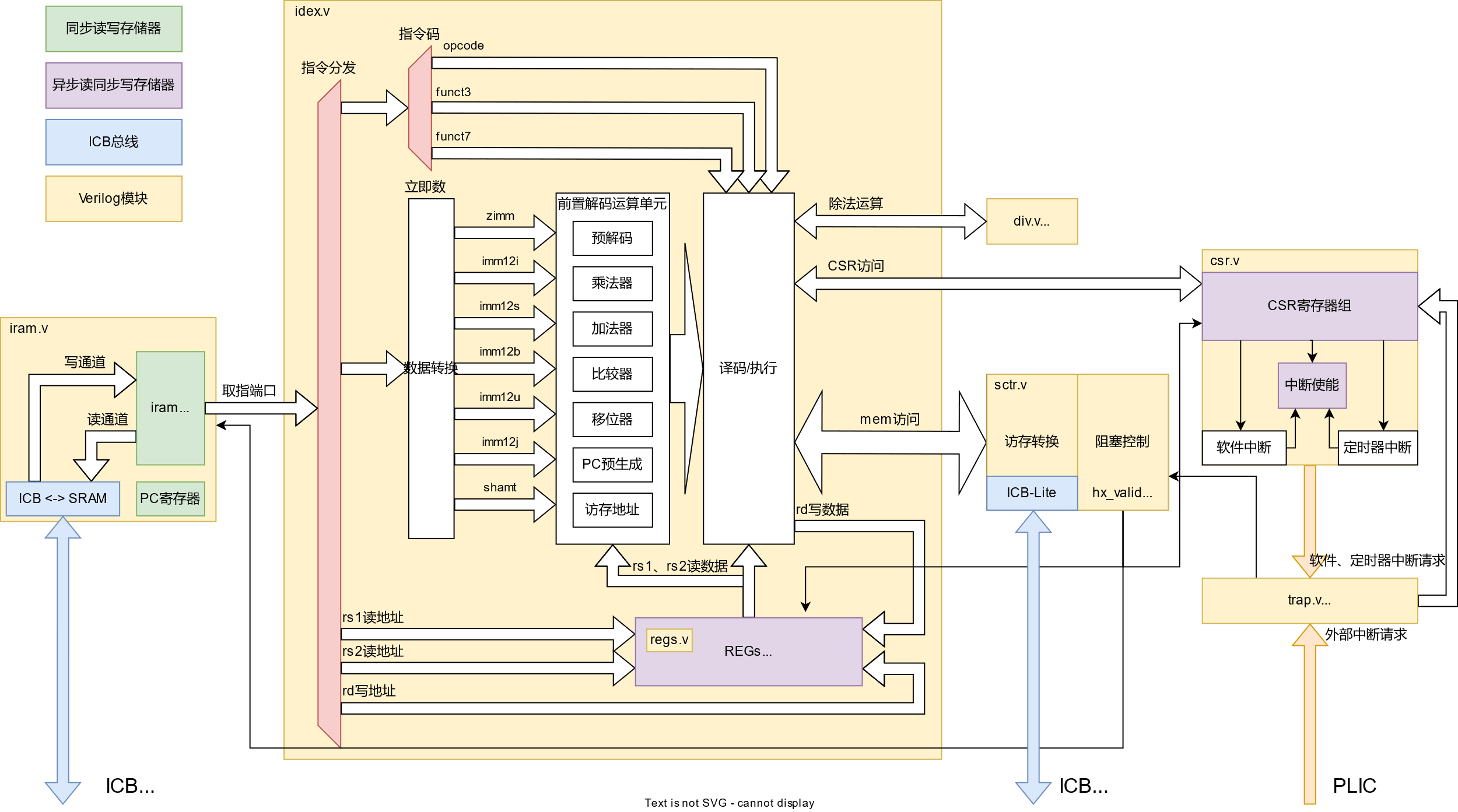
* 1. **各模块介绍**  
     **(1) cpu core**  
     内核使用的是开源的SparrowRV，整体结构原理如图2所示。顺序两级流水线结构（IF ->ID+EX+MEM+WB），支持JTAG接口，适用于低功耗、小面积的应用场景。  
     

图 2 内核原理图

**(2) icb 总线**  
 采用icb总线实现了2主8从的结构如图3所示，并使用优先级仲裁，具有简单高效的特点。具体的信号时序示例如图4所示。



图 3 icb\_interconnect

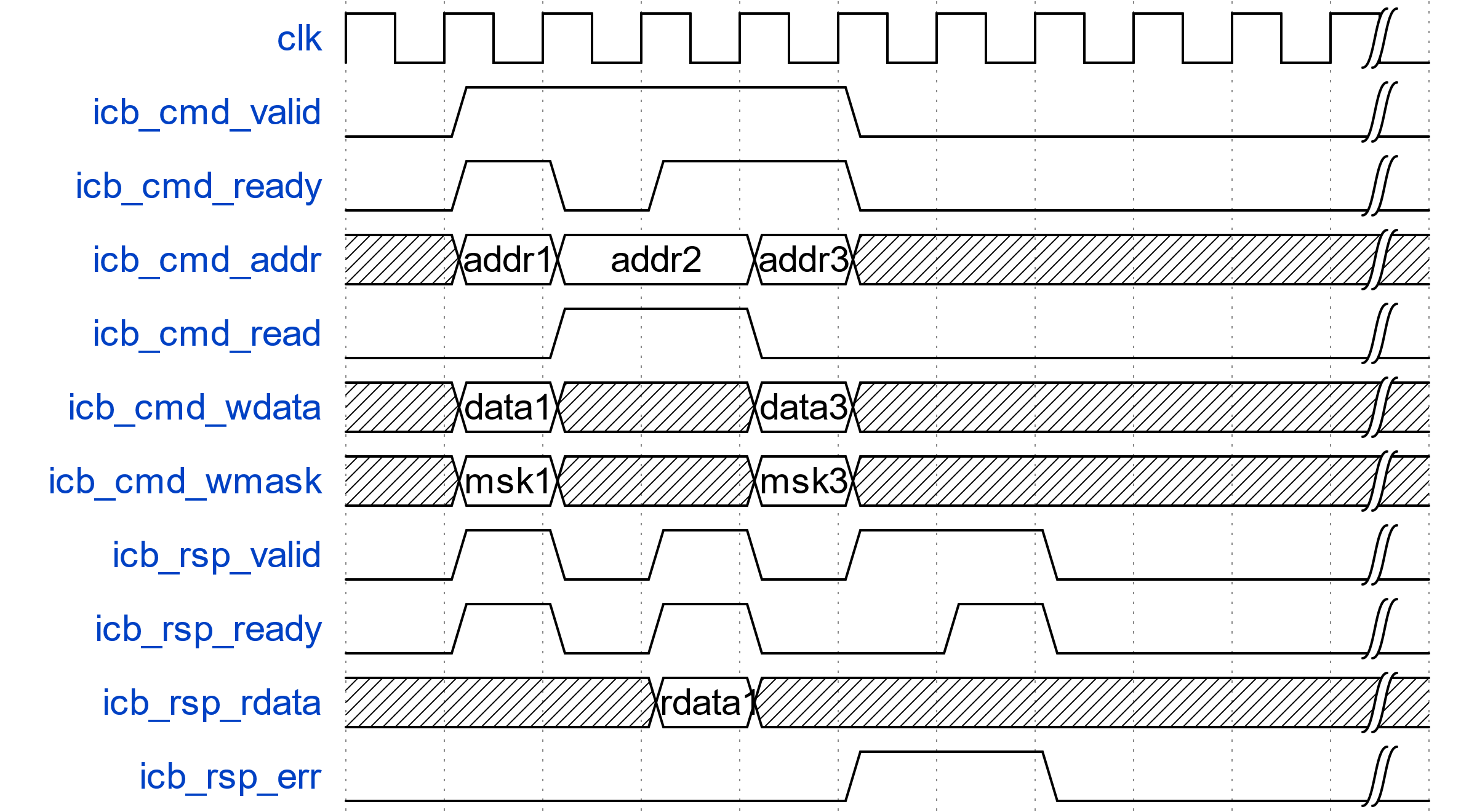


图 4 icb总线时序示例图

**(3) 信号发生器DDS**  
信号发生器的整体结构如图5所示，使用一个只读ROM将标准的正弦波、方波、三角波和锯齿波波形存储，然后通过控制读ROM地址的方式来产生对应的幅值给DA转换芯片转换后输出。

|  |  |  |  |
| --- | --- | --- | --- |
| **信号** | **方向** | **位宽** | **功能** |
| sys\_clk | input | 1 | 系统时钟 |
| sys\_rst\_n | input | 1 | 系统复位，低有效 |
| amp\_ctl | input | 9 | 幅值控制信号 |
| wave\_sel | input | 4 | 波形选择信号 |
| freq\_ctl | input | 32 | 频率控制信号 |
| min\_ctl | input | 32 | 最小分辨率控制信号 |
| phase\_stl | input | 12 | 相位控制信号 |
| data\_out | output | 8 | 数据输出，传输到DA转换芯片 |

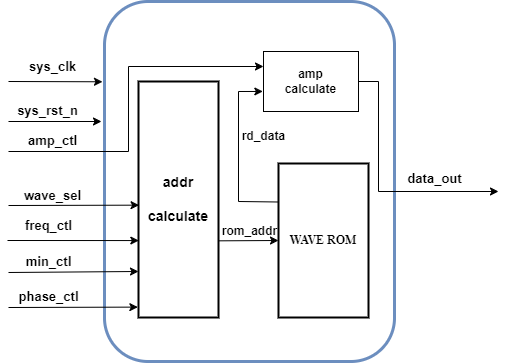


图 5 信号发生器

**(4) 数字存储示波器DSO**

数字存储示波器（Digital Storage Oscilloscope）设计概述：

示波器模块如架构图所示，各模块功能如下表所述：

|  |  |  |
| --- | --- | --- |
| 模块名 | 模块功能 | 备注 |
| dso\_top | 数字示波器顶层模块 | 例化并连接各个子模块 |
| decimator | 数据抽样模块 | 控制ADC数据的抽样率 |
| param\_meaure | 参数测量模块 | 测量信号频率、峰峰值等 |
| fir\_wrapper | FIR低通滤波器 | FIR功能开关可选 |
| ad9280\_sample | ADC数据采样模块 | 根据功能配置对ADC数据进行采样 |
| fft\_adc\_top | FFT处理模块 | 频域显示，1024点FFT |
| ui\_display | UI显示模块 | 接受前级HDMI初始信号并在指定位置显示示波器参数和ADC测量数据等 |
| grid\_display | 网格绘制模块 | 绘制示波器底层网格 |
| wav\_display | 波形显示模块 | 根据采样数据显示波形 |
| cdc | 单比特跨时钟域模块 | 传递绘制完成标志 |



图 6 示波器架构图

各模块设计详细介绍如下：

#### <1>.dso\_top

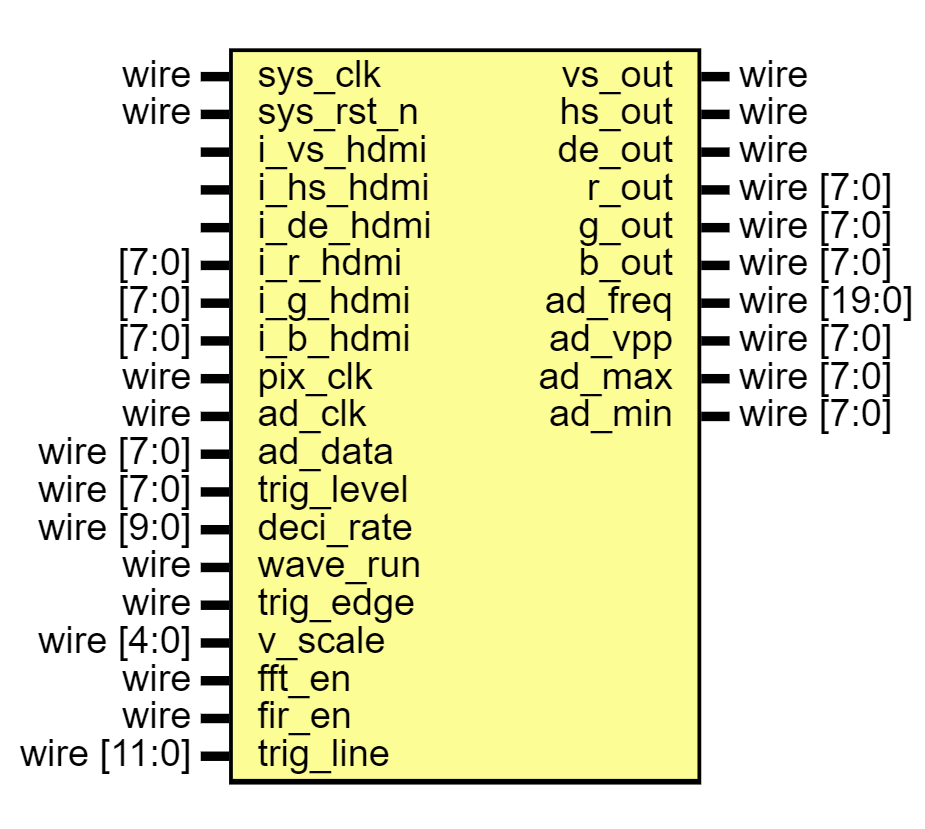


图 7 dso 顶层模块

示波器顶层模块，端口介绍如下表：



该模块内部例化了FIR低通滤波器、ADC信号参数测量模块、抽样率控制模块、示波器UI显示模块、示波器网格显示模块、示波器波形绘制模块、ADC信号采集处理模块、FFT变换模块、跨时钟域处理模块等。起到了顶层集成和互联的作用。此模块接收上级HDMI初始后产生的行场同步信号、数据有效信号、像素时钟和像素数据等，结合ADC采样数据进行后续的波形显示，并将ADC测量参数和示波器配置信息以文字和数字形式显示。该模块内部有外部可开关的FFT功能进行频域显示，并有外部可开关的FIR低通滤波器来提高信号质量。通过和CPU集成，此模块能够接受CPU的配置信息来改变示波器的参数如抽样率、触发电平等等，也可以将测量参数返回CPU供其读取。

#### <2>.decimator

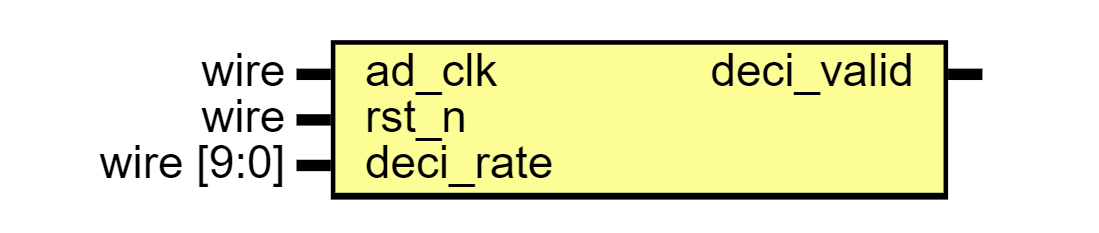
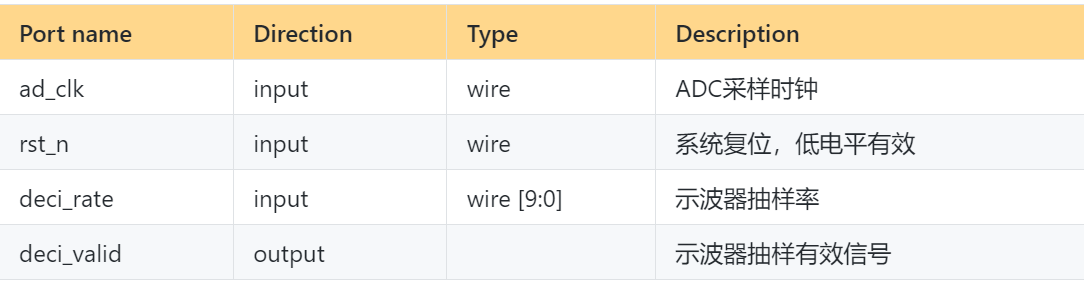


图 8 抽样率控制模块

抽样率控制模块，端口介绍如下表：



此模块较简单，内部实际上是一个上限为deci\_rate-1的计数器，计数完成后发出deci\_valid信号给到后续模块对ADC数据进行采集和处理。此模块的出现主要是为了应对当待测模拟信号频率较低如10KHz以下时，MHz级别的ADC采样时钟采到的单周期内的数据点过多，超出了存储和显示的上限，使得示波器显示不易于展现波形特征，所以提高抽样率以减少单周期内的点数，方便显示和波形绘制。另一种处理方法自然是提高存储容量并合理显示，此部分将会放在后续优化部分阐述。

#### <3>.fir\_wrapper

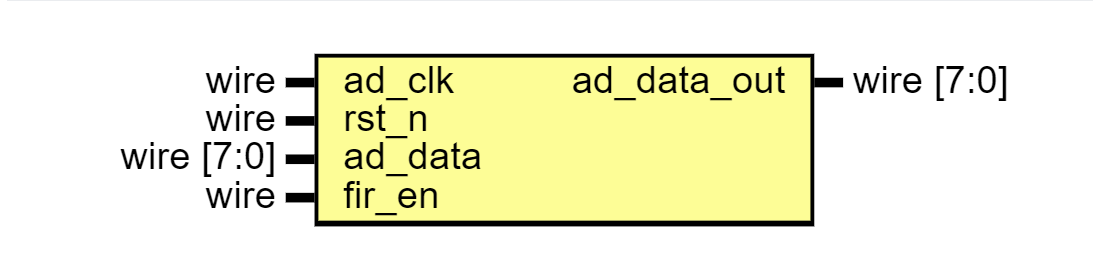
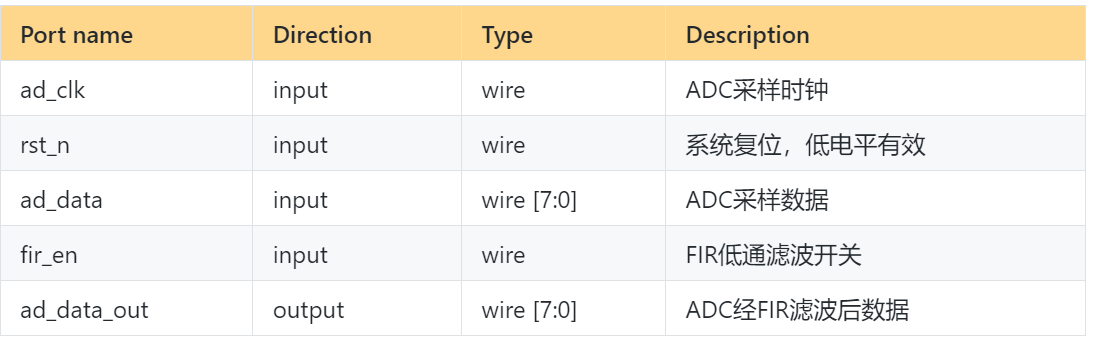


图 9 低通滤波模块

FIR低通滤波器模块，端口介绍如下表：



此模块内部例化了fir\_top滤波器模块，此模块实现了在给定ADC频率下，截止频率为1MHz-6MHz的15阶低通滤波器。滤波器系数由MATLAB的FilterDesigner工具生成，采用了最小二乘法计算参数，存储在模块内部寄存器中。实际上，可以根据ADC模块采样的噪声分布特点灵活调整滤波器系数。由于滤波器计算经过了乘积累加运算，结果位宽必定是大于8比特的，为了将数据映射回原先ADC采样数据范围，在多次测量后得到结果直接截取高8位与原ADC的8位数据范围为1：1.888的关系，即需要将截位的结果扩大指定倍数。基于此，加入了定点数乘法器模块fxp\_mul\_pipe(多周期)，将截位并四舍五入的结果扩大1.888倍给到滤波器输出，因此两个模块共同组成了fir\_wrapper模块。

#### <4>.param\_measure

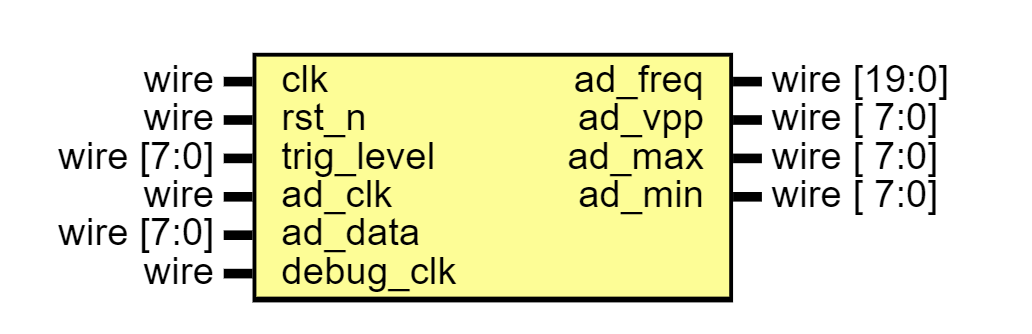
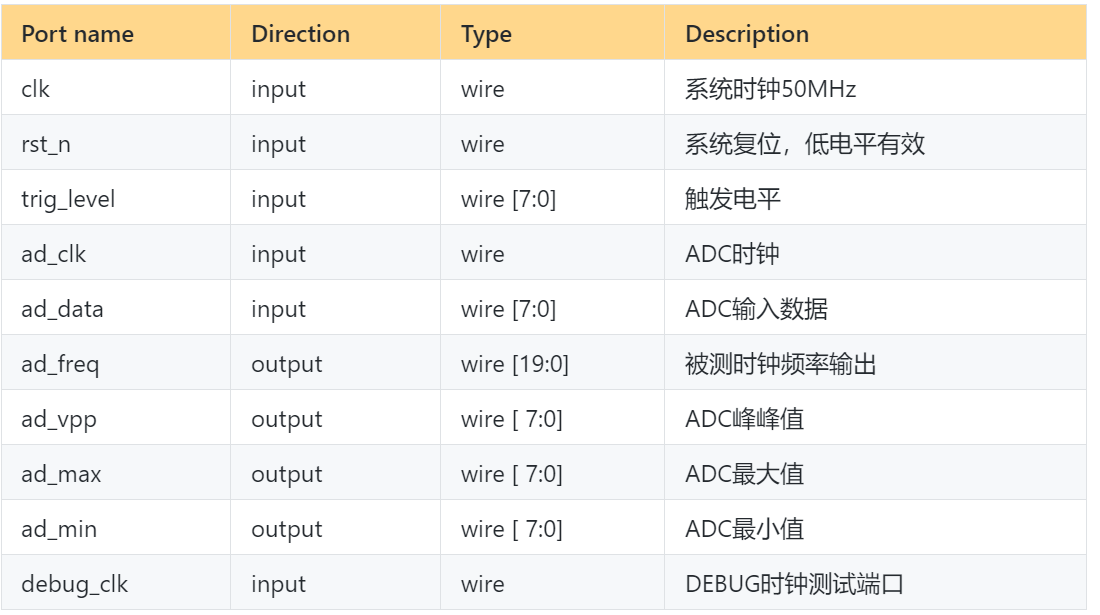


图 10 模拟信号参数测量模块

模拟信号参数测量模块，端口介绍如下表：



此模块内部例化了脉冲生成、等精度频率计和峰峰值测量模块。脉冲生成模块是基于ADC时钟和采样数据，在满足触发电平的情况下产生脉冲信号供另外两个模块使用。等精度频率计模块用于测量ADC输入数据的频率，等精度测频的原理在于测量的实际门控时间不是一个固定值，它与被测时钟信号相关，是被测时钟信号周期的整数倍。在实际门控信号下，同时对标准时钟和被测时钟信号的时钟周期进行计数，再通过公式计算得到被测信号的时钟频率。



具体计算方法如下：

实际闸门下被测时钟信号周期数为，设被测信号时钟周期为，它的时钟频率，由此可得等式：(实际闸门)。

实际闸门下标准时钟信号周期数为，设被测信号时钟周期为，它的时钟频率，由此可得等式：(实际闸门)。

其次，将两等式结合得到只包含各自时钟周期计数和时钟频率的等式：(实际闸门)，等式变换，得到被测时钟信号时钟频率计算公式：。

最后，将已知量标准时钟信号时钟频率和测量量带入计算公式，得到被测时钟信号时钟频率。

峰峰值测量模块则比较简单，根据脉冲信号即可划定一个信号的测量周期，在此周期内不断比较信号的最大值和最小值即可，最后同步计算一个测量周期信号的最大值和最小值之差，即可输出信号的峰峰值。

#### <5>.ui\_display

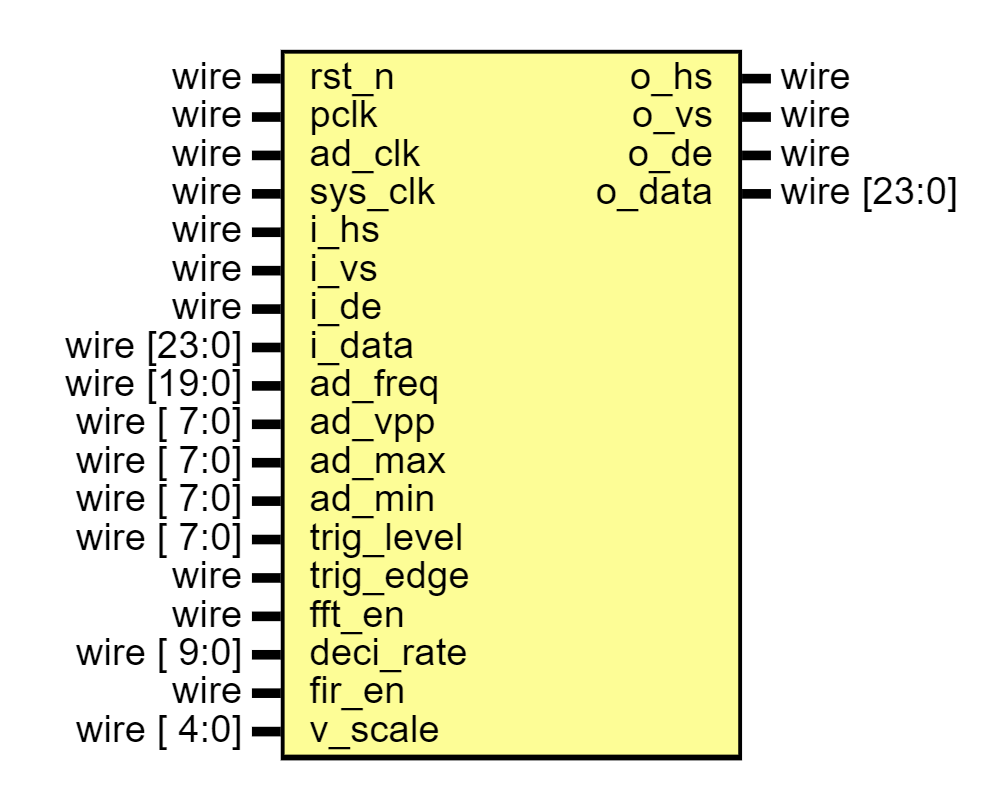
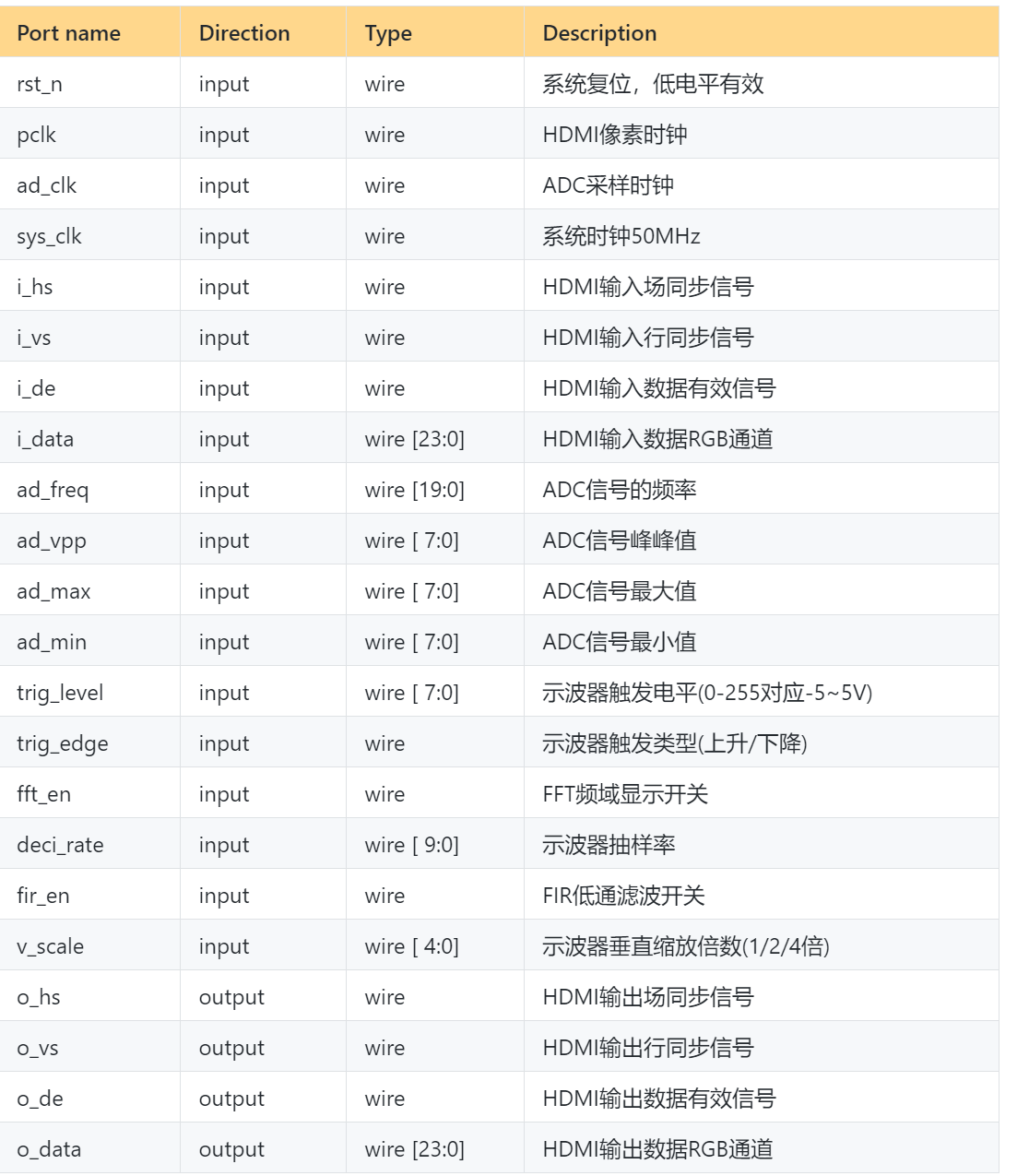


图 11 ui\_display

示波器UI显示模块，端口介绍如下表：



此模块负责将示波器的配置参数和ADC采样的模拟信号测量参数显示在HDMI屏幕上。原理较简单，模块内部用一个多端口的ROM来存储固定字符数据（0-255 ASCII码所表示的字符），多端口ROM内部实际上是根据不同的读请求和地址分发数据给不同端口，这样不需要多次例化ROM IP核。之所以这样做可行，是因为通过HDMI做UI显示时，不同区域对于ROM内容的读取一定不是同时的，这样通过分时复用的方式即可大大减少存储消耗。char\_display字符显示原理为从存储字符的ROM内读取数据，若指定像素点对应的ROM数据为1，则绘制此点，否则不绘制。另外，为了将数字表示的数据转换为字符（ASCII码）表示的数据以做到真正的显示，还需要基于给定数据进行转换，这些小模块（volt2num、num2str等）在此不再赘述，仅为方便显示设计。模块的功能框图如下：



图 12 字符显示存储

#### <6>.grid\_display

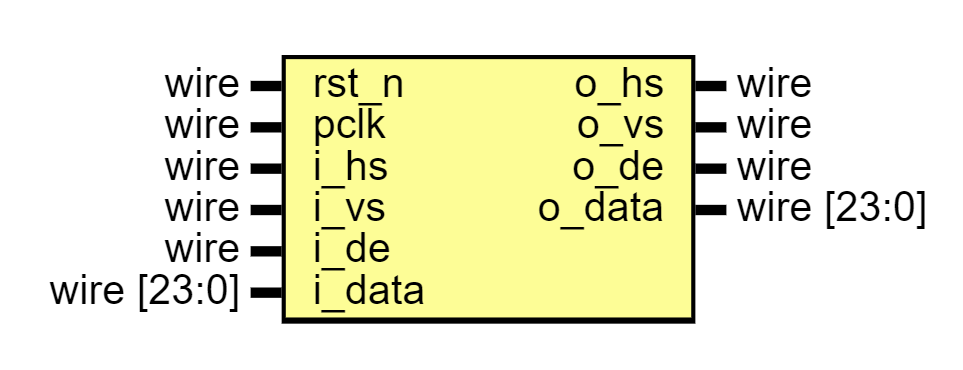
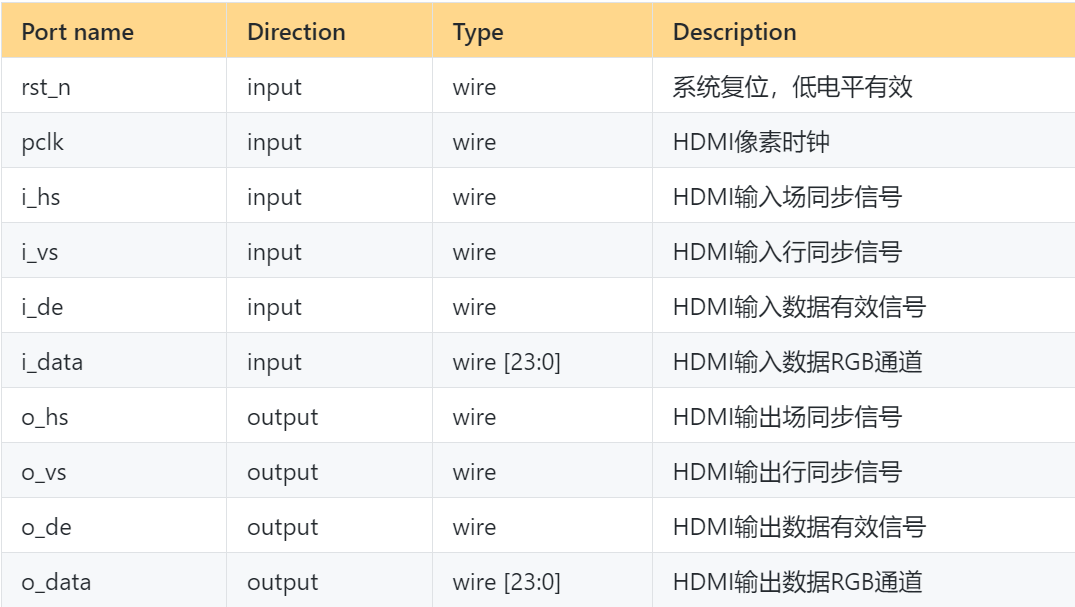


图 13 grid\_display

示波器网格显示模块，端口介绍如下表：



此模块较简单，即根据给定的坐标和限定条件，在指定像素点的行和列绘制特定颜色，即可做到类似示波器网格一样的显示效果。

#### <7>.wav\_display

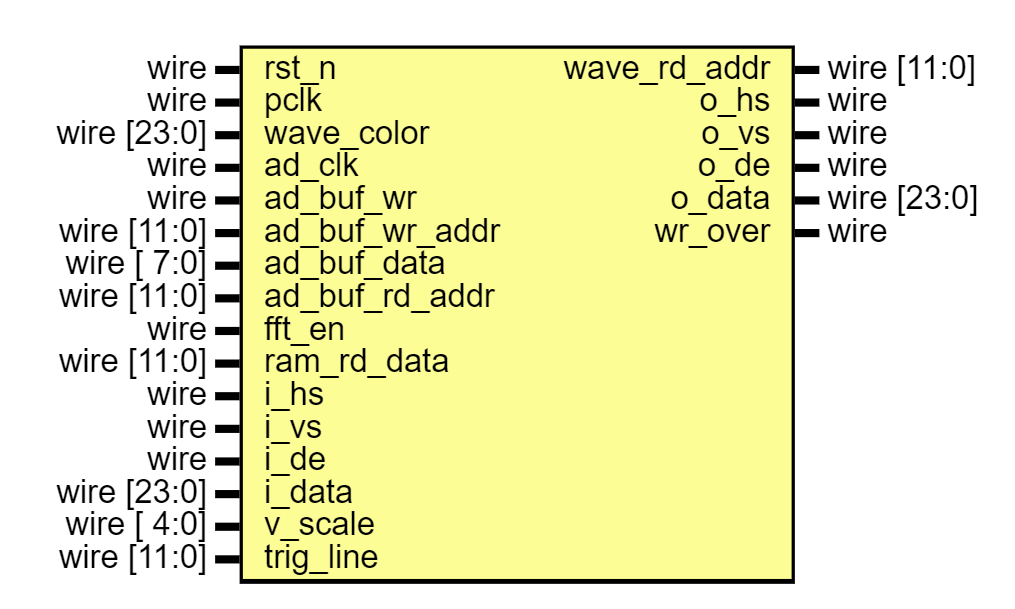
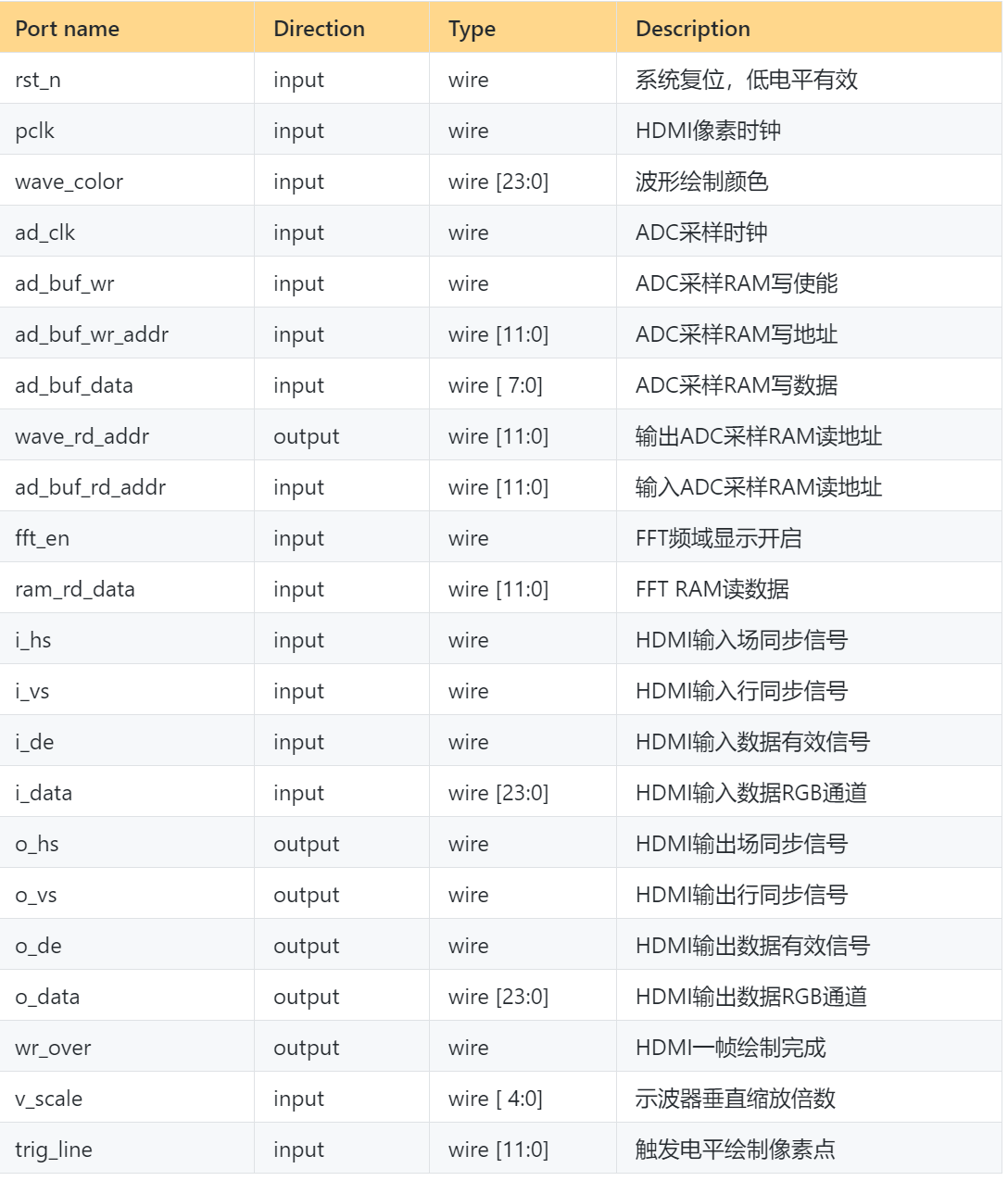


图 14 wav\_display

波形显示模块，端口介绍如下表：



此模块是示波器显示的核心模块之一，内部放置了RAM来存储波形。模块接受到ADC采样控制模块的写使能来将采样到的数据存储起来，在读取时，会将地址给到采样控制模块作额外处理，得到真正的RAM读地址后，读取数据进行HDMI显示。在进行FFT频域显示时，会接收到FFT频域数据存储的RAM读数据，进一步进行显示。

#### <8>.ad9280\_sample

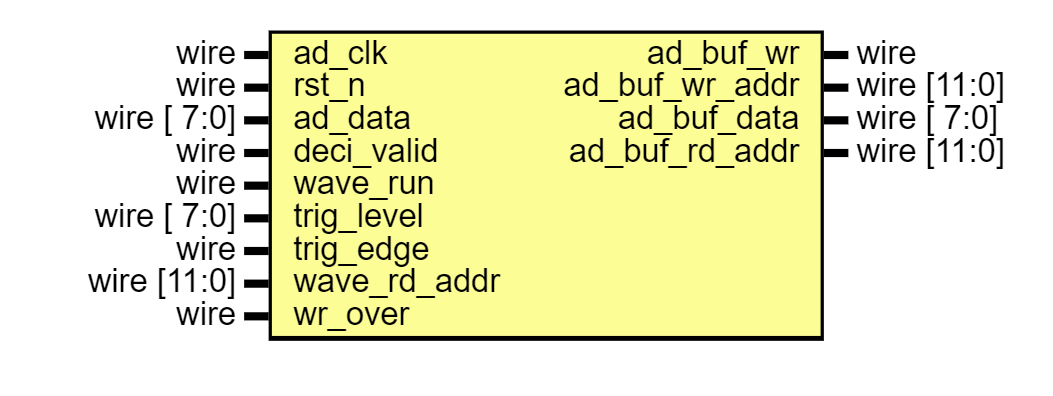


图 15 ad9280\_sample

ADC采样控制模块，端口介绍如下表：



此模块作为示波器核心功能模块，控制着波形的存储和读取。此模块会根据抽样有效信号对ADC数据进行采样，并判断是否满足触发条件，若满足则存储指定量数据到wav\_display模块内部的波形RAM中，并可以记录触发地址、偏移地址等，将波形显示模块的预读地址作进一步处理以显示合适的波形数据。模块内部为了将触发点设置为屏幕中央，先保证RAM内有效采样数据大于采样深度的一半，即可以进行波形的触发和显示等，为了让画面更加稳定，将wav\_display模块内部根据行列计数器产生的帧绘制完成标志传入本模块，标志着触发可再次进行。由于这个信号是从快时钟域到慢时钟域的脉冲信号，因此需要做CDC处理，下文会介绍。

#### <9>.cdc

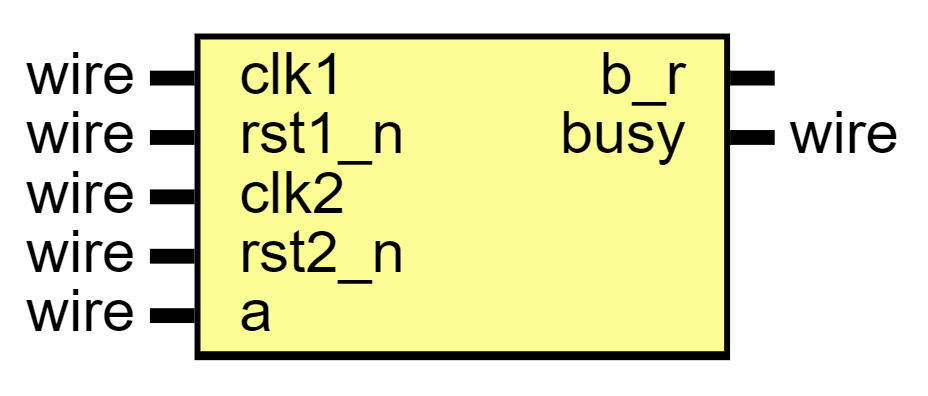
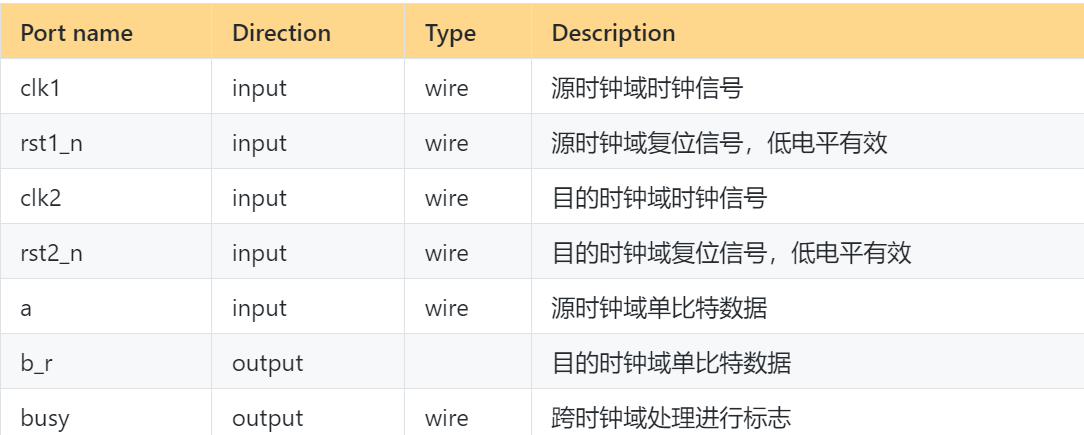


图 16 cdc

单比特跨时钟域处理模块，端口介绍如下表：



此模块主要是进行了任意源时钟和目的时钟的单比特信号传输，原理如下：

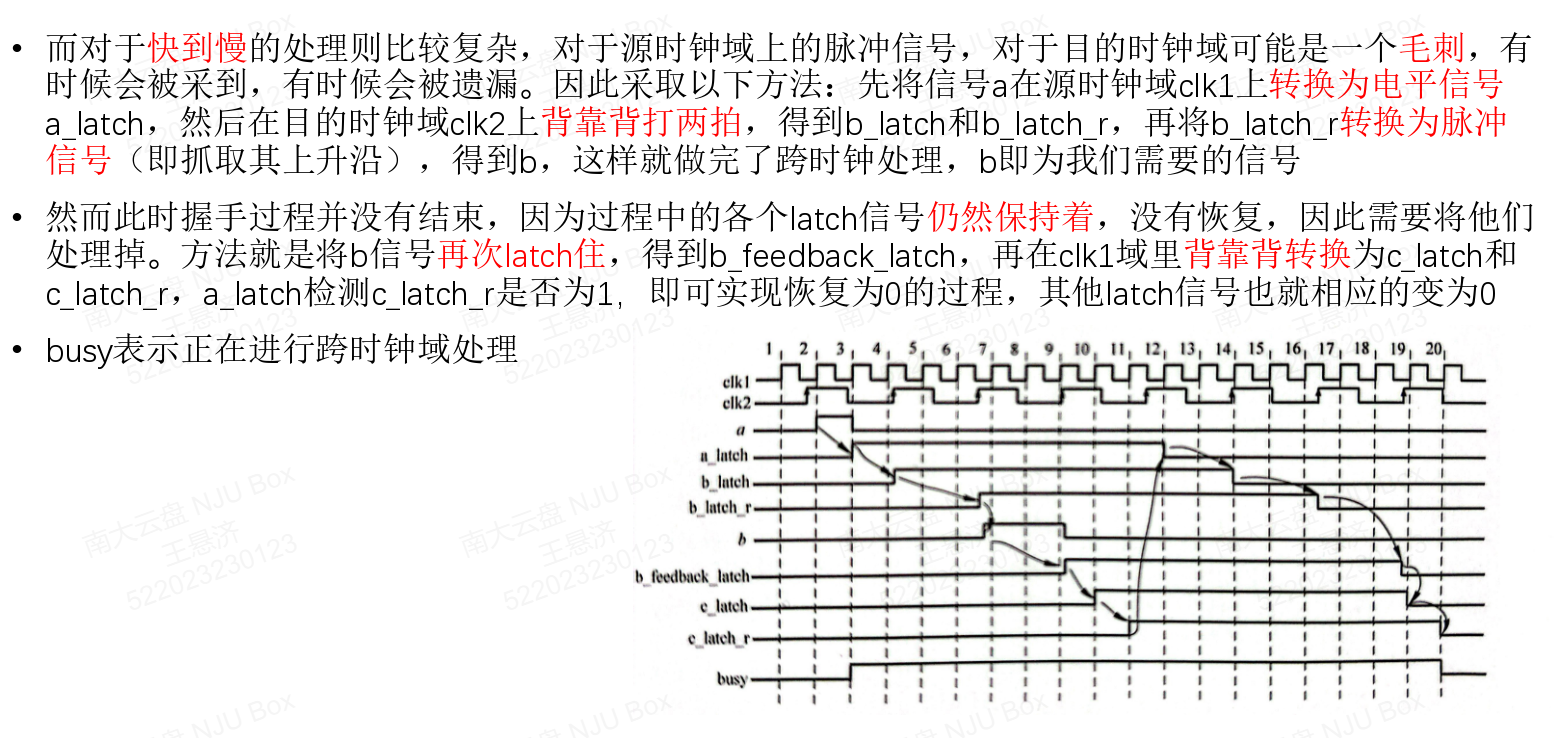


图 17 cdc传输原理

#### <10>．fft\_adc\_top

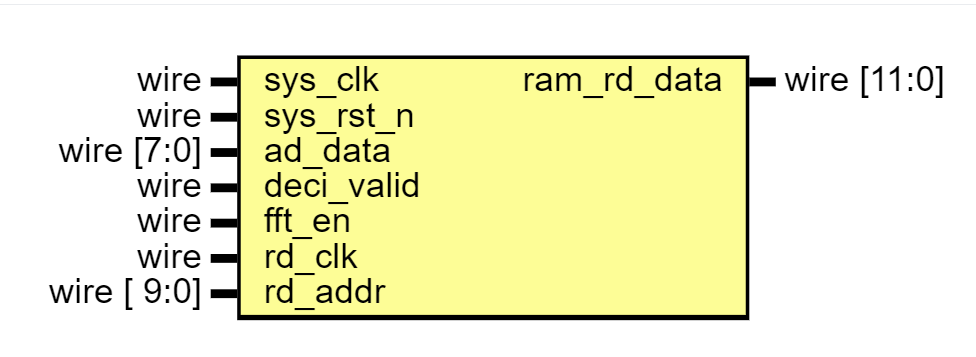
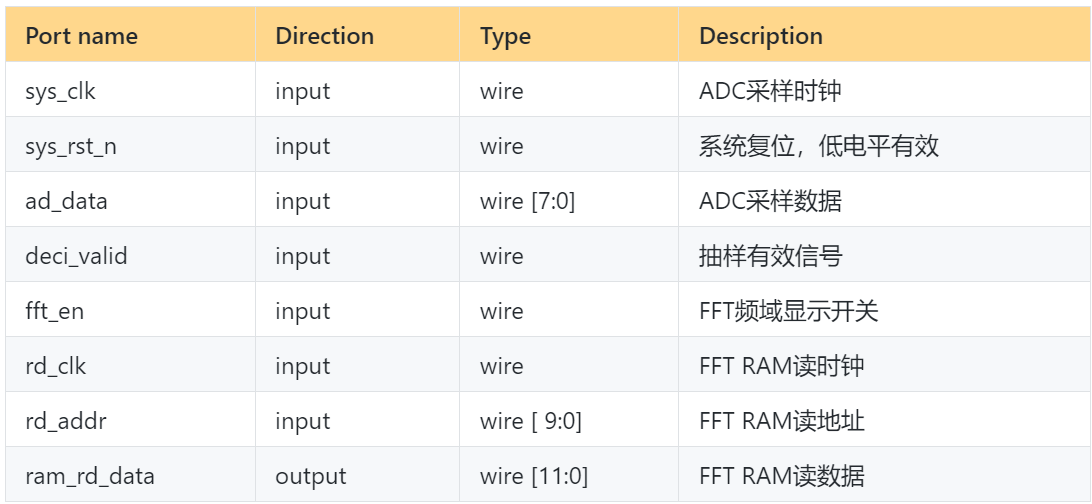


图 18 fft\_adc\_top

FFT频域处理模块，端口介绍如下表：



fft模块的功能流程图如下：



图 19 fft功能流程

首先，由于FFT IP的限制，输入数据的valid信号一但拉高则不能拉低，直至发送完毕，所以针对抽样条件下的ADC数据，我们需要预先设置一个FIFO来存储，深度设为FFT点数即可，这样可以保证在FIFO满后再发送，使得IP正常工作。在计算完FFT数据后，得到复数形式的数据，将数据求平方和后传入开平方模块，得到频域的幅值信息，存储在RAM中供波形显示模块使用即可。

**(5) 逻辑分析仪LA**

逻辑分析仪(Logic Analyzer)架构如下图所示，各模块功能如下表所述：

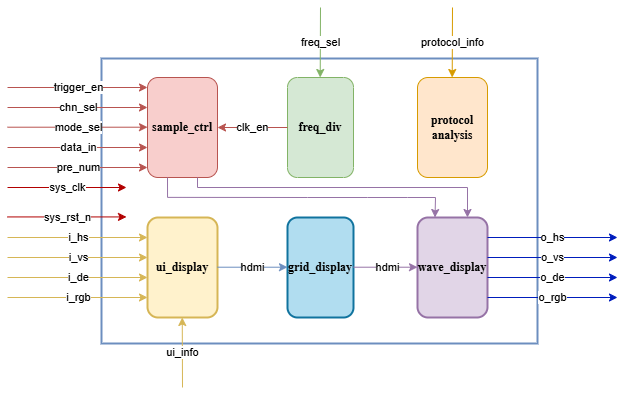


图 20 逻辑分析仪的架构

|  |  |  |
| --- | --- | --- |
| **模块名** | **模块功能** | **备注** |
| **top\_analyser** | 逻辑分析仪顶层模块 | 例化并连接各个子模块 |
| **freq\_div** | 分频模块 | 产生采样时钟 |
| **sample\_ctrl** | 采样控制模块 | 控制触发方式、触发通道，将采样数据存入RAM |
| **ui\_display** | UI显示模块 | 显示逻辑分析仪UI |
| **grid\_display** | 网格显示模块 | 显示逻辑分析仪刻度网格 |
| **wave\_display** | 波形显示模块 | 显示逻辑分析仪捕获的波形 |
| **protocol\_analysis** | 协议分析模块 | 解析输入数据的协议 |

各个子模块功能介绍如下：

#### <1> top\_analyser

该模块端口及详细功能如下所示：

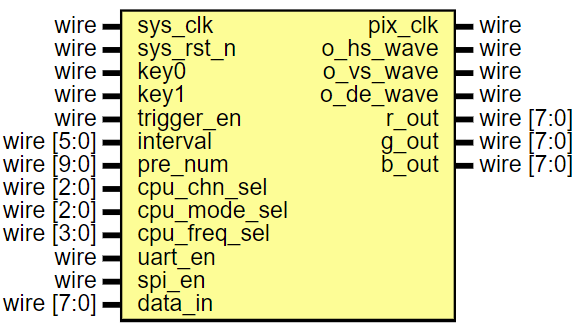


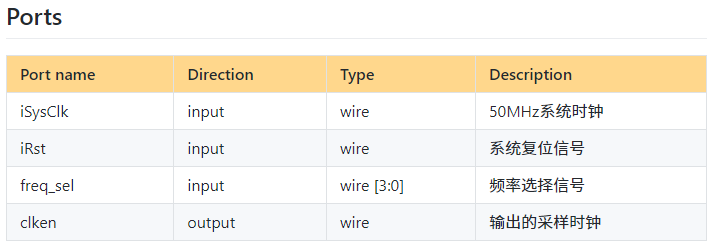
图 21 top\_analyser



该模块内部例化了分频模块、采样控制模块、UI显示模块、网格显示模块、波形显示模块，并添加了协议分析的逻辑，起到了顶层集成和互联的作用。通过和CPU的集成，模块能够接收多种输入信号，完成触发使能；配置每个数据显示的时钟周期数；配置预采样点数；选择触发通道、触发模式和采样频率等功能。同时，模块支持UART、SPI和IIC协议的分析，当相应的使能信号拉高时，模块将自动配置合适的触发模式、采样率等参数，来对对应协议进行解析。通过互联的方式，该模块会配置好各个子模块所需要的参数。当一次触发开始时，该模块接收上级HDMI初始化后产生的行场同步信号、数据有效信号等数据，结合采样数据对结果进行显示，诸如触发模式、触发通道、采样率、工作模式等信息也会被实时显示在UI上，便于用户感知。同时，我们也设计了按键控制波形左右移动的功能，方便用户观察自己感兴趣的波形。

#### <2>freq\_div 1

图 22 freq\_div



该模块主要用于配置采样率。输入freq\_sel信号有16档可调，设计最高采样率50MHz，最低100Hz。分频后的时钟clk\_en将输出给采样控制模块sample\_ctrl作为采样时钟。

#### <3>sample\_ctrl 该模块端口及详细功能如下所示：

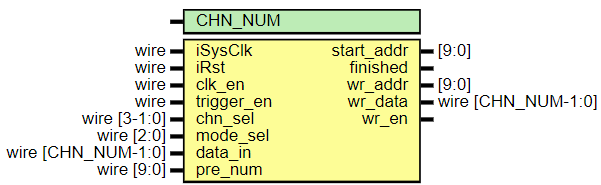


图 23 sample\_strl



该模块主要用于对输入数据进行采样并存入一个深度为1024的RAM中。chn\_sel信号用于选择触发通道，可以在CH1~CH8之间任意选择。mode\_sel信号用于选择触发方式，共支持低电平触发、高电平触发、上升沿触发、下降沿触发、（任意）边沿触发五种方式。当触发使能打开且触发通道满足触发条件时，RAM写使能打开，将此时的输入数据进行存储。pre\_num信号用以控制预采样点数，即在触发开始之前，需要保存多少个点的数据。当预采样和采样累计存满1024个点之后，输出finished信号，并将采样结束时的RAM地址发送给wave\_display模块以开始读RAM的进程。

#### <4>ui\_display

该模块负责将逻辑分析仪的配置参数和触发后抓取到的信号显示在HDMI屏幕上。具体原理同示波器部分，只需要反复调用char\_display模块即可，差别仅在于显示的内容不同。

#### <5>grid\_display

该模块负责显示用于辅助通道和数据显示的网格。原理同示波器部分对应模块，只需要根据给定的坐标和限定条件，在制定像素点的行和列绘制特定颜色。

#### <6>wave\_display

该模块负责将捕获到的波形存储到RAM中并最终显示在HDMI屏上。模块接收来自sample\_ctrl模块的RAM写数据、写使能、写地址信号，将捕获的数据存入相应位置中，在读取时，会根据预采样点数和触发结束地址来计算真正需要显示数据的地址并展示到HDMI屏上。同时，用户可以随时按下left\_shift和right\_shift信号绑定的按键，来将波形左移或右移，以便观察真正感兴趣的部分。

#### <7>protocol\_analysis

该部分逻辑由于较为简单，没有单独列成模块。当用户选择开启UART/SPI/IIC分析功能时，top\_analyser及各个子模块会根据预设的触发模式、触发通道、采样率、预采样点数等参数进行针对性的采样，并将对应协议的关键通道波形（例如UART的RX，SPI的CS、SCK、MOSI、MISO等）输出到HDMI显示屏上，以便用户对协议收发情况进行分析。

**（6）以太网传输**

下面为以太网主机发送模块

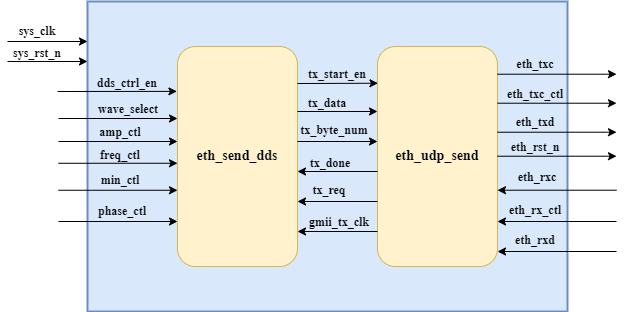


图 24 以太网发送模块

以太网接收模块的主要结构与发送模块相似，部分信号的方向取反即可。

**第三部分 完成情况及性能参数**

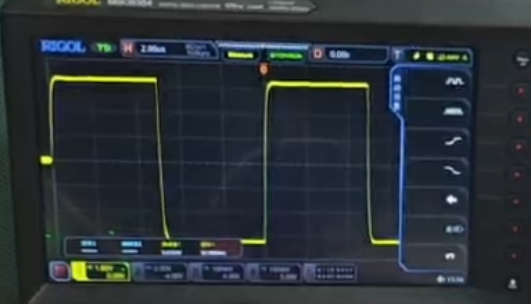
已具备简易信号发生器、示波器和逻辑分析仪的功能，并移植了RISC-V的内核作为控制。具体完成情况以及性能参数如下：

(1)简易信号发生器：已完成三角波、正弦波、锯齿波和方波的显示。已完成双通道的级联。

信号峰峰值为-5v~+5v内可调整，幅值最小分辨率为0.039v。频率在1000~10M赫兹的范围内可以较好的显示，频率调整误差在0.5%以内。相位在0~360°的范围内可调整，最小可调整相位为0.08789°。如下左图为峰峰值为3.2774v频率为99.948kHz的正弦波信号，右图为峰峰值为3.0305v频率为995.89kHz的正弦波信号。

如下四张为信号发生器产生的方波，三角波以及锯齿波信号，还有级联之后的双通道信号。

(2)示波器：示波器可对各种模拟以及数字信号进行采集。示波器可设置触发电平，采样率，触发沿，可对纵轴缩放，可暂停波形以及具有fft以及噪声滤波的功能。触发电平的最小可调整幅度也为0.039v，抽样率支持10bit的值可配置，垂直缩放支持1，2，4倍的缩放。

图为使用dds产生的100kHz的正弦波信号在经过示波器捕捉之后显示的图像

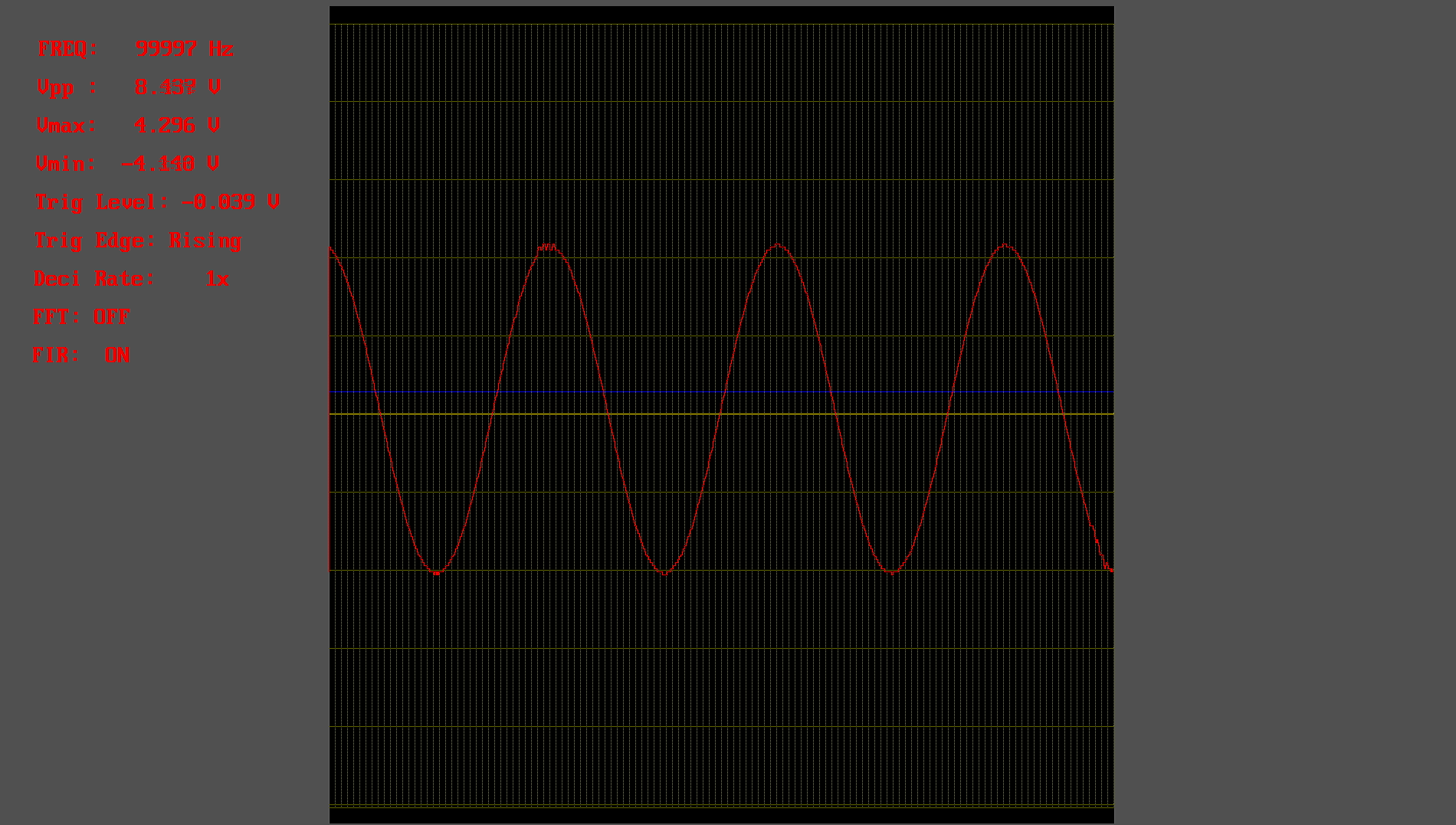


图 25 示波器显示

图中具有的测量信息有频率、峰峰值、最大值、最小值、触发电平、上升或下降沿触发，抽样率以及FFT和FIR滤波功能指示。

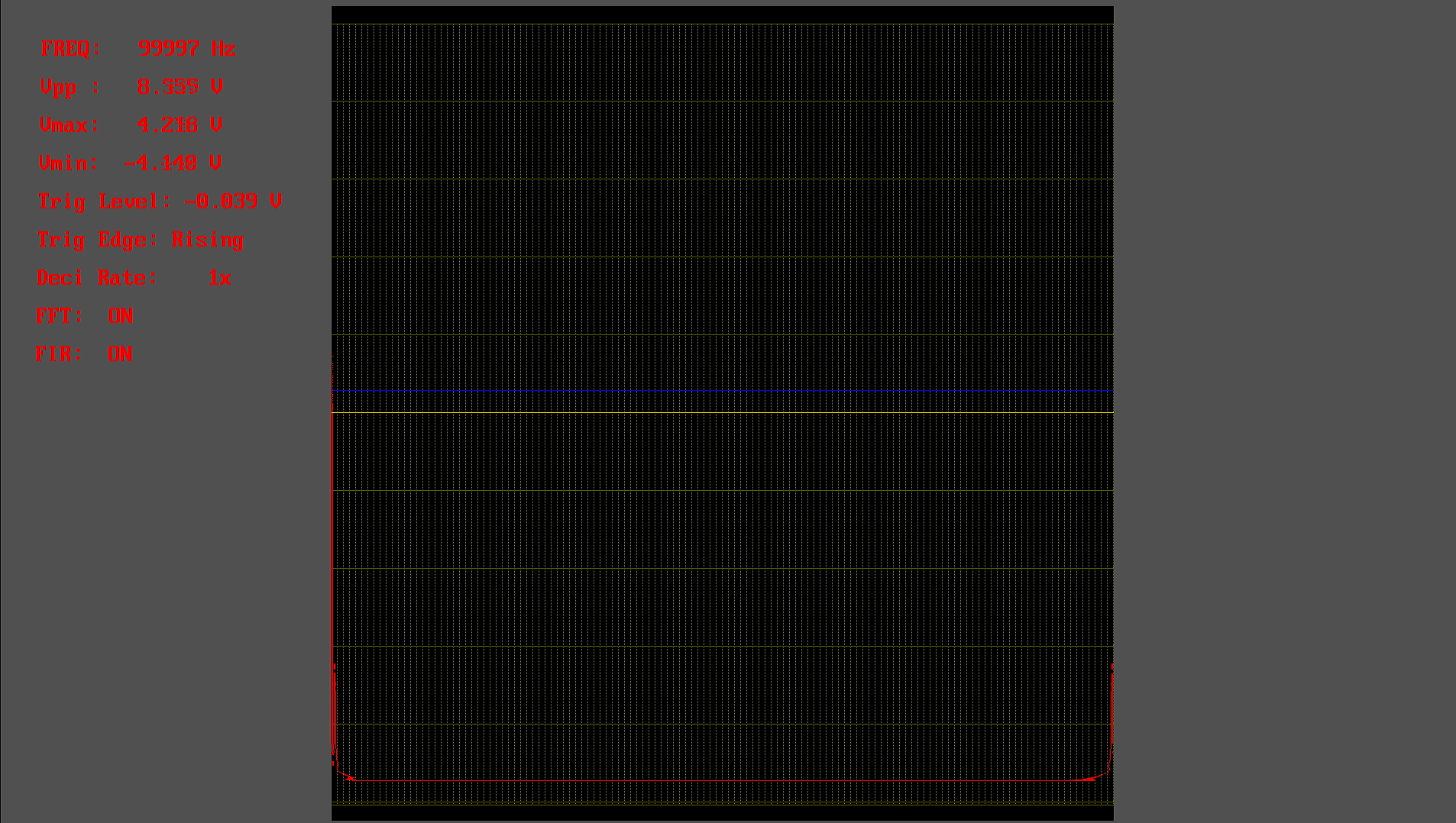


图 26 FFT开启显示

图为开启FFT功能之后的频谱图。

(3) 逻辑分析仪

逻辑分析仪已完成8通道的数据采集显示，采样频率最大为50M，可采集25MHz及以下的信号。可配置5种基本的触发方式，高电平，低电平，上升沿，下降沿以及边沿触发。目前的8个通道的采样深度均为1024bit，最低采样频率为100Hz。已实现对uart传输信号的采样功能。可配置设置触发点输出显示的位置，1~1023即可自由设置触发前后的数据个数。可对采集到的信号进行缩放，在缩放之后可通过开发板上的按键实现波形数据左右平移的功能。

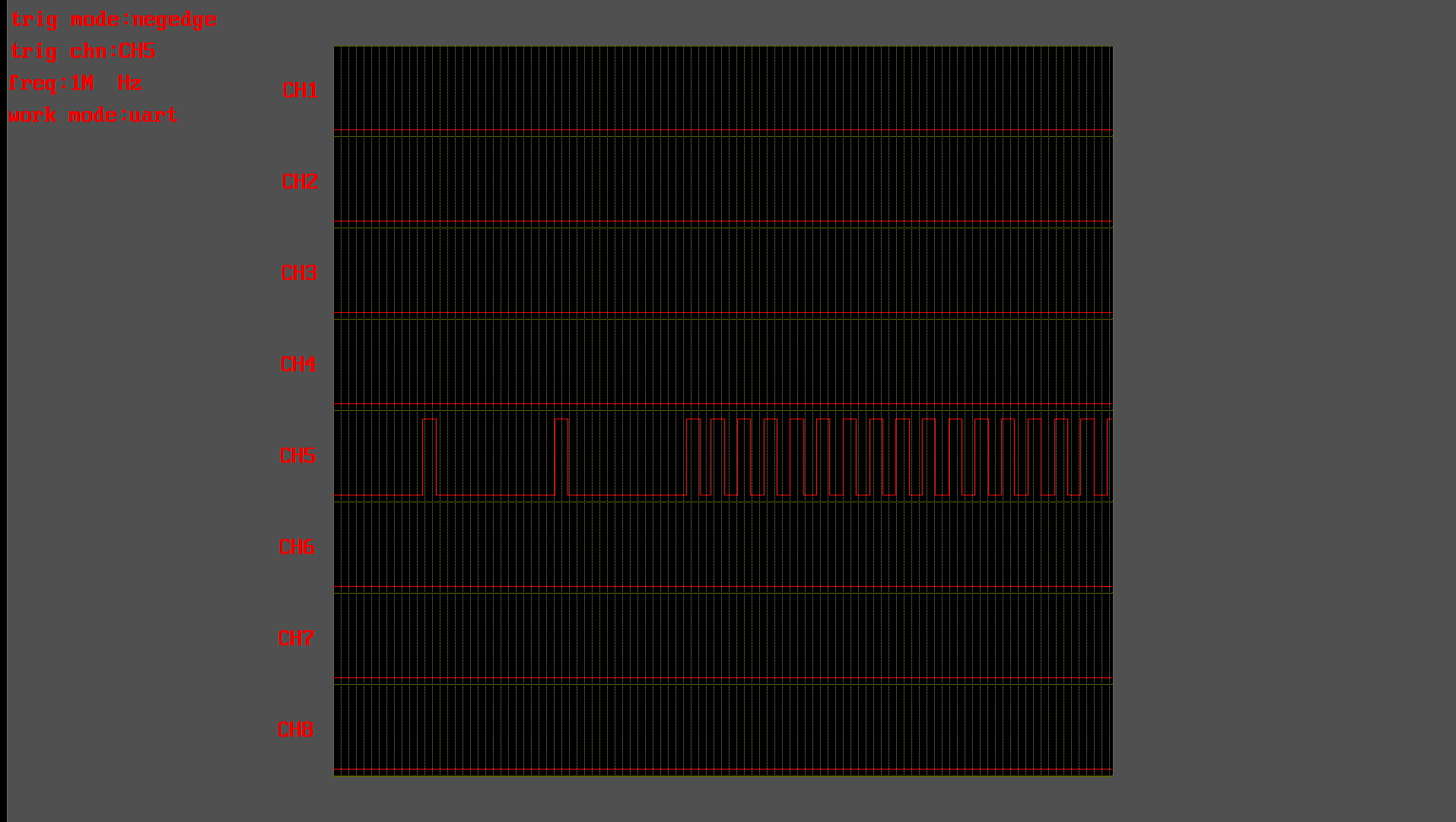


图 27 逻辑分析仪捕捉显示

图为开启uart采集功能后通道5捕获到uart的传输信号

(4) cpu控制

软硬件协同是通过在数字信号发生器模块，示波器模块，逻辑分析仪模块以太网模块中设有不同功能的控制寄存器，cpu可通过icb总线对模块中的控制寄存器实现读写控制来配置不同模块的功能。cpu中的执行程序可通过jtag下载执行，以实现不同功能的更新。

目前采取的是在cpu中执行与上位机进行uart通信的程序，上位机通过uart发送预先设置好的不同命令以及参数，cpu在接受来自上位机的控制命令之后进行解析，随后执行解析的命令对相应模块的寄存器进行读写控制。

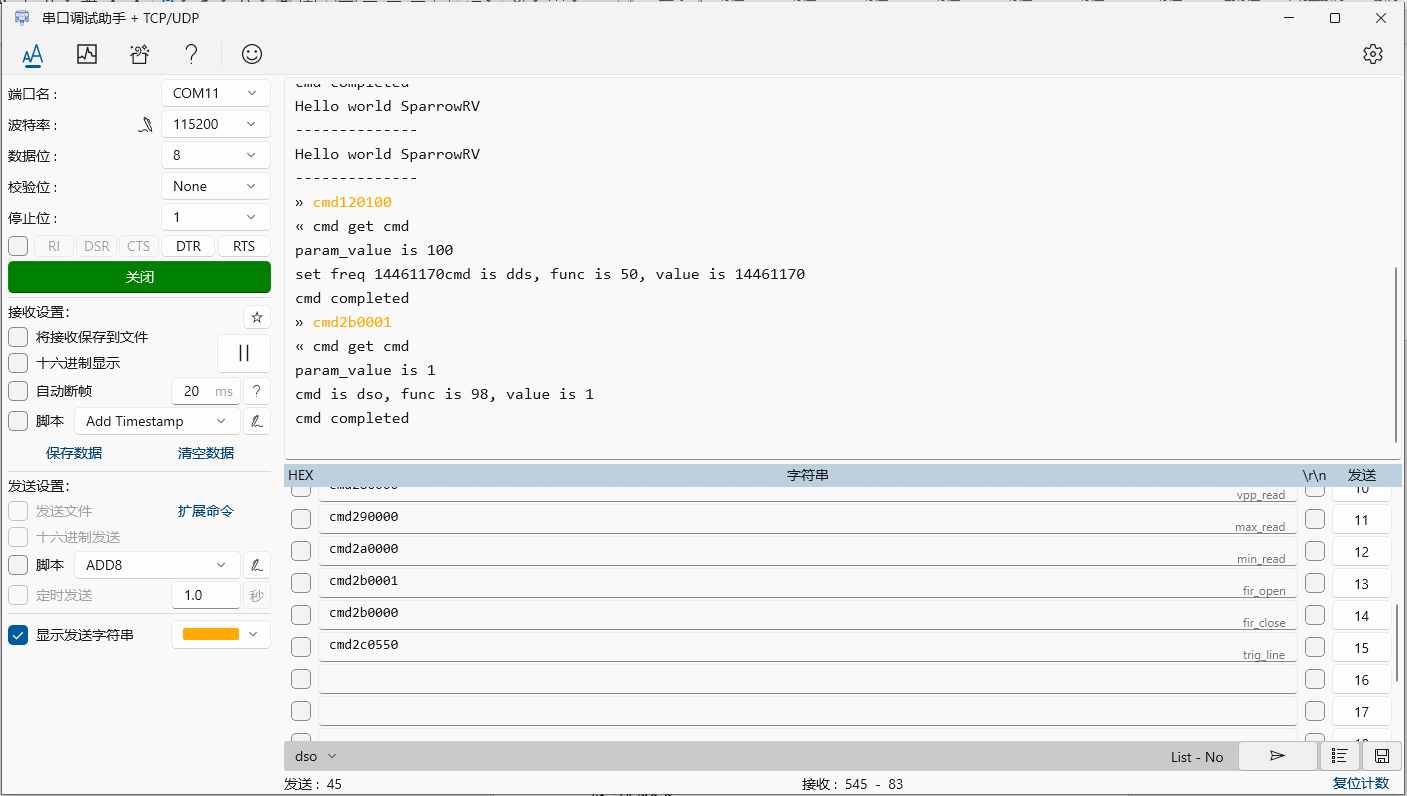


图 28 上位机uart发送串口界面

**第四部分 总结**

* 1. 可扩展之处

1.DDR存储接入：目前示波器和逻辑分析仪模块采样后的存储媒介均选取的是FPGA内部的RAM，对于较低容量的采集是够用的，但是如果要观察更长时间的波形或是基于多个点重建波形，则需要增大存储容量、提高存储速度，因此后续将会接入DDR模块，供示波器和逻辑分析仪使用，由于二者不会同时工作，因此DDR的AXI读写接口逻辑比较清晰，预计在作品后续优化阶段优先实现。

2.板卡级联推进：目前两块FPGA板卡的级联初步用以太网口实现，可以做到板卡1作为发送端配置板卡2的部分仪器参数，但是板卡2向板卡1传输ADC采样数据的通路还在调试和完善中，后续会基于此进一步实现多通道的示波器显示。若以太网测试正确，也可以将逻辑分析仪数据传入PC端用上位机作更丰富的显示和处理，同时可以进一步将级联方案升级为光纤接口，提高传输质量和带宽。

3.时序优化工作：在目前的工程中，HDMI显示像素时钟由于某些过长的路径可能出现违例，目前暂时通过降低帧率或者降低分辨率来解决，后续会考虑借助盘古EDA工具分析最差路径，将复杂的组合逻辑拆分、打拍并对其时序来处理。

4.示波器功能优化：示波器的最大采样频率受到了ADC模块的限制，后续可以考虑实现等效采样（Equivalent-Time Sampling ,ETS)来提高最大频率。并且由于DDR等大容量存储模块的接入，存储数据的点将会大于显示点数，可以借此机会引入波形平移功能等，丰富示波器功能。另一方面，可以通过统计输入信号的平均频率来对小信号进行放大，例如自动增益控制（Automatic Gain Control, AGC）等方法。

5.逻辑分析仪优化：目前逻辑分析仪主要支持UART、SPI和IIC协议的分析，后续将尝试一些高速总线协议的分析。同时，逻辑分析仪工作的系统时钟为50MHz，根据奈奎斯特采样定理，只能采样频率在25MHz以下的信号。后续考虑对当前存在的一些时序违例通过打拍、修改组合逻辑等方式修复，使得系统能稳定工作在更高的时钟频率下，在提升系统的性能的同时扩大工作带宽。此外，将尝试增加多通道触发、选择有效通道等功能，使之具有更大的实用意义。

* 1. 心得体会

Ⅰ、项目背景与挑战

这次赛题要求我们设计并实现一款便携式多功能测试仪器，包含信号发生器、示波器和逻辑分析仪等基本功能。项目的核心挑战在于如何通过软硬件协同的方式，结合ARM、RISC-V或龙芯CPU与FPGA的优点，实现一个既高效又具有良好用户体验的设备。通过这一赛题，我对现代测试仪器的硬件架构、信号处理与控制有了更加深刻的理解。

Ⅱ、技术实现的难点与突破

软硬件协同设计： 这是项目最重要的环节之一。我们首先需要根据功能模块对软硬件进行合理分工，避免资源浪费，同时提高处理效率。ARM/RISC-V/龙芯CPU主要负责信号的高层控制、数据处理和用户交互界面的实现；而FPGA则承担实时信号采集、波形生成、频谱分析和高速数据传输等任务。软硬件的协同合作使得我们能够在保证性能的前提下，最大程度地降低系统的复杂度和功耗。

信号发生器的实现： 信号发生器部分要求支持三角波、正弦波、锯齿波等波形的输出。实现这些波形的挑战在于如何精确控制波形的频率、幅度和相位，且能够实时调整。这一过程需要精确的时序控制，而FPGA在实时信号生成和波形调整方面具有天然优势。

示波器功能的实现： 示波器部分的难点在于如何进行高精度的模拟信号采集并有效显示。在此过程中，如何在有限的硬件资源下实现高分辨率、实时采样和精细的显示控制是需要解决的关键问题。通过结合FPGA的并行处理能力与ARM/RISC-V的计算能力，最终实现了可调节的采样精度和显示范围。

逻辑分析仪的实现： 逻辑分析仪部分面临的挑战是如何采集高频数字信号，并将数据实时传输和处理。我们通过设计灵活的数据缓冲区和高速传输模块，在FPGA中实现了高效的数据采集和本地存储，同时通过接口将数据发送到上位机进行后期分析和存储。

系统优化与调试： 在整个开发过程中，硬件和软件的调试是最具挑战性的部分。软硬件协同工作时，系统的稳定性和兼容性往往会受到各种因素的影响。我们在多次调试和优化后，逐步实现了各个模块的功能整合，确保了系统的稳定性和高效性。

Ⅲ、团队合作与沟通

这个项目需要团队密切协作，我们通过定期讨论和评审，及时解决各自模块中的技术难点。尤其是在硬件设计和软件开发的接口上，我们需要进行多次迭代，以确保数据流畅传输和正确处理。此外，团队成员之间的分工明确，大家充分发挥各自的特长，最终共同完成了这一项目。

Ⅳ、用户界面与功能优化

在加分项中，我们特别关注了用户界面的设计和操作体验。通过cpu的控制功能，用户可以方便地调整信号波形的幅值、频率等参数，并实时查看数据结果。为了增强可用性，我们还设计了简洁直观的界面，使得即使是没有专业背景的用户也能快速上手使用。

Ⅴ、对未来改进的思考

尽管项目已经完成，但仍有许多可以进一步改进的地方：

更高的灵敏度与精度： 当前的示波器和逻辑分析仪的采样精度和灵敏度还有提升空间，未来可以通过优化硬件设计，增加更高性能的模数转换器（ADC）以及更快的时钟源来提升系统的性能。

协议分析与更大数据支持： 在逻辑分析仪功能方面，未来可以扩展更多的通信协议分析，如I2C、SPI、UART等，并支持更大容量的数据存储与处理能力，以应对更复杂的信号分析需求。

多功能拓展： 未来可以考虑扩展更多的信号处理功能，如滤波、调制解调、时域/频域分析等，进一步提升仪器的综合性能。

模块化设计与系统扩展： 项目中的多块板卡级联功能也为我们提供了思路，可以考虑将系统设计为模块化结构，以便在未来根据不同需求进行灵活扩展。

Ⅵ、总结

通过这次赛题，我深入理解了现代便携式测试仪器的设计思路和实现方法，特别是软硬件协同设计的重要性。整个项目让我收获了宝贵的经验，不仅提升了我的硬件设计和编程能力，还增强了我在多学科协作中的沟通与协调能力。未来，我期待将这些经验应用于更复杂的工程项目，并不断优化和创新。

**第五部分 参考文献**

[1].Wang, Xiaochu, and Qiujun Mei. "High-precision design of DDS Based on FPGA." 2012 Third Global Congress on Intelligent Systems. IEEE, 2012.

[2].Paul, Sujoy. "A Digital Storage Oscilloscope (DSO) Design and VLSI Implementation." 2023 IEEE 12th International Conference on Communication Systems and Network Technologies (CSNT). IEEE, 2023.

[3].Zet, Cristian, and Cristian Fosalau. "FPGA Based Logic Analyzer." 2018 International Conference and Exposition on Electrical And Power Engineering (EPE). IEEE, 2018.

[4]. Başa, Berkant, and Murat İskefiyeli. "Realization of digital Oscilloscope with FPGA for education." Procedia-Social and Behavioral Sciences 174 (2015): 814-820.

**第六部分 附录**

具体测试情况参见演示视频。

具体代码在上传的代码文件中。