数字存储示波器（Digital Storage Oscilloscope）设计概述：

示波器模块如架构图所示，各模块功能如下表所述：

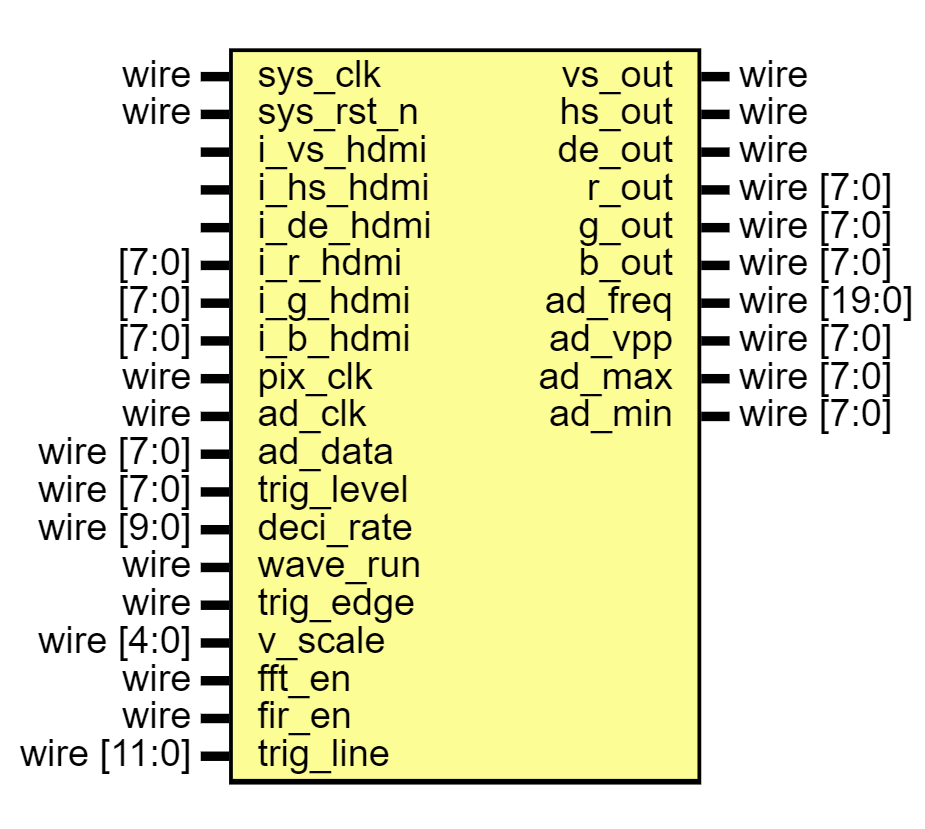
|  |  |  |
| --- | --- | --- |
| 模块名 | 模块功能 | 备注 |
| dso\_top | 数字示波器顶层模块 | 例化并连接各个子模块 |
| decimator | 数据抽样模块 | 控制ADC数据的抽样率 |
| param\_meaure | 参数测量模块 | 测量信号频率、峰峰值等 |
| fir\_wrapper | FIR低通滤波器 | FIR功能开关可选 |
| ad9280\_sample | ADC数据采样模块 | 根据功能配置对ADC数据进行采样 |
| fft\_adc\_top | FFT处理模块 | 频域显示，1024点FFT |
| ui\_display | UI显示模块 | 接受前级HDMI初始信号并在指定位置显示示波器参数和ADC测量数据等 |
| grid\_display | 网格绘制模块 | 绘制示波器底层网格 |
| wav\_display | 波形显示模块 | 根据采样数据显示波形 |
| cdc | 单比特跨时钟域模块 | 传递绘制完成标志 |



示波器架构图

各模块设计详细介绍如下：

## 1.dso\_top

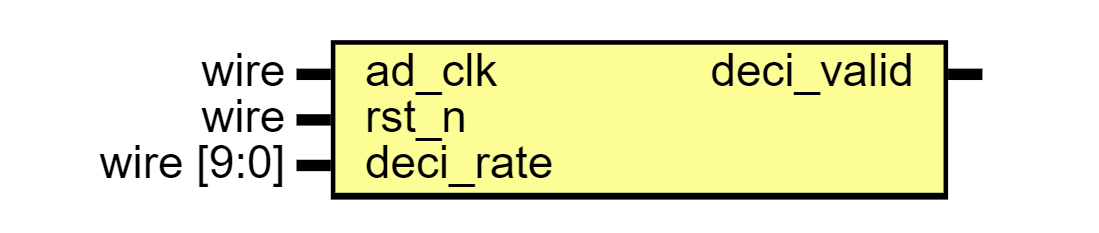


示波器顶层模块，端口介绍如下表：

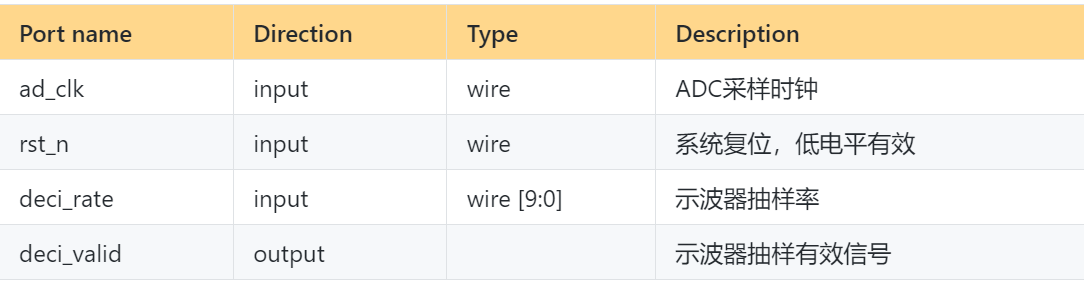


该模块内部例化了FIR低通滤波器、ADC信号参数测量模块、抽样率控制模块、示波器UI显示模块、示波器网格显示模块、示波器波形绘制模块、ADC信号采集处理模块、FFT变换模块、跨时钟域处理模块等。起到了顶层集成和互联的作用。此模块接收上级HDMI初始后产生的行场同步信号、数据有效信号、像素时钟和像素数据等，结合ADC采样数据进行后续的波形显示，并将ADC测量参数和示波器配置信息以文字和数字形式显示。该模块内部有外部可开关的FFT功能进行频域显示，并有外部可开关的FIR低通滤波器来提高信号质量。通过和CPU集成，此模块能够接受CPU的配置信息来改变示波器的参数如抽样率、触发电平等等，也可以将测量参数返回CPU供其读取。

## 2.decimator

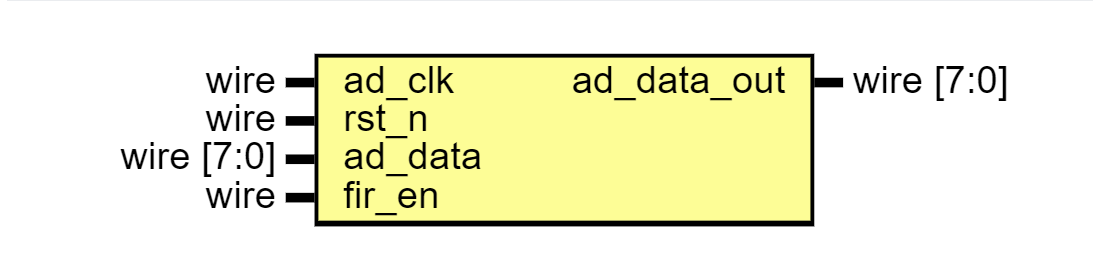


抽样率控制模块，端口介绍如下表：

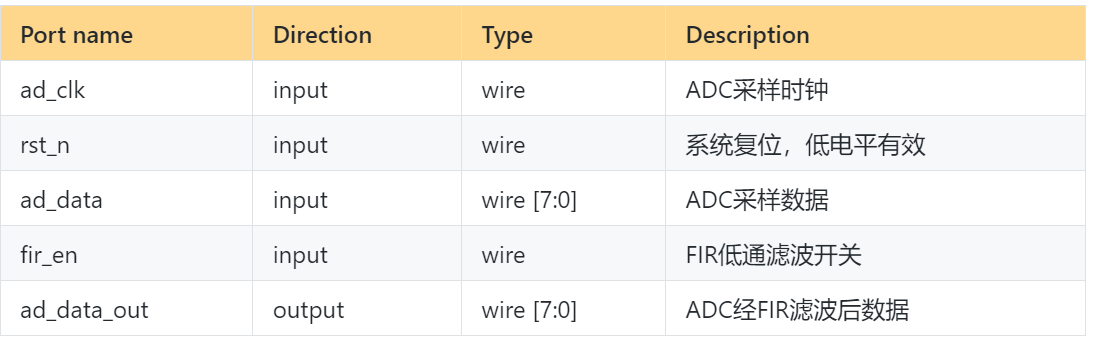


此模块较简单，内部实际上是一个上限为deci\_rate-1的计数器，计数完成后发出deci\_valid信号给到后续模块对ADC数据进行采集和处理。此模块的出现主要是为了应对当待测模拟信号频率较低如10KHz以下时，MHz级别的ADC采样时钟采到的单周期内的数据点过多，超出了存储和显示的上限，使得示波器显示不易于展现波形特征，所以提高抽样率以减少单周期内的点数，方便显示和波形绘制。另一种处理方法自然是提高存储容量并合理显示，此部分将会放在后续优化部分阐述。

## 3.fir\_wrapper

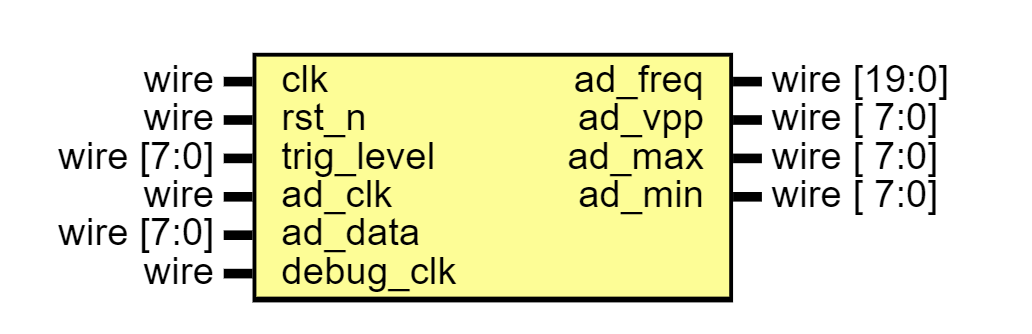


FIR低通滤波器模块，端口介绍如下表：

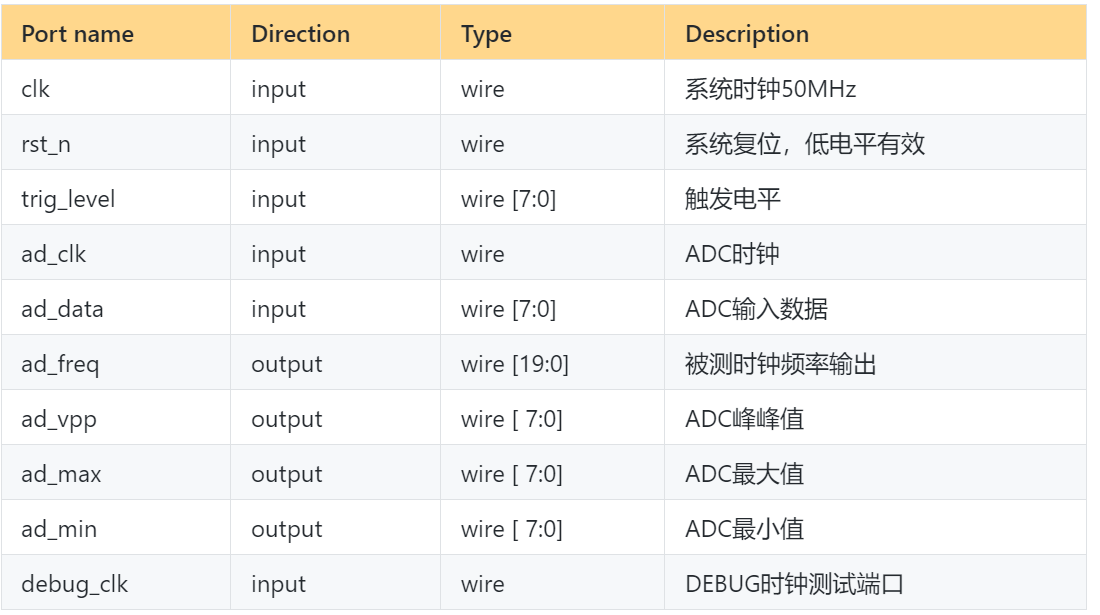


此模块内部例化了fir\_top滤波器模块，此模块实现了在给定ADC频率下，截止频率为1MHz-6MHz的15阶低通滤波器。滤波器系数由MATLAB的FilterDesigner工具生成，采用了最小二乘法计算参数，存储在模块内部寄存器中。实际上，可以根据ADC模块采样的噪声分布特点灵活调整滤波器系数。由于滤波器计算经过了乘积累加运算，结果位宽必定是大于8比特的，为了将数据映射回原先ADC采样数据范围，在多次测量后得到结果直接截取高8位与原ADC的8位数据范围为1：1.888的关系，即需要将截位的结果扩大指定倍数。基于此，加入了定点数乘法器模块fxp\_mul\_pipe(多周期)，将截位并四舍五入的结果扩大1.888倍给到滤波器输出，因此两个模块共同组成了fir\_wrapper模块。

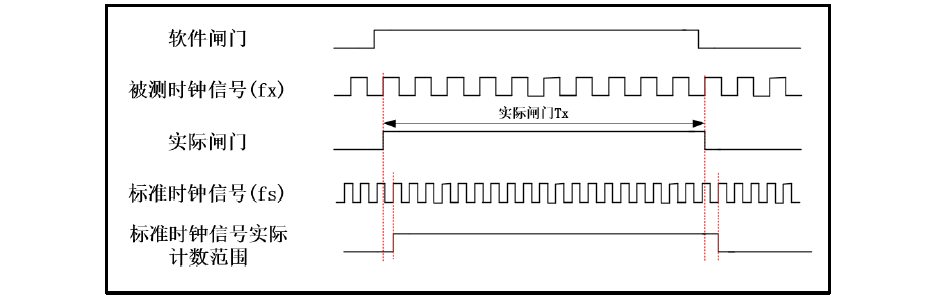
## 4.param\_measure



模拟信号参数测量模块，端口介绍如下表：



此模块内部例化了脉冲生成、等精度频率计和峰峰值测量模块。脉冲生成模块是基于ADC时钟和采样数据，在满足触发电平的情况下产生脉冲信号供另外两个模块使用。等精度频率计模块用于测量ADC输入数据的频率，等精度测频的原理在于测量的实际门控时间不是一个固定值，它与被测时钟信号相关，是被测时钟信号周期的整数倍。在实际门控信号下，同时对标准时钟和被测时钟信号的时钟周期进行计数，再通过公式计算得到被测信号的时钟频率。



具体计算方法如下：

实际闸门下被测时钟信号周期数为，设被测信号时钟周期为，它的时钟频率，由此可得等式：(实际闸门)。

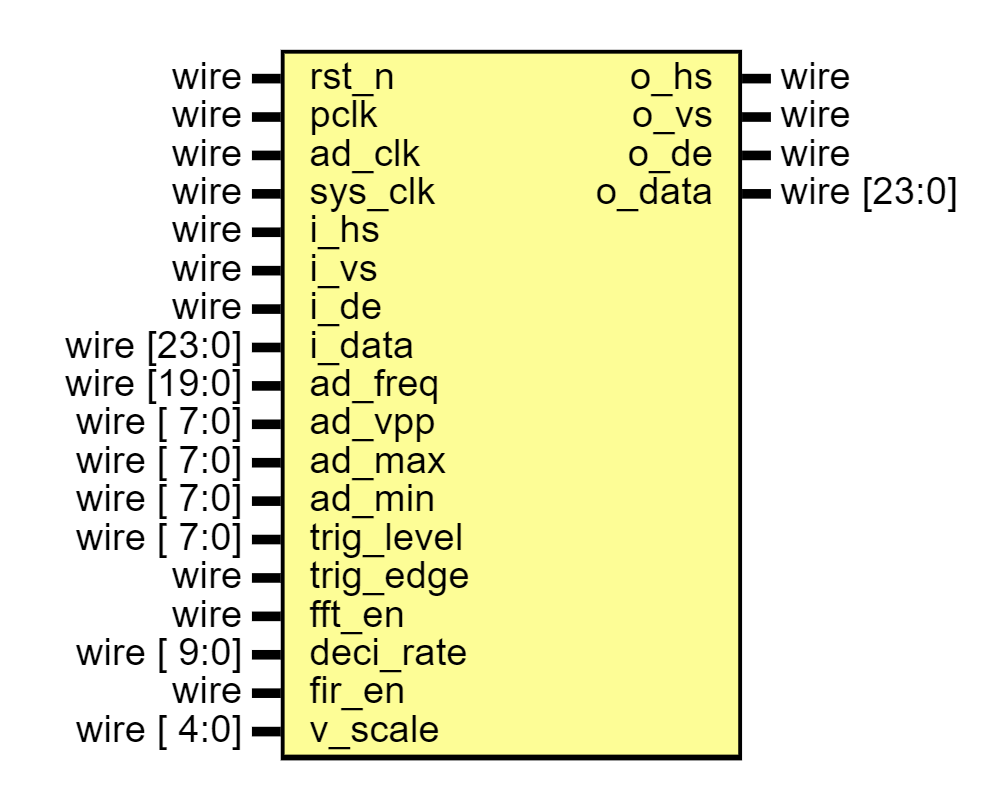
实际闸门下标准时钟信号周期数为，设被测信号时钟周期为，它的时钟频率，由此可得等式：(实际闸门)。

其次，将两等式结合得到只包含各自时钟周期计数和时钟频率的等式：(实际闸门)，等式变换，得到被测时钟信号时钟频率计算公式：。

最后，将已知量标准时钟信号时钟频率和测量量带入计算公式，得到被测时钟信号时钟频率。

峰峰值测量模块则比较简单，根据脉冲信号即可划定一个信号的测量周期，在此周期内不断比较信号的最大值和最小值即可，最后同步计算一个测量周期信号的最大值和最小值之差，即可输出信号的峰峰值。

## 5.ui\_display



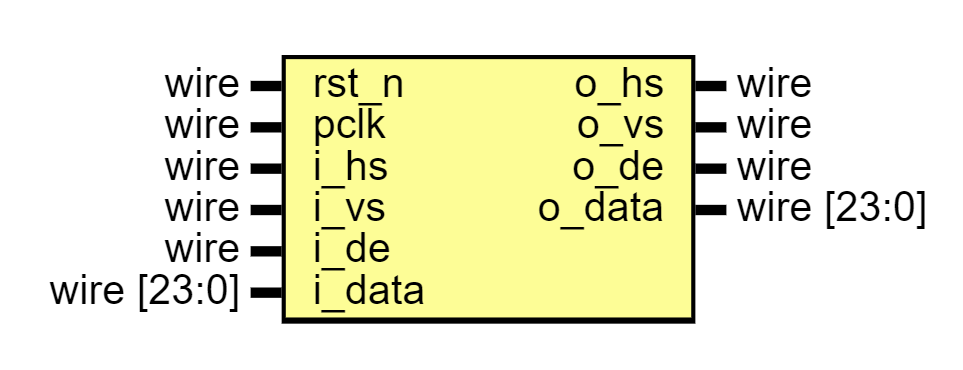
示波器UI显示模块，端口介绍如下表：



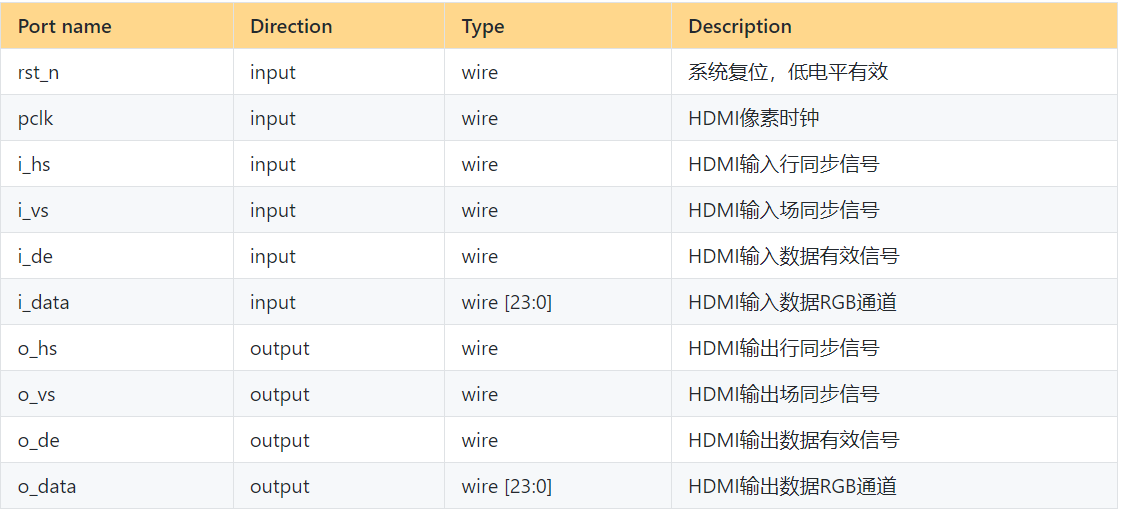
此模块负责将示波器的配置参数和ADC采样的模拟信号测量参数显示在HDMI屏幕上。原理较简单，模块内部用一个多端口的ROM来存储固定字符数据（0-255 ASCII码所表示的字符），多端口ROM内部实际上是根据不同的读请求和地址分发数据给不同端口，这样不需要多次例化ROM IP核。之所以这样做可行，是因为通过HDMI做UI显示时，不同区域对于ROM内容的读取一定不是同时的，这样通过分时复用的方式即可大大减少存储消耗。char\_display字符显示原理为从存储字符的ROM内读取数据，若指定像素点对应的ROM数据为1，则绘制此点，否则不绘制。另外，为了将数字表示的数据转换为字符（ASCII码）表示的数据以做到真正的显示，还需要基于给定数据进行转换，这些小模块（volt2num、num2str等）在此不再赘述，仅为方便显示设计。模块的功能框图如下：



## 6.grid\_display

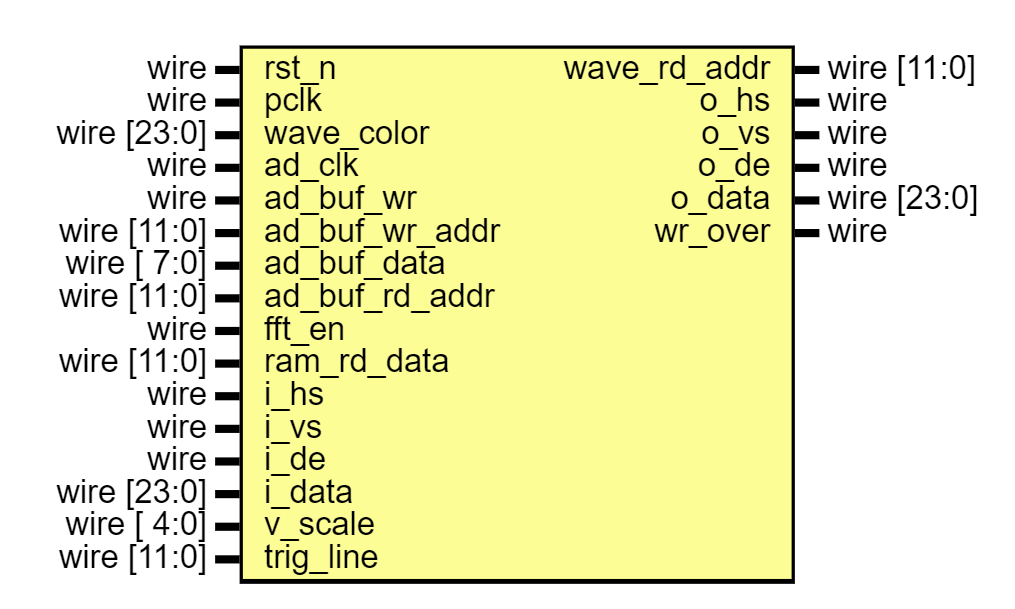


示波器网格显示模块，端口介绍如下表：



此模块较简单，即根据给定的坐标和限定条件，在指定像素点的行和列绘制特定颜色，即可做到类似示波器网格一样的显示效果。

## 7.wav\_display

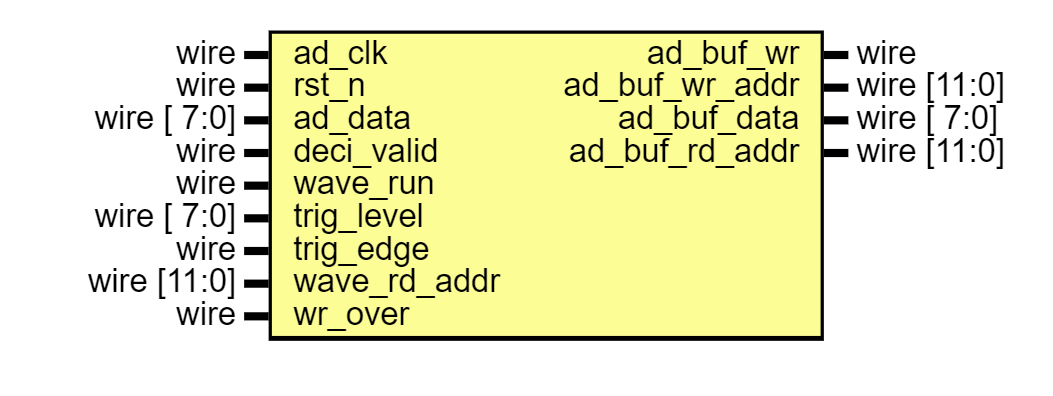


波形显示模块，端口介绍如下表：



此模块是示波器显示的核心模块之一，内部放置了RAM来存储波形。模块接受到ADC采样控制模块的写使能来将采样到的数据存储起来，在读取时，会将地址给到采样控制模块作额外处理，得到真正的RAM读地址后，读取数据进行HDMI显示。在进行FFT频域显示时，会接收到FFT频域数据存储的RAM读数据，进一步进行显示。

## 8.ad9280\_sample

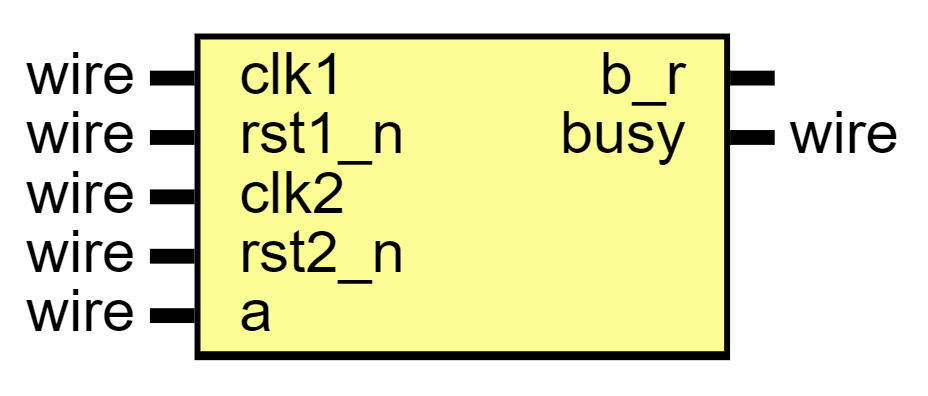


ADC采样控制模块，端口介绍如下表：



此模块作为示波器核心功能模块，控制着波形的存储和读取。此模块会根据抽样有效信号对ADC数据进行采样，并判断是否满足触发条件，若满足则存储指定量数据到wav\_display模块内部的波形RAM中，并可以记录触发地址、偏移地址等，将波形显示模块的预读地址作进一步处理以显示合适的波形数据。模块内部为了将触发点设置为屏幕中央，先保证RAM内有效采样数据大于采样深度的一半，即可以进行波形的触发和显示等，为了让画面更加稳定，将wav\_display模块内部根据行列计数器产生的帧绘制完成标志传入本模块，标志着触发可再次进行。由于这个信号是从快时钟域到慢时钟域的脉冲信号，因此需要做CDC处理，下文会介绍。

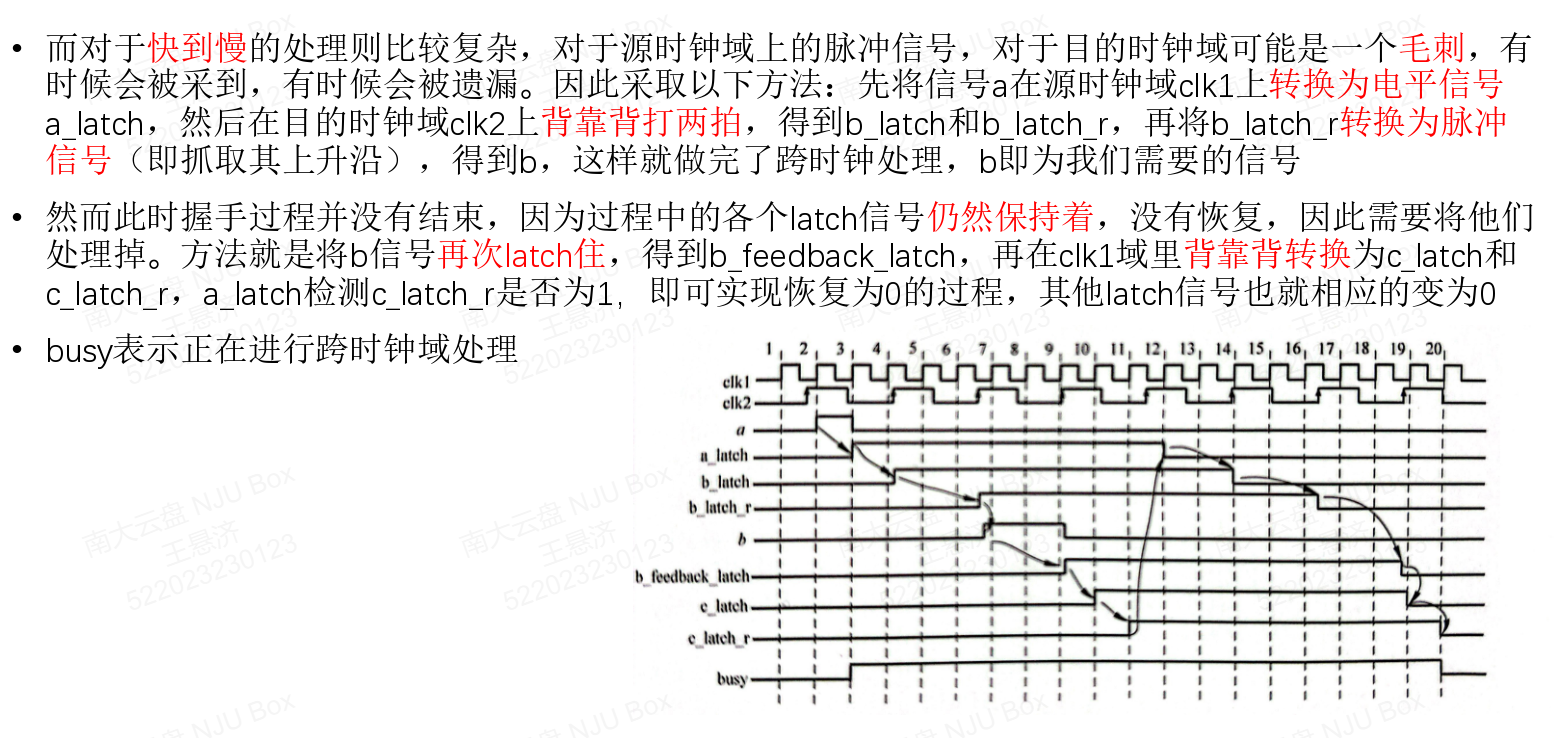
## 9.cdc



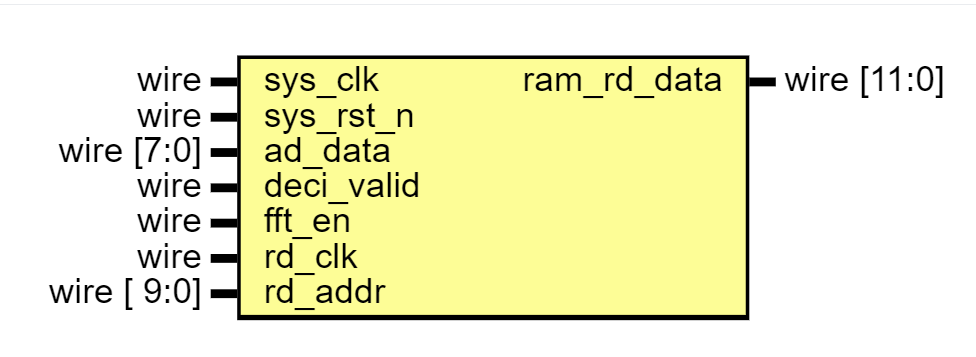
单比特跨时钟域处理模块，端口介绍如下表：



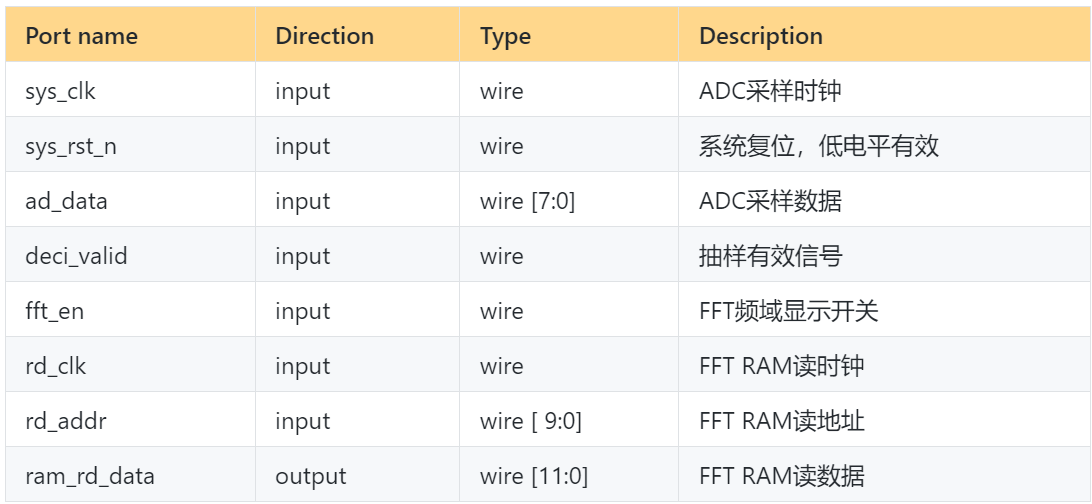
此模块主要是进行了任意源时钟和目的时钟的单比特信号传输，原理如下：（引用自己汇报用幻灯片页面）



## 10．fft\_adc\_top



FFT频域处理模块，端口介绍如下表：



fft模块的功能流程图如下：



首先，由于FFT IP的限制，输入数据的valid信号一但拉高则不能拉低，直至发送完毕，所以针对抽样条件下的ADC数据，我们需要预先设置一个FIFO来存储，深度设为FFT点数即可，这样可以保证在FIFO满后再发送，使得IP正常工作。在计算完FFT数据后，得到复数形式的数据，将数据求平方和后传入开平方模块，得到频域的幅值信息，存储在RAM中供波形显示模块使用即可。