## 作品名称

姓名1；姓名2（不要出现任何涉及学校名称等内容）

**第一部分 设计概述**

* 1. 设计目的

本设计旨在开发一款集信号发生器、示波器、逻辑分析仪等多种功能于一体的便携式测试仪器。通过软硬件协同设计，结合ARM/RISC-V/龙芯CPU和紫光同创FPGA技术，使得系统在性能和功耗上实现良好的平衡，满足各种实验和调试需求。通过本设计，能够为科研人员、工程师和学生提供一款高性能、易操作、低功耗、便携的多功能测试仪器，进一步推动便携式测量仪器的普及与应用。

* 1. 应用领域

便携式多功能测试仪器广泛应用于科研、电子设计、通信、教育和工业领域。在科研中，支持信号生成与频谱分析；在电子设计中，辅助电路调试与验证；在通信领域，进行信号分析与协议测试；在教育中，作为实验工具帮助学生掌握信号处理与测试原理；在工业中，应用于设备调试与自动化系统维护。该仪器集成信号发生、示波器和逻辑分析仪功能，适用于实验、开发和现场调试，具备高效、便捷、低功耗特点，满足多种信号测试需求。

* 1. 主要技术特点

\*\*\*\*\*\*

* 1. 关键性能指标

信号发生器可产生正弦波，方波，三角波以及锯齿波共4种不同波形。幅值在-5~5V之间，最小幅值分辨率为0.039v。频率范围在1k到1M Hz范围内可调。

示波器的采集范围在\*\*\*\*\*\*

逻辑分析仪可采集频率为25M Hz内信号，存储深度为1024\*\*\*\*\*\*

* 1. 主要创新点

1. 创新点1\*\*\*\*\*\*
2. \*\*\*\*\*\*

**第二部分 系统组成及功能说明**

* 1. 整体介绍  
     系统的整体框架如图1所示，使用RISC-V的core通过icb总线连接到ram、系统外设sysp、信号发生器DDS、示波器DSO和逻辑分析仪LA模块，并可通过jtag对core中程序进行更新。示波器和逻辑分析在采集信号之后，通过hdmi控制模块发送到屏幕完成显示。系统外设有时钟timer、通用IO口fpioa、spi接口和uart接口。

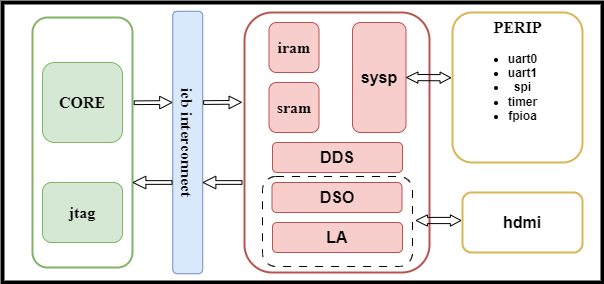


图 1 整体系统框图

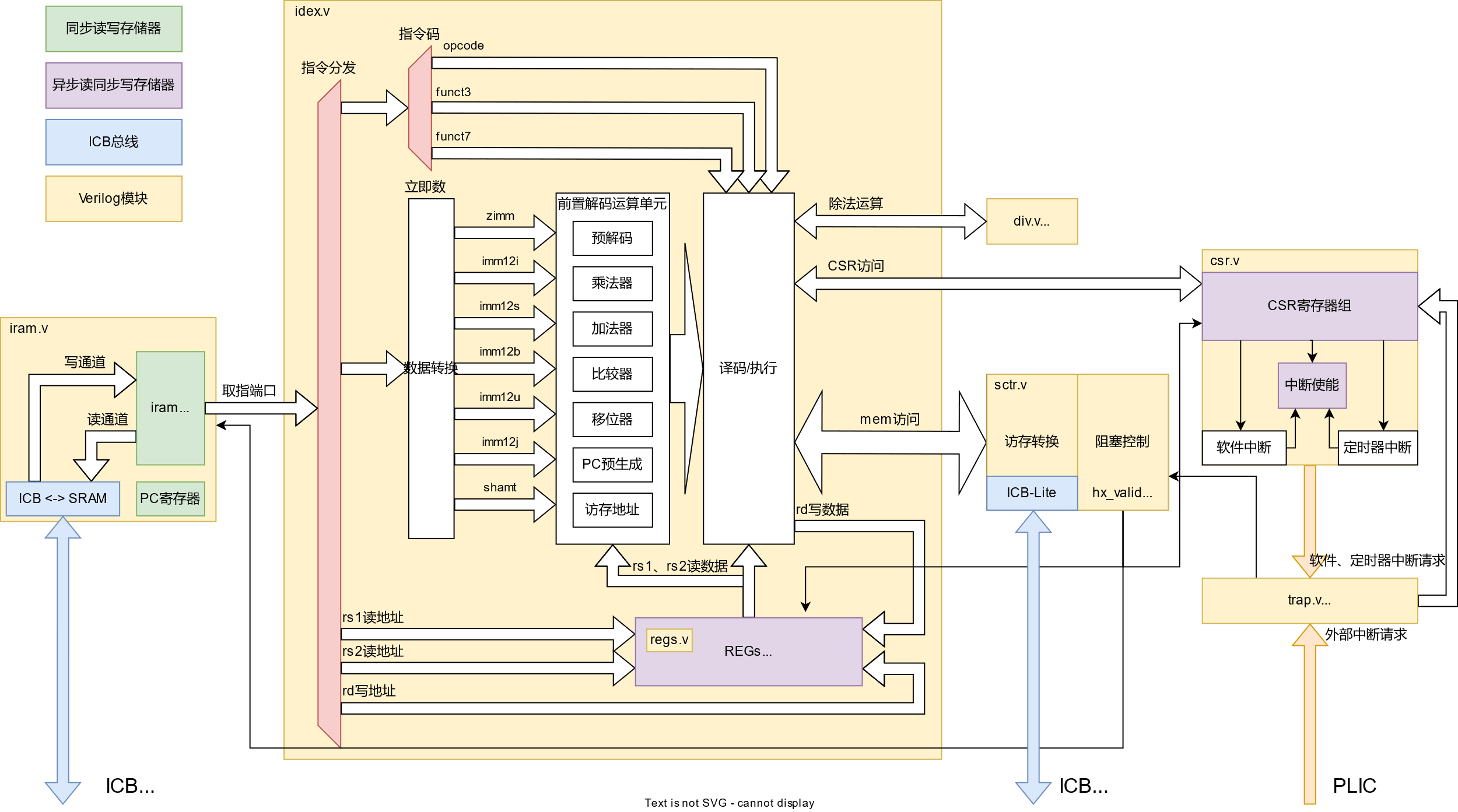
* 1. 各模块介绍  
     (1) cpu core  
     内核使用的是开源的SparrowRV，整体结构原理如图2所示。顺序两级流水线结构（IF ->ID+EX+MEM+WB），支持JTAG接口，适用于低功耗、小面积的应用场景。  
     

图 2 内核原理图

(2) icb 总线  
 采用icb总线实现了2主8从的结构如图3所示，并使用优先级仲裁，具有简单高效的特点。具体的信号时序示例如图4所示。



图 3 icb\_interconnect

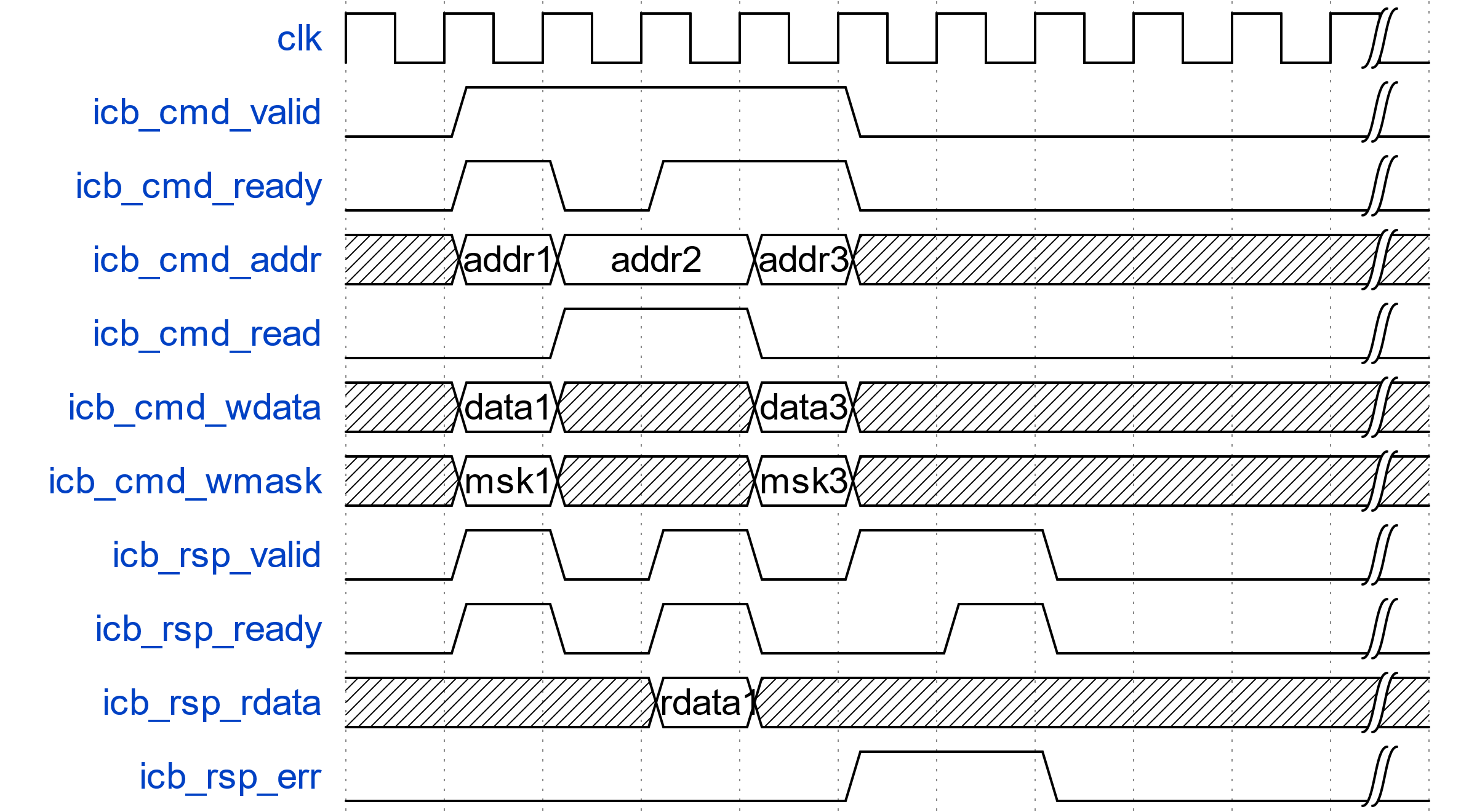


图 4 icb总线时序示例图

(3) 信号发生器DDS  
信号发生器的整体结构如图5所示，使用一个只读ROM将标准的正弦波、方波、三角波和锯齿波波形存储，然后通过控制读ROM地址的方式来产生对应的幅值给DA转换芯片转换后输出。

|  |  |  |  |
| --- | --- | --- | --- |
| **信号** | **方向** | **位宽** | **功能** |
| sys\_clk | input | 1 | 系统时钟 |
| sys\_rst\_n | input | 1 | 系统复位，低有效 |
| amp\_ctl | input | 9 | 幅值控制信号 |
| wave\_sel | input | 4 | 波形选择信号 |
| freq\_ctl | input | 32 | 频率控制信号 |
| min\_ctl | input | 32 | 最小分辨率控制信号 |
| phase\_stl | input | 12 | 相位控制信号 |
| data\_out | output | 8 | 数据输出，传输到DA转换芯片 |

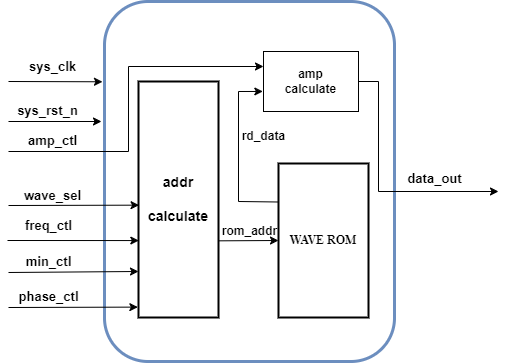


图 5 信号发生器

(4) 数字存储示波器DSO

数字存储示波器（Digital Storage Oscilloscope）设计概述：

示波器模块如架构图所示，各模块功能如下表所述：

|  |  |  |
| --- | --- | --- |
| 模块名 | 模块功能 | 备注 |
| dso\_top | 数字示波器顶层模块 | 例化并连接各个子模块 |
| decimator | 数据抽样模块 | 控制ADC数据的抽样率 |
| param\_meaure | 参数测量模块 | 测量信号频率、峰峰值等 |
| fir\_wrapper | FIR低通滤波器 | FIR功能开关可选 |
| ad9280\_sample | ADC数据采样模块 | 根据功能配置对ADC数据进行采样 |
| fft\_adc\_top | FFT处理模块 | 频域显示，1024点FFT |
| ui\_display | UI显示模块 | 接受前级HDMI初始信号并在指定位置显示示波器参数和ADC测量数据等 |
| grid\_display | 网格绘制模块 | 绘制示波器底层网格 |
| wav\_display | 波形显示模块 | 根据采样数据显示波形 |
| cdc | 单比特跨时钟域模块 | 传递绘制完成标志 |



图 3 示波器架构图

(5) 逻辑分析仪LA

**第三部分 完成情况及性能参数**

**第四部分 总结**

* 1. 可扩展之处
  2. 心得体会

**第五部分 参考文献**

**第六部分 附录**

重要代码、推导过程等不便于在正文中体现的内容